

Università degli Studi di Bologna

**FACOLTÀ DI INGEGNERIA
DIPARTIMENTO DI INGEGNERIA ELETTRICA**

**DOTTORATO DI RICERCA IN INGEGNERIA ELETTROTECNICA
SISTEMI ELETTRONICI DI POTENZA**

**SISTEMI DI CONDIZIONAMENTO DELLA POTENZA PER IL
CONTROLLO DELLA QUALITÀ DELL'ENERGIA IN RETE**

Tesi di

CLAUDIO ROSSI

INTRODUZIONE

Negli ultimi due decenni si è avuto un notevole sviluppo tecnologico dei dispositivi di conversione statica basati su componenti elettronici di potenza, che ha consentito una larga diffusione di questi dispositivi in tutti i settori industriali e civili. I sistemi di conversione statica costituiscono un carico non lineare rispetto alla rete, per cui la loro diffusione su larga scala determina un deterioramento della qualità dell'energia elettrica nei sistemi di distribuzione e trasmissione. In genere, le correnti armoniche che si determinano in una rete, e la conseguente distorsione della tensione di rete, costituiscono un problema di perdita di efficienza della trasmissione di energia elettrica, ma anche un incremento delle probabilità di malfunzionamento o guasto nel sistema elettrico e nei dispositivi ad esso collegati [4].

Gli effetti indesiderati prodotti da questi carichi, possono essere compensati utilizzando dei Sistemi di Condizionamento della Potenza (PCS) costituiti essenzialmente da altri componenti elettronici connessi alla rete, ed opportunamente controllati. I principi e le strutture di questi sistemi di compensazione sono stati definiti già da tempo [1], [2], ma solo grazie al livello tecnologico raggiunto in questi ultimi anni dai dispositivi elettronici di potenza, è possibile costruire dei Sistemi di Condizionamento della Potenza efficaci ed economicamente proponibili sul mercato.

Oggi sono commercializzati componenti elettronici controllabili, quali gli IGBT, con prestazioni e taglie da consentirne un impiego in applicazioni diverse da quelle fino ad oggi loro riservate. Ad esempio, un inverter trifase può essere collegato ad una rete di distribuzione con lo scopo di compensare le armoniche di corrente e la potenza reattiva prodotta da un carico posto a valle, migliorando così la qualità dell'energia elettrica trasmessa. Questo sistema di compensazione è detto Filtro Attivo o APF (Active Power Filter), ed è generalmente costituito da un inverter VSI, la cui uscita è collegata alla rete, mediante un induttanza di disaccoppiamento. L'inverter è controllato in corrente, in modo da iniettare in rete una corrente che compensi la forma d'onda della corrente assorbita dal carico. In questo modo si riesce ad ottenere sulla rete di alimentazione una terna di correnti sinusoidali, in fase con le corrispondenti tensioni di rete, indipendentemente dalle caratteristiche del carico. Il sistema descritto che rappresenta la principale struttura di compensazione è detta filtro attivo

parallelo. Utilizzando un inverter trifase, è possibile realizzare anche un'altra struttura di compensazione, detta filtro attivo di tipo serie [9], che realizza la compensazione della forma d'onda della tensione applicata al carico. Inoltre dalla combinazione delle due strutture, si può realizzare un sistema di compensazione globale che condizioni sia la corrente che la tensione [5]. In realtà queste ultime due strutture non sono state giudicate di interesse prioritario, in quanto i maggiori benefici di compensazione sono ottenibili con il filtro attivo parallelo[4]. Questa struttura inoltre, può essere utilizzata in combinazione ad altri dispositivi, per l'esecuzione di funzionalità aggiuntive alla sola compensazione armonica e reattiva [51]. Questo con lo scopo di incrementare la qualità e l'affidabilità del sistema di distribuzione dell'energia elettrica, oltre che a regime, anche in condizioni transitorie, anomale e di guasto. Una condizione transitoria sulle reti di distribuzione dell'energia elettrica è quella che si verifica all'inserzione di grossi carichi quando, il determinarsi di una corrente di inserzione elevata, provoca un pericoloso abbassamento della tensione di alimentazione. Se le inserzioni - disinserzioni di questi carichi avvengono con una frequenza elevata, si è allora in presenza di un fenomeno anomalo noto come flicker. Un sistema di compensazione che si prefigga di ridurre gli effetti negativi dell'inserzione di un carico richiede ovviamente la gestione di una certa riserva di energia con cui alimentare una porzione di carico durante il transitorio[48]. Occorre quindi, un sistema di accumulo dell'energia in grado di fornire, in tempi estremamente rapidi, la potenza richiesta dall'inserzione del carico. e un opportuno sistema di conversione statica che consenta la trasmissione della potenza tra il sistema di accumulo e la rete.

Avendo a disposizione la struttura filtro attivo parallelo prima descritta, si può collegare al bus dc di questo convertitore VSI, un altro convertitore statico, con il compito di gestire la carica nel sistema di accumulo. La configurazione di questo secondo convertitore dipende dal tipo di sistema di accumulo utilizzato. Il controllo dei due convertitori è realizzato da un sistema di gestione dei flussi di potenza tra sistema di accumulo e complesso rete - carico.

Avendo a disposizione una struttura hardware capace di gestire un flusso di potenza tra un sistema di accumulo e la rete, si può pensare di utilizzare l'energia accumulata per sostenere il carico al verificarsi di un'interruzione dell'alimentazione di rete [39] - [42]. Questa funzionalità, detta UPS off-line, consiste nell'utilizzare il convertitore lato rete come generatore di tensione per alimentare il carico durante l'assenza della rete. Questa funzionalità richiede l'aggiunta, sulla struttura hardware, di un dispositivo statico che isoli il sistema PCS - carico dalla rete durante l'assenza della alimentazione. Per ottenere questa funzionalità occorre realizzare un sistema di controllo che monitorizzi continuamente la rete per

individuare lo stato, e che gestisca la transizione della modalità di funzionamento del sistema da *Power Conditioner* con rete presente a *Power Source* con rete in condizione di guasto. La commutazione tra le due modalità deve avvenire in modo da non compromettere la continuità di servizio dei carichi collegati a valle del sistema.

Nell'ambito della presente tesi, si è progettato e realizzato un apparato sperimentale, costituito da componenti elettronici di potenza, circuiteria elettrica e sistema digitale di controllo, con il quale sia possibile implementare tutte le funzionalità di compensazione qui descritte, e cioè:

- compensazione delle correnti armoniche del carico
- compensazione della potenza reattiva e dello sbilanciamento di carico
- smorzamento dei transitori di inserzione - disinserzione di carichi
- alimentazione di back - up durante il guasto della rete.

Per realizzare contemporaneamente tutte queste funzionalità, è stato definito un algoritmo di controllo globale, idoneo ad essere implementato sul sistema di controllo dell'apparato sperimentale.

L'analisi teorica, che ha richiesto lo sviluppo di nuove tecniche di controllo, si è concentrata sulla funzionalità filtro attivo, cioè compensazione delle correnti armonica, della potenza reattiva, dello squilibrio del carico, e sulla gestione della riserva di energia per lo smorzamento delle variazioni di carico. Per ottenere queste funzionalità è stato sviluppato un algoritmo di controllo con caratteristiche tali da poter essere implementato su sistemi digitali. L'algoritmo, abbinato ad un opportuno modello dei sistemi elettrici impiegati, è stato inserito in un simulatore con il quale si sono verificate le prestazioni di compensazione ottenibili.

L'algoritmo di controllo proposto è stato inoltre implementato nel sistema di controllo digitale dell'apparato sperimentale per la funzionalità filtro attivo, ricavandone prestazioni di compensazione analoghe a quelle ottenute in simulazione.

Tutte le altre funzionalità possibili potranno essere testate sperimentalmente quando sarà disponibile un adeguato sistema di accumulo dell'energia.

La presente tesi contiene un riepilogo delle principali attività svolte per giungere alla realizzazione del sistema proposto. La tesi è organizzata nei seguenti Capitoli.

- Nel Capitolo 1, si giustifica la scelta della configurazione filtro attivo parallelo per realizzare una compensazione che migliori la qualità dell'energia in rete. Si presenta una tecnica di base per il controllo del filtro attivo che risulta più semplice di quelle fino ad ora proposte. Si introducono alcune varianti a questa tecnica, individuando gli elementi del controllo del filtro attivo che caratterizzano maggiormente le prestazioni.
- Nel Capitolo 2, si combina il filtro attivo parallelo con una seconda struttura di conversione, che funge da interfaccia con un sistema di accumulo dell'energia. Si sviluppa una tecnica di controllo per la gestione dei flussi di potenza tra la rete ed il dispositivo di accumulo. Questa tecnica è espressa in forma generale, cioè è applicabile a qualunque sistema di accumulo collegato al sistema di condizionamento della potenza. I sistemi di accumulo presi in considerazione nella costruzione dell'apparato sperimentale sono: magnete superconduttore (SMES), batteria di supercondensatori (SC), e macchina rotante. L'apparato sperimentale realizzato infatti, è stato progettato in modo che il convertitore elettronico di potenza lato sistema di accumulo sia riconfigurabile per poter gestire questi tre dispositivi.
- Nel Capitolo 3 si presenta un componente fondamentale del sistema filtro attivo che è il regolatore di corrente. Sono presentate, in rassegna, le più importanti tecniche di controllo di convertitori trifase di tipo VSI per la regolazione della corrente su carichi attivi. Tra le diverse tecniche, quelle con le migliori prestazioni dal punto di vista dinamico, e con la minore ondulazione della corrente alla frequenza di commutazione, sono ritenute le più idonee per essere impiegate in un algoritmo di controllo di filtro attivo.
- Nel Capitolo 4 si presenta l'algoritmo di sincronizzazione con la rete, che consente al sistema di controllo di individuare correttamente le caratteristiche delle tensioni di rete. Questo sistema di agganciamento in fase è denominato Three Phase Locked Loop, ed è in grado di agganciare l'argomento della sola componente fondamentale di sequenza positiva della tensione di rete.
- Nel Capitolo 5 è illustrato l'apparato sperimentale che si è realizzato. Questo apparato è stato progettato in modo che su di esso possano essere implementate contemporaneamente, od una per volta, tutte le funzionalità di compensazione descritte.

- Nel Capitolo 6 si è descritto l'algoritmo di controllo implementabile sull'apparato hardware a realizzato. Questo algoritmo è stato sviluppato in modo tale da poter funzionare correttamente sia quando sono utilizzate tutte le funzionalità previste, sia quando sono utilizzate solo alcune di esse. Con gli schemi proposti si è testato il funzionamento del sistema di condizionamento della potenza in diverse condizioni di funzionamento, e si sono riportati i risultati ottenuti sia con simulazioni numeriche, sia con prove sperimentali.

CAPITOLO 1

ANALISI DEL SISTEMA FILTRO ATTIVO

1.1 Introduzione

Avendo a disposizione un convertitore statico trifase del tipo VSI (Voltage Source Inverter), si è ricercato il modo più conveniente per applicare questo inverter ad una rete di distribuzione dell'energia elettrica con lo scopo di migliorare la qualità dell'energia e quindi l'efficienza della trasmissione. Il sistema di condizionamento che si ottiene, nelle sue diverse configurazioni è detto filtro attivo o APF (Active Power Filter) [1]-[6].

In questo capitolo saranno illustrate brevemente le possibili configurazioni di collegamento dell'inverter alla rete: collegamento serie o parallelo. Ritenendo il collegamento parallelo essere il più idoneo ad incrementare la qualità dell'energia trasmessa, per questa configurazione saranno presentate alcune delle tecniche di controllo utilizzate. Per superare alcuni limiti di queste tecniche si sono sviluppati dei nuovi sistemi di controllo per filtro attivo con lo scopo di:

- minimizzarne la complessità di calcolo in modo che possano essere facilmente implementate su sistemi di controllo digitale;
- massimizzare le prestazioni di compensazione in condizioni reali di esercizio, cioè in presenza di non idealità della rete di alimentazione.

Le tecniche proposte saranno presentate in questo capitolo.

Prima di illustrare le tecniche di controllo per il filtro attivo, si ritiene necessario definire quale compensazione che ci si attende da questo dispositivo. Tale definizione è fatta con riferimento al formalismo di Park (vedi Appendice 1) in quanto questa rappresentazione è idonea a rappresentare sistemi trifase qualsiasi, ed è anche relativamente semplice il suo impiego in un sistema di controllo implementato su un microprocessore.

1.2 Compensazione mediante filtro attivo

La capacità di un dispositivo filtro attivo, di compensare le componenti armoniche e reattive presenti su di una rete industriale, è ricercata con riferimento alla definizione di componente attiva e componente residua della potenza che scaturiscono dal formalismo di Park.

Si consideri un sistema trifase puro (a 3 fili), il vettore di Park nel dominio del tempo della corrente \bar{i} può essere decomposto nelle due componenti: \bar{i}_A componente attiva, ed \bar{i}_X componente residua [56].

- La componente attiva \bar{i}_A è associata alla potenza media, ed è definita come:

$$\text{Eq. 1.1} \quad \bar{i}_A(t) \doteq \frac{P_P}{V^2} \bar{v}(t), \quad \text{dove}$$

P_P : potenza attiva o potenza media

$$\text{Eq. 1.2} \quad P_P = \Re \left\{ \frac{1}{T} \int_T \bar{v}(t) \cdot \bar{i}^*(t) dt \right\}$$

V : valore efficace trifase della tensione

$$\text{Eq. 1.3} \quad V^2 = \frac{1}{T} \int_T \bar{v}(t) \cdot \bar{v}^*(t) dt$$

- La componente residua \bar{i}_X , è definita come

$$\text{Eq. 1.4} \quad \bar{i}_X \doteq \bar{i} - \bar{i}_A.$$

I due vettori \bar{i}_A , \bar{i}_X così definiti sono in accordo con la teoria classica. Si dimostra infatti che \bar{i}_A , \bar{i}_X [56] sono perpendicolari

$$\text{Eq. 1.5} \quad \int_T \Re \left(\bar{i}_A(t) \cdot \bar{i}_X^*(t) \right) dt = 0,$$

per cui per i rispettivi valori efficaci si ha:

$$\text{Eq. 1.6} \quad I^2 = I_A^2 + I_X^2,$$

dove I è il valore efficace del vettore di Park della corrente \bar{i} .

La potenza attiva risulta

$$\text{Eq. 1.7} \quad P_P = \frac{1}{T} \int_T \bar{v}(t) \cdot \bar{i}_A^*(t) dt = V I_A$$

La potenza apparente, secondo il formalismo di Park è

$$\text{Eq. 1.8} \quad S = VI$$

che per mezzo della Eq. 1.6 può essere espressa in funzione delle componenti attiva e residua della corrente secondo:

$$\text{Eq. 1.9} \quad S^2 = P_P^2 + V^2 I_X^2.$$

Da queste relazioni si può asserire che la componente attiva \bar{i}_A della corrente assorbita \bar{i} da un certo carico, a parità di tensione nel periodo T , è quel vettore di corrente con valore efficace minimo che riesce a produrre la stessa potenza attiva P_P prodotta da \bar{i} nel periodo T .

Il compito di un compensatore statico che ottimizzi l'assorbimento di corrente di un'utenza è quindi quello di compensare, istante per istante, la componente della corrente \bar{i}_X della corrente assorbita \bar{i} , lasciando inalterata la componente \bar{i}_A .

Questo tipo di compensazione è realizzabile con una configurazione di compensatore statico del tipo di quella riportata in Fig. 1.1, detta filtro attivo parallelo. La compensazione realizzabile con questa struttura, ha lo scopo di ottenere una corrente di sorgente \bar{i}_S che contenga la sola componente attiva \bar{i}_A della corrente \bar{i}_L assorbita dal carico. La componente residua \bar{i}_X della corrente \bar{i}_L dovrà invece essere iniettata dal filtro, cioè:

$$\text{Eq. 1.10} \quad \bar{i}_L = \bar{i}_A + \bar{i}_X$$

$$\text{Eq. 1.11} \quad \begin{cases} \bar{i}_S = \bar{i}_A \\ \bar{i}_F = \bar{i}_X \end{cases}$$

Il filtro si deve comportare come un generatore di corrente, che inietta verso la rete una potenza istantanea di valore medio nullo nel periodo (come indicato dalla Eq. 1.5). Ciò significa che il filtro non eroga potenza attiva.

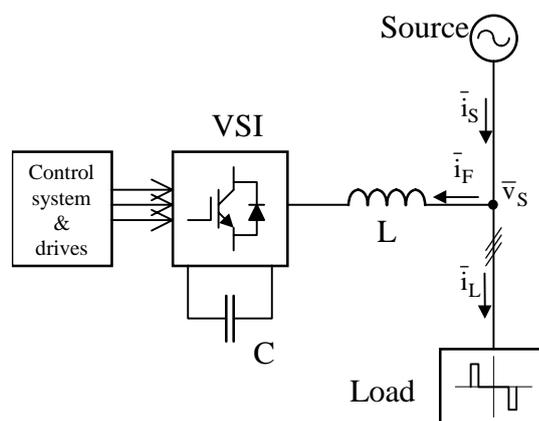


Fig. 1.1 *Configurazione del filtro attivo parallelo*

Una struttura duale a quella rappresentata in Fig. 1.1 è quella che può operare come sorgente di tensione con lo scopo di compensare la distorsione della forma d'onda della tensione della rete di alimentazione. Tale struttura, detta filtro attivo serie, è mostrata in Fig. 1.2 [7]-[9].

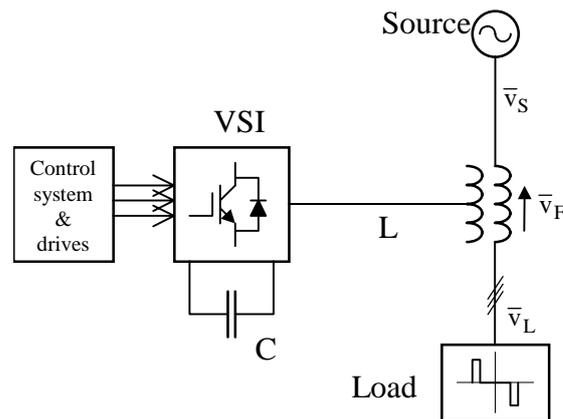


Fig. 1.2 *Configurazione del filtro attivo serie*

In questa struttura, l'inverter, opportunamente controllato in corrente, può regolare la corrente ai capi dell'avvolgimento del trasformatore, in modo da compensare le variazioni di \bar{v}_S ed ottenere una tensione \bar{v}_F sul carico corrispondente ad una terna di tensioni sinusoidali e simmetriche.

Il filtro serie quindi, migliorando solamente la qualità della tensione ai capi del carico, non introduce elementi atti a migliorare l'efficienza del sistema elettrico a monte. Non realizza cioè alcuna compensazione esplicita, volta a minimizzare la potenza apparente del sistema secondo la Eq. 1.9. Se ad esempio, il carico applicato è un carico non lineare, il filtro attivo serie è in grado di alimentare il carico con una tensione non distorta, ma la corrente assorbita rimarrà distorta.

La capacità di rendere sinusoidale la tensione di alimentazione di un carico 'sensibile' non è tale da giustificare un investimento per realizzare questa struttura. Il condizionamento della tensione di alimentazione dei carichi sensibili è realizzata utilizzando i comuni dispositivi UPS che, oltre a generare una forma d'onda sinusoidale della tensione, garantiscono la ben più importante funzionalità della continuità dell'alimentazione.

La configurazione di filtro attivo tipo serie ha trovato applicazione solamente in alcune realizzazioni di compensatore "globale", cioè in combinazione ad un filtro attivo di tipo parallelo. Combinando le due soluzioni di Fig. 1.1 e Fig. 1.2 in unico circuito si ottiene un sistema capace di condizionare contemporaneamente la tensione di alimentazione del carico e la corrente assorbita dalla rete [5], [9].

La trattazione seguente si occuperà di presentare ed analizzare le tecniche di controllo per filtri attivi di tipo parallelo.

1.3 Sistemi di controllo per filtro attivo parallelo

Data la struttura di Fig. 1.1 il sistema di controllo del filtro attivo deve comandare il convertitore statico VSI in modo da soddisfare fondamentalmente questi due compiti:

- generare una corrente \bar{i}_F tale che, iniettata nel punto di accoppiamento comune (PCC) sia in grado di effettuare la compensazione indicata in Eq. 1.11.
- mantenere carico il condensatore di bus dc, ad un valore di tensione sufficiente al convertitore VSI per iniettare verso la rete la corrente \bar{i}_F desiderata.

Gli algoritmi di controllo che si possono utilizzare per gestire contemporaneamente questi due compiti si possono suddividere nelle due seguenti categorie

- Sistemi che utilizzano l'analisi di Fourier sulle correnti di carico. Si basano sull'estrazione delle componenti armoniche della corrente di carico [22-28] per poi selezionarne le componenti che si desidera compensare. Si impone quindi al filtro, di generare delle componenti di corrente complementari a quelle selezionate, in modo che la corrente di sorgente sia priva di queste componenti. In questi sistemi la carica del condensatore è spesso ottenuta utilizzando un piccolo convertitore aggiuntivo con controllo indipendente. Un sistema di controllo in grado di calcolare la trasformata di Fourier in tempo reale, richiede strumenti di elaborazione molto potenti, che non sono pienamente compatibili con un sviluppo industriale del prodotto. Pertanto, dovendo in questo lavoro giungere alla realizzazione di un prototipo funzionante, dal quale sia facilmente derivabile un prodotto industriale, non si è ritenuto di dover percorrere questa soluzione.
- Sistemi basati sul controllo della forma d'onda nel dominio del tempo. Tra i diversi tipi di metodi di controllo, si prenderanno in esame le seguenti due tecniche:
 - a) compensazione della potenza reattiva istantanea [11]-[20]
 - b) inseguimento di un riferimento sinusoidale per la corrente di sorgente [29]-[32].

Di queste due tecniche, la prima, che è la più diffusa in letteratura, sarà descritta solo analiticamente, mentre la seconda, che è stata sviluppata ex-novo durante la presente tesi di dottorato sarà analizzata analiticamente in dettaglio, e adeguatamente simulata. Lo scopo dello sviluppo analitico e dell'attività di simulazione è quello di mettere a punto una struttura che può essere sperimentata con successo sull'apparato sperimentale che si è realizzato.

1.3.1 APF a compensazione della potenza reattiva istantanea

Questa tecnica si basa sul controllo delle potenze istantanee del sistema trifase, definite secondo il formalismo di Park.

Dato un sistema trifase puro (a tre fili), la potenza complessa istantanea di Park [56] associata al sistema trifase vale

$$\text{Eq. 1.12} \quad a_p = p_p(t) + jq_p(t), \text{ dove}$$

$p_p(t)$ è la potenza reale istantanea

$$\text{Eq. 1.13} \quad p_p(t) = \Re\{a_p(t)\} = \bar{v} \times \bar{i} = v_d i_d + v_q i_q$$

$q_p(t)$ è la potenza immaginaria istantanea

$$\text{Eq. 1.14} \quad q_p(t) = \Im\{a_p(t)\} = \bar{v} \vee \bar{i} = v_q i_d - v_d i_q.$$

Le Eq. 1.12, Eq. 1.14 sono equazioni ai valori istantanei valide per qualsiasi regime e per qualunque s.d.r. di Park dq a cui ci si riferisce.

Associate alle potenze istantanee $p_p(t)$ e $q_p(t)$ si individuano due vettori funzione del tempo $\bar{i}_D(t)$ e $\bar{i}_Q(t)$ così definiti

$$\text{Eq. 1.15} \quad \bar{i}_D = \frac{p_p(t)}{v^2(t)} \cdot \bar{v}$$

$$\text{Eq. 1.16} \quad \bar{i}_Q = \frac{q_p(t)}{v^2(t)} \cdot \bar{v},$$

il vettore corrente di Park \bar{i} è rappresentabile in funzione dei vettori $\bar{i}_D(t)$ e $\bar{i}_Q(t)$ come

$$\text{Eq. 1.17} \quad \bar{i} = \bar{i}_D - j\bar{i}_Q.$$

cioè si individua \bar{i} secondo due sue componenti

- il vettore $\bar{i}_D(t)$ in fase con il vettore tensione \bar{v}
- il vettore $j\bar{i}_Q(t)$ in quadratura con il vettore tensione \bar{v}

Le potenze istantanee reale ed immaginaria sono associabili rispettivamente ad $\bar{i}_D(t)$ e $\bar{i}_Q(t)$ mediante

$$\text{Eq. 1.18} \quad \begin{cases} p_p(t) = \bar{v}(t) \cdot \bar{i}_D^*(t) \\ q_p(t) = \bar{v}(t) \cdot \bar{i}_Q^*(t) \end{cases}.$$

La potenza immaginaria istantanea è interpretabile dalla Eq. 1.18 come prodotto tra il vettore tensione \bar{v} e la componente in quadratura \bar{i}_Q del vettore corrente \bar{i} . Come tale è identicamente nulla nel caso in cui i due vettori \bar{i} e \bar{v} si mantengono istante per istante in fase, in questo caso infatti

$$\text{Eq. 1.19} \quad \bar{i}_Q(t) = 0 \quad \Rightarrow \quad q_P(t) = 0$$

La Eq. 1.19 corrisponde a quanto si manifesta naturalmente in un sistema trifase sinusoidale simmetrico completamente rifasato.

La potenza $q_P(t)$ così definita è associata esclusivamente a scambi energetici somma nulla tra le fasi, in particolare rappresenta la rapidità di variazione della ripartizione di energia tra le fasi. Come visto nella Eq. 1.12 essa non mette in gioco potenza istantanea reale e pertanto potrebbe essere compensata senza la necessità di introdurre elementi di accumulo dell'energia (elementi reattivi).

Al contrario, il controllo di $p_P(t)$ richiede effettivamente la messa in gioco di potenza istantanea a valore medio nullo, e quindi richiede l'utilizzo di elementi reattivi per l'immagazzinamento dell'energia.

Il diffuso sistema di controllo per compensatore statico presentato in questo paragrafo è basato proprio sull'annullamento della potenza istantanea reattiva e, sul mantenimento a ogni istante, della potenza istantanea reale, al proprio valore medio:

$$\text{Eq. 1.20} \quad \begin{cases} p_P(t) = P_P \\ q_P(t) = 0 \end{cases}$$

Uno schema tipo, in grado di realizzare la compensazione indicata in Eq. 1.20 è quello di Fig. 1.3, in questo schema è rappresentata solamente la parte di controllo implementata nel sistema di riferimento di Park rotante. I riferimenti di corrente generati da questo sistema i_{FD}^* , i_{FQ}^* dovranno poi essere sintetizzati da un opportuno sistema di controllo della corrente iniettata dal filtro.

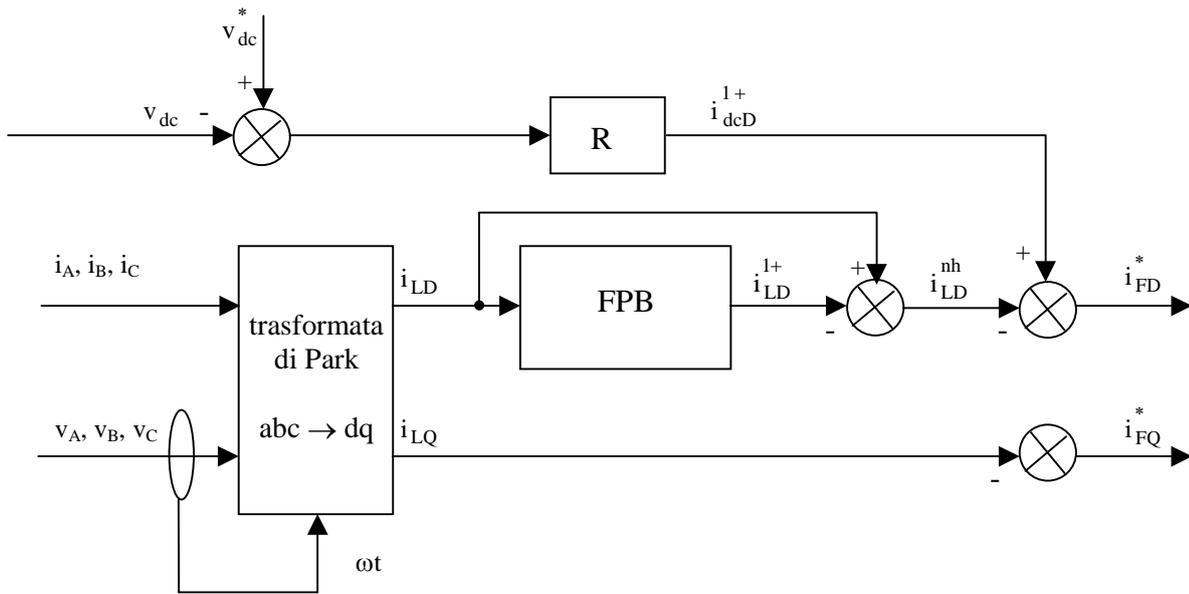


Fig. 1.3 Schema del controllo di un filtro attivo a compensazione della potenza istantanea

Le diverse sezioni di Fig. 1.3 possono essere così commentate:

- il blocco di trasformazione $abc \rightarrow dq$ fornisce le due componenti i_{LD} , i_{LQ} del vettore di Park della corrente di carico \bar{i}_L rispettivamente in fase ed in quadratura al vettore tensione di sorgente \bar{v} ;
- il blocco FPB rappresenta un filtro passa basso che estrae la componente fondamentale i_{LD}^{1+} dalla componente i_{LD} della corrente di carico sull'asse D. Sottraendo la componente fondamentale i_{LD}^{1+} dal segnale originario i_{LD} : $\left(i_{LD}^{nh} = i_{LD} - i_{LD}^{1+} \right)$, si ottiene il contenuto armonico i_{LD}^{nh} sull'asse D della corrente di carico che deve essere compensato dal filtro attivo.
- Oltre alla corrente di filtro sull'asse D necessaria a compensare il contenuto armonico del carico: i_{LD}^{nh} , occorre che il filtro assorba dalla rete una componente sull'asse D della corrente chiamata i_{dcD} tale da mantenere il condensatore al livello di carica voluto. Questa corrente aggiuntiva è data dall'uscita del regolatore R che ha come ingresso l'errore di tensione sul condensatore di bus-dc.
- la corrente di riferimento che deve essere iniettata dal filtro sull'asse Q è pari ed opposta alla componente della corrente di carico in quadratura con la tensione: $i_{FQ}^* = i_{LQ}$.

Il sistema schematizzato in Fig. 1.3 abbinato ad un efficace sistema di regolazione della corrente in uscita dal filtro, consente quindi di ottenere:

- compensazione armonica e reattiva: la potenza istantanea immaginaria scambiata con la sorgente è nulla $q_{PS}(t) = 0$, in quanto completamente compensata dal filtro $q_{PF}(t) = -q_{PL}(t)$.
- compensazione dello squilibrio della corrente: la potenza istantanea reale erogata dalla sorgente è, ad ogni istante, pari alla potenza attiva assorbita dal carico $p_{PS}(t) = P_{PL}$, in quanto il filtro compensa la componente variabile della potenza istantanea $p_{PF}(t) = \tilde{p}_{PL}(t)$.

In questa tecnica di regolazione, la capacità di generare riferimenti corretti è determinata dalla selettività del filtro passa basso impiegato per estrarre la fondamentale i_{LD}^{1+} dalla componente della corrente di carico sull'asse D. A questo scopo sono utilizzati filtri relativamente complessi, di ordine elevato (es. Butterworth, 4° ordine, digitali FIR, ecc.).

Lo schema di Fig. 1.3 è una struttura di controllo capace di realizzare la Eq. 1.20, cioè ad ogni istante il vettore corrente di sorgente \bar{i}_S è tenuto in fase con il vettore tensione di sorgente \bar{v}_S . Dal punto di vista della sorgente il sistema carico + filtro ha, a meno delle armoniche di ordine superiore, le caratteristiche di un carico puramente ohmico. Affinché ciò accada, è fondamentale che il vettore \bar{v} individuato dal blocco delle trasformazioni di Park, corrisponda alla terna delle tensioni in ingresso anche nelle probabili condizioni in cui queste siano sbilanciate o affette da armoniche di ordine basso. Fino ad ora, questo aspetto non è stato approfondito, tanto che nella maggior parte delle realizzazioni note, si assume che la tensione di sorgente sia sempre costituita da una terna sinusoidale e simmetrica, e che quindi il corrispondente vettore di spazio descriva sempre una circonferenza percorsa a velocità costante. L'ampiezza e la fase di questo vettore sono spesso calcolati con tecniche che ne fanno perdere di significato quando la tensione di sorgente non è più ideale. In questo caso il sistema di controllo perde l'allineamento tra il vettore \bar{i}_S ottenuto e il vettore tensione \bar{v}_S effettivamente presente.

Nei paragrafi seguenti, sarà proposto un sistema di controllo per filtro attivo che è in grado di effettuare le compensazioni richieste anche in presenza di non idealità sulla tensione di alimentazione.

1.3.2 APF a riferimento sinusoidale per la corrente di sorgente

In questo paragrafo sarà illustrato lo schema base del filtro attivo proposto basato sull'imposizione di un riferimento sinusoidale alla corrente di sorgente [29]-[32].

Il sistema proposto non richiede l'impiego dei vettori di Park, non necessità di elevate capacità di calcolo, richiede un numero minimo di misure ed utilizza un semplice regolatore di corrente con modulazione PWM [10]. In questa prima descrizione si farà riferimento all'ipotesi di tensioni di sorgente sinusoidali e simmetriche, poi in Par. 1.3.3 si illustrerà il sistema in grado di operare anche in presenza di tensioni distorte.

Lo schema elettrico di questo compensatore è riportato in Fig. 1.4, in questa figura e nel seguito del paragrafo, le grandezze trifase sono rappresentate mediante i vettori di spazio in accordo con la trasformazione su assi d-q stazionari.

Lo schema di Fig. 1.4 si basa sul principio di generare un valore di riferimento per la corrente di sorgente \bar{i}_S in fase con la tensione di sorgente \bar{v}_S , secondo lo schema di Fig. 1.5.

L'ampiezza del riferimento della corrente di sorgente I_S^* è ottenuto applicando il regolatore $R(s)$ all'errore istantaneo tra il valore di riferimento della tensione sul bus dc V_C^* e la tensione effettivamente misurata ai capi del condensatore di bus dc V_C .

L'ampiezza I_S^* modula il vettore unitario della tensione di sorgente \hat{v}_S , in modo da ottenere il valore di riferimento per la corrente di sorgente \bar{i}_S^* . Sarà poi compito del regolatore di corrente controllare nel modo più opportuno la corrente di filtro in modo che la corrente di sorgente \bar{i}_S inseguia il proprio riferimento \bar{i}_S^* , con il minimo errore.

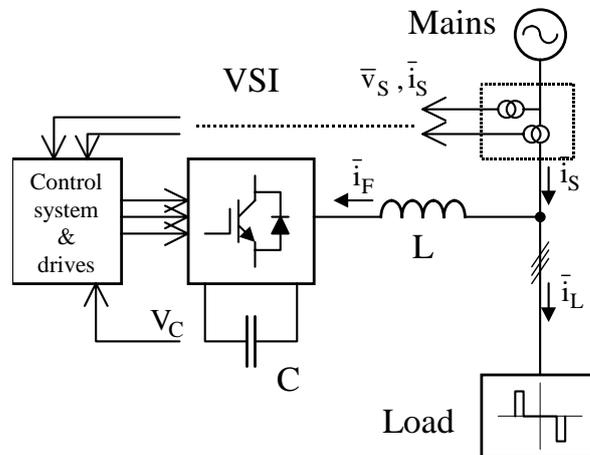


Fig. 1.4 Schema del filtro attivo con misura della corrente di sorgente

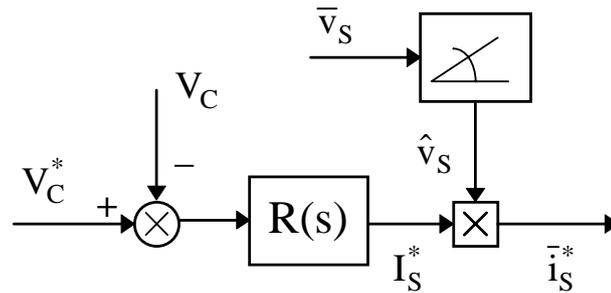


Fig. 1.5 Schema del regolatore di tensione di bus dc

In questo sistema di controllo le prestazioni come compensatore statico dipendono dalla risposta dinamica dei due sistemi di regolazione presenti: il controllo della tensione di bus dc e il regolatore di corrente. In realtà le prestazioni come compensatore armonico, e quindi la capacità di inseguire al meglio riferimenti di corrente rapidamente variabili, dipendono solamente dalle caratteristiche dinamiche del regolatore di corrente. Il controllore della tensione di bus dc ha il solo compito di mantenere la tensione sul condensatore al valore di riferimento e, per evitare transitori di carica - scarica eccessivamente rapidi, questo loop non deve essere troppo veloce. I differenti tempi di risposta dei due loop presenti rendono i due sistemi indipendenti e consentendone uno studio separato.

1.3.2.1 Regolatore della tensione di bus-dc.

Lo studio del regolatore della tensione di bus dc è condotto sullo schema semplificato rappresentato in Fig. 1.6. In questo schema il segnale di ingresso al regolatore $R(s)$ è l'errore dell'energia immagazzinata nel condensatore, l'uscita del regolatore è il valore di riferimento della potenza istantanea di sorgente P_S^* . Nel sistema di riferimento d-q scelto $P_S^* = V_S I_S^*$, dove V_S è l'ampiezza del vettore tensione di sorgente \bar{v}_S in fase con la corrente di riferimento \bar{i}_S^* di ampiezza I_S^* . Il valore di riferimento per la potenza assorbita dal filtro P_F^* è calcolato sottraendo la potenza di carico P_L da P_S^* . Assumendo che il regolatore di corrente inseguia correttamente il proprio riferimento e che quindi il VSI sia in grado di generare il riferimento di potenza richiestogli ad ogni istante, si ha $P_F = P_F^*$. Questa potenza istantanea P_F rappresenta la potenza che fluisce dalla rete al filtro.

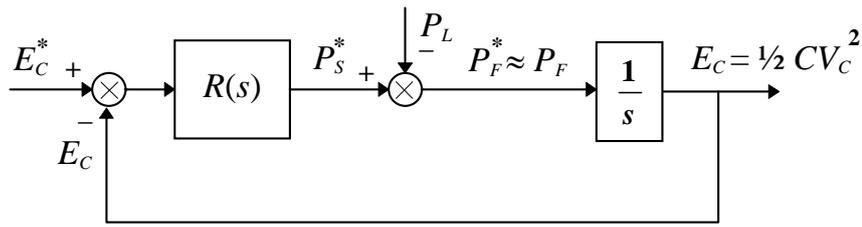


Fig. 1.6 Loop di controllo dell'energia nel condensatore

Trascurando la variazione dell'energia magnetica nell'induttore di separazione P_F è la potenza che entra nel VSI; trascurando inoltre le perdite nel convertitore statico, l'energia immagazzinata nel condensatore E_C è data dall'integrale nel tempo della potenza P_F . Sotto queste ipotesi, è stata ricavata la seguente espressione, che rappresenta la funzione di trasferimento ad anello chiuso del diagramma a blocchi di Fig. 1.6

$$\text{Eq. 1.21} \quad E_C = \frac{R(s)}{s + R(s)} E_C^* - \frac{1}{s + R(s)} P_L.$$

La scelta del regolatore $R(s)$ è eseguita in considerazione delle azioni che il compensatore deve realizzare. Volendo annullare l'errore a regime sull'energia nel condensatore, il regolatore $R(s)$ deve introdurre un'azione integrale. A questo scopo si sceglie per $R(s)$ un regolatore di tipo PI (proporzionale-integrale)

$$\text{Eq. 1.22} \quad R(s) = K_P + \frac{K_I}{s} = K_P \left(1 + \frac{1}{T_I} \right); \quad T_I = K_P / K_I$$

che sostituito nella Eq. 1.21 fornisce la seguente espressione per l'energia nel condensatore

$$\text{Eq. 1.23} \quad E_C = \frac{\omega_n^2 (1 + T_I s)}{s^2 + 2\delta\omega_n s + \omega_n^2} E_C^* - \frac{1}{s^2 + 2\delta\omega_n s + \omega_n^2} P_L$$

dove

$$\text{Eq. 1.24} \quad \begin{cases} \omega_n = \sqrt{\frac{K_P}{T_I}} \\ \delta = \frac{1}{2} \sqrt{K_P T_I} \end{cases}.$$

Analizzando la Eq. 1.23 si verifica che una perturbazione introdotta da variazioni nella potenza di carico non introduce errore a regime nell'energia del condensatore.

Come dimostrato nei risultati delle simulazioni realizzate mostrate in Cap. 6 la costante di tempo di questo regolatore è dell'ordine di 1 secondo, e quindi è diversi ordini di grandezza

superiore alla costante di tempo del necessario regolatore di corrente. Ciò giustifica l'analisi dinamica dei due sistemi realizzata come se fossero indipendenti.

1.3.2.2 *Regolatore della corrente di sorgente*

Il compensatore statico allo studio prevede un controllo diretto delle correnti di sorgente, le quali devono essere sinusoidali ed in fase con le corrispondenti tensioni di fase della sorgente. Utilizzando sempre i vettori di spazio, con riferimento alle grandezze indicate in Fig. 1.4 si possono scrivere le seguenti equazioni

$$\text{Eq. 1.25} \quad \bar{v}_S = \bar{v}_F + L \frac{d\bar{i}_F}{dt}$$

$$\text{Eq. 1.26} \quad \bar{i}_S = \bar{i}_F + \bar{i}_L.$$

Potendo considerare la velocità di variazione della corrente di filtro più elevata della velocità di variazione della corrente di carico, si può riscrivere la Eq. 1.25 come

$$\text{Eq. 1.27} \quad \bar{v}_F = \bar{v}_S - L \frac{d\bar{i}_S}{dt}.$$

Per le piccole variazioni, la derivata nel tempo può essere sostituita dalle differenze finite conducendo a

$$\text{Eq. 1.28} \quad \bar{v}_F = \bar{v}_S - \frac{L}{\Delta t} \Delta \bar{i}_S.$$

La Eq. 1.28 è così utilizzata per implementare lo schema di controllo rappresentato in Fig. 1.7 dove la quantità $\Delta \bar{i}_S$ è l'errore istantaneo nella corrente di sorgente. In questo schema, si assume che l'inverter controllato da un modulatore PWM sia ideale, cioè capace di sintetizzare esattamente il vettore tensione di riferimento \bar{v}_F^* che è richiesto.

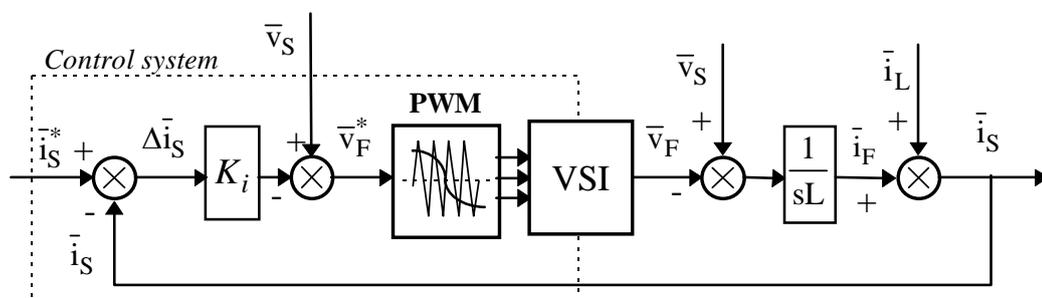


Fig. 1.7 *Diagramma a blocchi del sistema di regolazione della corrente di sorgente con modulatore PWM*

Dalla Fig. 1.7 scaturisce la seguente espressione per la corrente di sorgente \bar{i}_S in funzione della corrente di riferimento \bar{i}_S^* e della corrente di carico \bar{i}_L , che quindi assume il significato di disturbo

$$\text{Eq. 1.29} \quad \bar{i}_S = \frac{1}{1 + \tau_i s} \bar{i}_S^* + \frac{\tau_i s}{1 + \tau_i s} \bar{i}_L, \quad \text{dove} \quad \tau_i = L/K_i.$$

Il primo termine della Eq. 1.29 indica che la relazione tra \bar{i}_S^* e \bar{i}_S è rappresentata da un filtro passa basso con costante di tempo τ_i . Alti valori dell'induttanza di disaccoppiamento causano un aumento della costante di tempo τ_i , questo incremento può essere compensato attraverso una taratura del parametro K_i presente nel regolatore di corrente. Il secondo termine della Eq. 1.29 indica che la corrente di carico agisce come disturbo sulla corrente di sorgente \bar{i}_S attraverso una rete anticipatrice. Questo comporta che le armoniche di corrente di carico di ordine elevato non possono essere compensate dal filtro attivo, per cui si rifletteranno sulla sorgente.

1.3.2.3 *Caratteristiche del filtro attivo sviluppato*

Il sistema di controllo presentato in questo paragrafo, basato sulla generazione e sul successivo inseguimento di un riferimento di corrente di sorgente \bar{i}_S^* , costituisce una tecnica semplice ed affidabile che si potrebbe imporre nel panorama dei filtri attivi in sostituzione delle tecniche basate sulla compensazione delle potenze istantanee brevemente descritta in Par. 1.3.1. Questa tecnica consente di combinare in un unico regolatore le funzioni di compensazione delle armoniche, del reattivo, dello squilibrio e la funzione di controllo della carica del condensatore di bus dc. Questo sistema è quindi molto più semplice rispetto agli altri poiché

- non richiede l'impiego di filtri elaborati, ma solo di comuni regolatori di tipo PI,
- nella sua versione base non necessita di essere implementato su di un s.d.r. rotante,
- necessita di un numero minimo di misure: in particolare è necessario individuare il vettore corrente solo nella sorgente \bar{i}_S , per fare ciò sono sufficienti solamente 2 trasduttori di corrente applicati sulle fasi di sorgente.

In questo sistema, generato il riferimento di corrente di sorgente da inseguire \bar{i}_S^* , le prestazioni del filtro attivo come compensatore armonico sono definite dalle caratteristiche

del regolatore di corrente impiegato. Come indicato in Cap. 3 un semplice regolatore di corrente come quello qui descritto, basato sull'impiego di un modulatore PWM, non è il migliore dei regolatori possibili. Questo regolatore infatti, non minimizzando il ripple della corrente ottenuta, limita le prestazioni che un regolatore di corrente implementato digitalmente in un microprocessore potrebbe ottenere nell'inseguimento di \bar{i}_S^* . In uno schema di filtro attivo come quello proposto è più opportuno utilizzare la tecnica di modulazione dei vettori di spazio (SVM) che preveda l'esplicita centratura dei vettori attivi nel semiperiodo di commutazione in modo da minimizzare il ripple della corrente risultante. Questa tecnica, detta SVM a sette intervalli, è stata descritta nel paragrafo 3.4.2. Un ulteriore incremento delle prestazioni dinamiche, cioè nell'inseguimento di riferimenti rapidamente variabili, è ottenibile se si combina questa tecnica di modulazione SVM ad un controllo di corrente che opera sulla Eq. 1.28 tenendo in considerazione l'effetto dell'implementazione digitale del controllo. Questo controllo di corrente è chiamato controllo digitale di tipo predittivo e corrisponde a quello proposto paragrafo 3.5.3.

Nel APF qui proposto, l'induttanza di separazione L è l'elemento passivo che contribuisce fortemente a caratterizzare le prestazioni del dispositivo come compensatore armonico. A parità di tensione disponibile sul bus dc, il suo valore determina il rateo di variazione della corrente di filtro e quindi la capacità di inseguire le rapide variazioni della corrente di carico. Attualmente la tendenza è quella di minimizzare il valore di L a fronte di un aumento della frequenza di commutazione e quindi, fin dove possibile, ad una diminuzione del tempo di ciclo del microprocessore su cui è implementato l'algoritmo di controllo. Seguendo questo indirizzo si soddisfano entrambe le specifiche di limitare l'ondulazione della corrente entro una banda sufficientemente ristretta e di ottenere dinamica elevata nell'inseguimento di riferimenti della corrente di filtro rapidamente variabili.

Lo schema di filtro attivo descritto in questo paragrafo costituisce un modello su cui costruire schemi di filtro attivo con caratteristiche e prestazioni diverse. In particolare, l'algoritmo che sovrintende alla generazione del riferimento della corrente di sorgente e contemporaneamente al controllo della tensione di bus dc, può essere utilizzato per schemi di APF in combinazione ad un qualunque tipo di regolatore di corrente. Il regolatore di tensione di bus dc può anche essere combinato ad un sistema di gestione dell'energia in un sistema di accumulo supplementare ai condensatori di bus dc, come sarà adeguatamente descritto nel Capitolo 2.

1.3.3 *APF ad inseguimento della sola componente di sequenza positiva di corrente*

Il sistema di regolazione della tensione di bus dc descritto nel Par.1.3.2 e rappresentato in Fig. 1.5, è perfettamente funzionante solo nel caso ideale in cui si dispone di una tensione di sorgente costituita da una terna di sinusoidi simmetriche ed equilibrate. In realtà le non idealità presenti sulla tensione di rete sono diverse, quelle che intervengono sulla capacità di compensazione del filtro attivo sono le seguenti

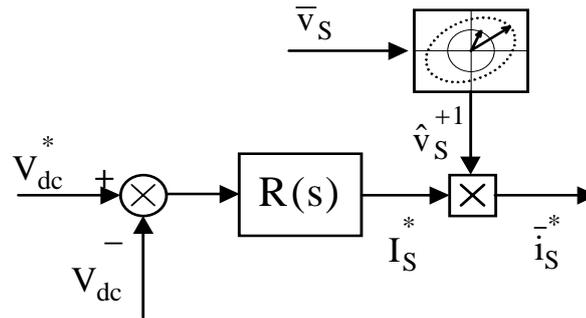
- distorsione armonica a frequenze legate alla commutazione dell'inverter di filtro
- distorsione armonica a bassa frequenza
- sbilanciamento alla frequenza fondamentale

La distorsione armonica della tensione di rete, a frequenze legate alla frequenza di commutazione dell'inverter, è una conseguenza non evitabile della commutazione. Spesso la riduzione di questa componente ad alta frequenza sovrapposta alla tensione di rete si rende necessaria per soddisfare le specifiche richieste della normativa su tale tema (IEC 519). Tale compensazione si realizza con piccoli filtri passivi accordati alle frequenze di commutazione degli interruttori statici [8]. Il sistema di riconoscimento della tensione di rete che è impiegato per estrarre il vettore di spazio \bar{v} da utilizzare nello schema di Fig. 1.5 deve essere in grado di filtrare questo contributo dal segnale di tensione in ingresso, in modo da non introdurre elementi di instabilità nel circuito di generazione del riferimento di corrente \bar{i}_S^* .

La distorsione della tensione di rete a frequenza bassa: 5^a, 7^a, 11^a armonica, è estremamente probabile su reti industriali, così come la possibilità che la tensione di rete abbia le componenti fondamentali di fase non esattamente bilanciate, cioè sia presente una componente fondamentale di sequenza negativa.

Se lo schema di Fig. 1.5 è costruito per generare un vettore di spazio delle tensioni di sorgente, che descrive sempre un luogo circolare, indipendentemente dalle tensioni che esistono in ingresso, questo vettore perderà di significato, andando a causare sicuramente un comportamento anomalo dell'algoritmo di compensazione.

La tecnica migliore, che consente di operare con tensioni di rete affette dalle non idealità descritte, è impiega la sincronizzazione del vettore corrente di riferimento \bar{i}_S^* con la componente fondamentale di sequenza positiva della tensione di rete [33]-[35]. Il compito di determinare l'ampiezza del riferimento I_S^* è affidato ad un regolatore della tensione di bus dc identico a quello di Fig. 1.5. In questo modo si ottiene un sistema di correnti di sorgente sinusoidale ed equilibrato anche in presenza di perturbazioni sulla tensione di rete.


 Fig. 1.8 *Regolatore della tensione di bus dc*

Lo schema di regolatore di tensione sul bus dc che impiega questa tecnica è rappresentato in Fig. 1.8, anche in questo schema le grandezze trifase sono rappresentate mediante vettori di spazio.

In questo schema si utilizza un blocco di calcolo che, ricevuto in ingresso un vettore di spazio \bar{v}_S , rappresentante una terna di tensioni arbitrariamente deformate, è in grado di generare in uscita un vettore unitario \hat{v}_S^{+1} esattamente in fase con la sola componente fondamentale di sequenza positiva della tensione di rete \bar{v}_S^{+1} . Il vettore unitario \hat{v}_S^{+1} è poi modulato dall'uscita I_S^* del regolatore della tensione di bus dc per generare il riferimento della corrente di sorgente \bar{i}_S^* .

Il vettore che rappresenta la tensione di sorgente \bar{v}_S può essere espresso in termini di componenti di sequenza fondamentale e di componenti armonici

$$\text{Eq. 1.30} \quad \bar{v}_S = \bar{v}_S^{+1} + \bar{v}_S^{-1} + \sum_{k=\pm 2}^{\pm\infty} \bar{v}_S^k$$

oppure utilizzando i fasori

$$\text{Eq. 1.31} \quad \bar{v}_S = \bar{V}_S^{+1} e^{j\omega t} + \bar{V}_S^{-1} e^{-j\omega t} + \sum_{k=\pm 2}^{\pm\infty} \bar{V}_S^k e^{jk\omega t}$$

Scrivendo la Eq. 1.31 rispetto ad un sistema di riferimento rotante con velocità ω si ottiene

$$\text{Eq. 1.32} \quad \bar{v}_S^\omega = \bar{v}_S e^{-j\omega t} = \bar{V}_S^{+1} + \bar{V}_S^{-1} e^{-j2\omega t} + \sum_{k=\pm 2}^{\pm\infty} \bar{V}_S^k e^{j(k-1)\omega t}.$$

In questo riferimento rotante la Eq. 1.32 indica che la componente fondamentale di sequenza negativa e le componenti armoniche hanno valore medio nullo. Perciò, per estrarre la

componente fondamentale di sequenza positiva , si potrebbe applicare un filtro passa basso al vettore nel s.d.r. rotante \overline{v}_S^ω , tale da estrarre la sola componente continua corrispondente a \overline{V}_S^{+1} . Affinché l'applicazione del filtro passa basso sia corretta è necessario conoscere a priori la velocità di rotazione ω di questo s.d.r. rotante.

In questo lavoro si è provveduto a realizzare un apposito blocco di sincronizzazione con la rete, chiamato Three Phase Locked Loop (TPLL) che sarà dettagliatamente descritto nel Capitolo 4. Questo blocco contiene un algoritmo di controllo che, dato in ingresso le misure delle tensioni di rete, affette da distorsione o sbilanciamento, fornisce in uscita

- l'argomento $\theta = \omega t$, e quindi il versore \hat{v}_S^{+1} , della componente fondamentale di sequenza positiva \overline{v}_S^{+1}
- il modulo V_S^{+1} della componente fondamentale di sequenza positiva \overline{v}_S^{+1} .

Questo strumento risulta affidabile e preciso anche su tensioni di ingresso pesantemente distorte dalla commutazione dell'inverter di filtro, pertanto si è ritenuto opportuno utilizzarlo in tutte le realizzazioni di filtro attivo e nelle strutture di condizionamento della potenza con accumulo di energia che si sono sviluppate.

Il controllo di filtro attivo che utilizza il principio illustrato in questo paragrafo genera un vettore corrente corrispondente alla sola componente fondamentale di sequenza positiva in fase con la componente fondamentale di sequenza positiva della tensione di sorgente. Si ha cioè in terna di correnti di sorgente simmetriche ed equilibrate anche in presenza di distorsione o dissimmetria della tensione di rete.

Dal punto di vista della sorgente, il sistema carico + filtro perde le caratteristiche del carico ohmico, cioè non si ottiene più la compensazione richiesta dalla Eq. 1.11. Quello che si ottiene è una compensazione sempre prevedibile, che tende a ridurre gli effetti di distorsione sulla tensione di rete dovuti a correnti distorte e che come mostrato nei risultati di Capitolo 6 è sempre stabile nelle possibili condizioni di perturbazione della rete.

1.3.4 APF su sistema di riferimento rotante

Utilizzando il blocco di sincronizzazione con la rete Three-Phase Locked Loop introdotto nel Par. 1.3.3 e che sarà descritto nel Capitolo 4, si ha la corretta conoscenza dell'argomento della componente fondamentale di sequenza positiva della tensione di rete. Il blocco Three-Phase Locked Loop contiene al suo interno la trasformazione di Park (v. Capitolo 4), per cui da

questo blocco sono note anche le componenti v_d, v_q sugli assi dq rotanti di Park della componente fondamentale di sequenza positiva della tensione di sorgente.

La disponibilità di queste informazioni sulla tensione di rete, conducono a realizzare facilmente uno schema di filtro attivo in cui tutto l'algoritmo di compensazione è implementato sul sistema di riferimento rotante di Park creato dal Three-Phase Locked Loop . Questo nuovo sistema di controllo su assi rotanti modifica la struttura del regolatore di corrente; dal controllo della corrente realizzato su assi fissi, mostrato in Fig. 1.7 si passa schema di Fig. 1.9. Questa tecnica realizza il controllo disaccoppiato delle componenti della corrente di sorgente i_{sd}, i_{sq} , per fare ciò richiede la conoscenza della corrente di filtro \bar{i}_F , della corrente di rete \bar{i}_S e dei parametri dell'induttore di accoppiamento posto tra filtro e rete.

L'analisi numerica di questo algoritmo di controllo della corrente di sorgente deriva da quello illustrato nel paragrafo 3.5.2, e si basa sull'ipotesi di disporre di un inverter VSI ideale. Nell'implementazione di questo regolatore è opportuno utilizzare la tecnica di modulazione la SVM a 7 intervalli, in modo da ottenere l'uguaglianza tra il vettore tensione di filtro richiesto \bar{v}_F^* ed vettore tensione ottenuto \bar{v}_F , producendo il minor ripple possibile sulla corrente di sorgente.

Il valore di riferimento per la componente sull'asse d della corrente di sorgente i_{sd}^* è data direttamente dal regolatore della tensione di bus dc $i_{sd}^* = I_S^*$ come rappresentato in Fig. 1.10.

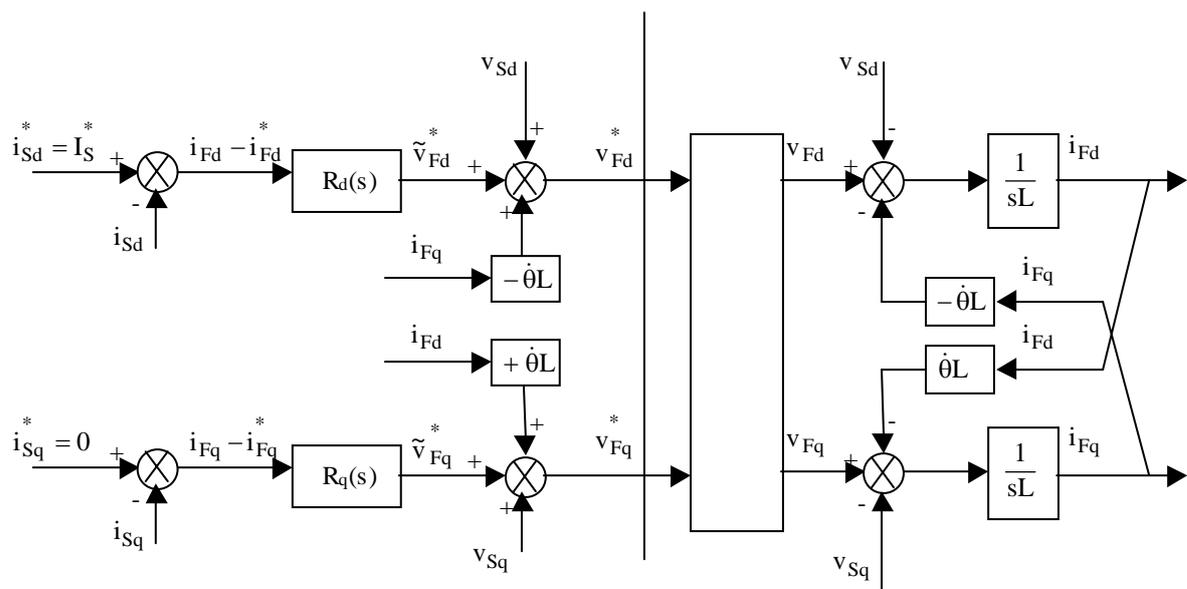


Fig. 1.9 *Regolatore della corrente di sorgente implementato sul sistema di riferimento di Park sincrono*

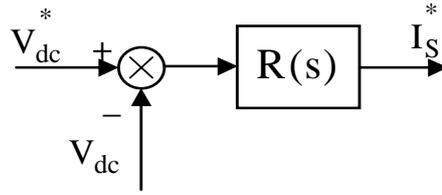


Fig. 1.10 *Regolatore di tensione di bus dc da accoppiare ad un regolatore di corrente su assi sincroni*

Il riferimento della componente sull'asse q è invece nullo, in quanto si vuole ottenere una terna di correnti sinusoidali esattamente in fase con la sequenza fondamentale positiva della tensione di sorgente.

Riepilogando, i riferimenti per questo sistema di controllo della corrente di sorgente sono

$$\text{Eq. 1.33} \quad \begin{cases} \bar{i}_{Sd} = I_S^* \\ \bar{i}_{Sq} = 0 \end{cases}$$

Il valore di riferimento della corrente di filtro \bar{i}_F^* può essere calcolato dalla conoscenza del valore di riferimento della corrente di sorgente \bar{i}_S^* e dalle misure effettuate sulla corrente di filtro \bar{i}_F e di sorgente \bar{i}_S , scrivendo le equazioni delle correnti al nodo

$$\text{Eq. 1.34} \quad \begin{cases} \bar{i}_S = \bar{i}_F + \bar{i}_L \\ \bar{i}_S^* = \bar{i}_F^* + \bar{i}_L \end{cases}$$

da cui \bar{i}_F^* vale

$$\text{Eq. 1.35} \quad \bar{i}_F^* = \bar{i}_S^* - \bar{i}_S + \bar{i}_F$$

L'equazione della tensione ai capi dell'induttore di separazione, riferita al sistema di riferimento di Park stazionario dqs è

$$\text{Eq. 1.36} \quad \bar{v}_{Fs} = R \cdot \bar{i}_{Fs} + L \frac{d\bar{i}_{Fs}}{dt} + \bar{v}_{Ss}$$

La Eq. 1.36, applicando la trasformazione di Park può essere riferita al sistema di riferimento di Park sincrono dq, ottenendo

$$\text{Eq. 1.37} \quad \bar{v}_F = R\bar{i}_F + L \frac{d\bar{i}_F}{dt} + j\dot{\theta}L\bar{i}_F + \bar{v}_S$$

dove il termine $\dot{\theta}$ è la velocità di rotazione in rad/s del sistema di riferimento di Park sincrono dq, la cui posizione angolare θ è individuata dal blocco di sincronizzazione Three Phase Locked Loop.

La Eq. 1.37 per poter essere implementata in un sistema di controllo digitale è opportuno che sia scomposta nelle sue due componenti, rispettivamente sull'asse d e sull'asse q

$$\text{Eq. 1.38} \quad \begin{cases} v_{Fd} = R i_{Fd} + L \frac{di_{Fd}}{dt} - \dot{\theta} i_{Fq} L + v_{Sd} \\ v_{Fq} = R i_{Fq} + L \frac{di_{Fq}}{dt} + \dot{\theta} i_{Fd} L + v_{Sq} \end{cases} .$$

Nella Eq. 1.38 i termini a secondo membro

$$\text{Eq. 1.39} \quad \begin{cases} R i_{Fd} - \dot{\theta} i_{Fq} L + v_{Sd} \\ R i_{Fq} + \dot{\theta} i_{Fd} L + v_{Sq} \end{cases}$$

sono quantità note al sistema di controllo della corrente, per cui risulta estremamente semplice effettuare la compensazione di queste quantità, lasciando ai regolatore di corrente veri e propri $R_d(s)$, $R_q(s)$ il compito di calcolare solamente l'aliquota di tensione di filtro \tilde{v}_F corrispondente alla caduta sull'induttanza di disaccoppiamento. Lo schema di Fig. 1.9 mostra nel lato sinistro il regolatore di corrente di sorgente, in cui la quantità indicata in Eq. 1.39, è aggiunta a quanto calcolato dai regolatori veri e propri $R_d(s)$, $R_q(s)$. Questi regolatori possono essere realizzati tipici PI, i cui parametri devono essere tarati in modo da avere una risposta rapida del loop di controllo. Se si impiegano regolatori, come il PI, che applicano un'azione integrale non si ha errore a regime, pertanto si può omettere di effettuare la compensazione della quantità $R \bar{i}_F + \bar{v}_S$, in quanto comunque sarà annullata dal regolatore. L'inserimento di questo termine di compensazione incrementa le prestazioni dinamiche del regolatore in corrispondenza di variazioni di \bar{i}_F o di \bar{v}_S .

Il regolatore così descritto presenta buone prestazioni, purché sia esattamente nota la posizione del sistema di riferimento rotante e sia completa la compensazione del termine mozionale $j\dot{\theta}L\bar{i}_F$. Il sistema di sincronizzazione Three Phase Locked Loop proposto, garantisce il riconoscimento del sistema delle tensioni di sorgente e quindi costituisce la migliore premessa per una corretta compensazione del termine mozionale.

Questo sistema di controllo realizzato su assi rotanti, come visto, consente la compensazione del termine mozionale $j\dot{\theta}L\bar{i}_F$. Volendo sfruttare questa opportunità, in quanto consente di ottenere prestazioni elevate nel controllo di corrente, è necessario conoscere il vettore \bar{i}_F , per cui occorre la misura di almeno due correnti di filtro, al contrario dello schema base di paragrafo 1.3.2 che richiedeva la misura delle sole correnti di sorgente.



CAPITOLO 2

ANALISI DEL SISTEMA DI CONDIZIONAMENTO DELLA POTENZA

2.1 Introduzione

La modalità '*Power Conditioner*', del sistema PCS realizzato, è stata concepita al fine di realizzare diverse funzionalità contemporanee di condizionamento su di una rete industriale in bassa tensione.

Come Power Conditioner (PC) il PCS è infatti in grado di realizzare le seguenti azioni su un'utenza industriale:

- Riduzione del contenuto armonico della corrente di linea
- Compensazione della potenza reattiva
- Compensazione dello squilibrio di corrente tra le fasi
- Smorzamento delle variazioni di corrente nei transitori di inserzione e disinserzione carichi, e quindi riduzione degli effetti dei fenomeni di flicker.

Nel capitolo 1 si è analizzata la struttura di filtro attivo capace di realizzare le prime tre compensazioni elencate. In questo capitolo, partendo dalla struttura di filtro attivo già sviluppata saranno analizzati la struttura hardware ed il sistema di controllo che consentono la funzionalità del PCS come smorzatore delle variazioni di carico.

In molte applicazioni industriali, alcuni tipi di grossi carichi possono essere inseriti o disinseriti con un periodo relativamente breve (anche 0,5 s). Spesso le dimensioni e la natura di questi carichi, durante l'accensione, determinano un eccessivo assorbimento di corrente, il quale provoca pericolose cadute di tensione sulle impedenze di linea. Il PCS sviluppato, riduce gli effetti negativi causati da questi carichi pulsanti, attraverso la gestione ottimale di un flusso di potenza tra la rete ed un idoneo sistema di accumulo. Questo sistema di accumulo di energia, detto anche SD (Storage Device), deve essere in grado di erogare alte potenze con brevissimi tempi di risposta. La quantità di energia immagazzinata, se non è richiesta l'alimentazione in isola del carico, è relativamente piccola. Diverse sono i sistemi di accumulo presi in considerazione per l'accoppiamento con il PCS, essi sono [45] - [53].

- un magnete superconduttore a temperatura criogenica (SMES o SM)
- un banco di supercondensatori (SC)

- una macchina rotante collegata ad un carico inerziale (RM).

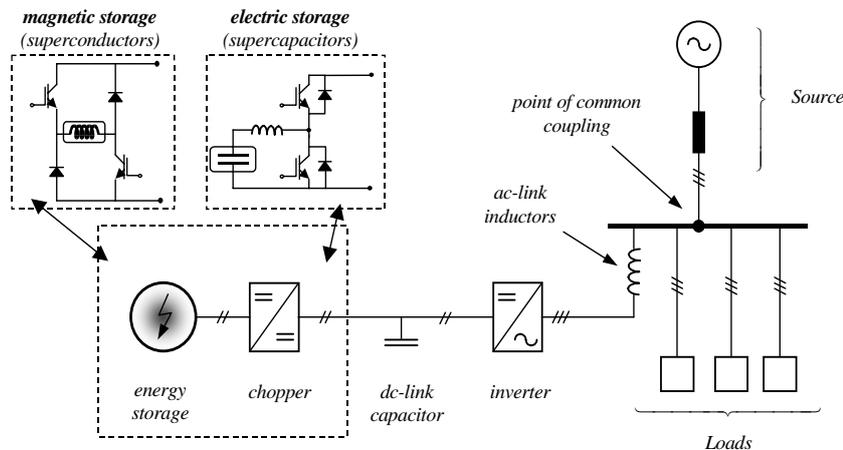


Fig. 2.1 *Struttura del PCS proposto*

La topologia del PCS proposta è mostrata in Fig. 2.1. Il sistema di accumulo è connesso al bus-dc del PCS attraverso un appropriato convertitore che consente il trasferimento bidirezionale di energia con il sistema di accumulo.

La struttura del PCS dipende dal tipo di sistema di accumulo considerato. Il Magnete Superconduttore richiede un convertitore a due quadranti come quello mostrato in Fig. 2.1, questo convertitore deve poter applicare tensioni bipolari ai capi dell'induttore che costituisce il SM. La batteria di supercondensatori richiede un convertitore a due quadranti come quello mostrato in Fig. 2.1, questo convertitore deve poter iniettare una corrente bidirezionale ai capi della capacità che costituisce il SC. La macchina rotante richiede un convertitore idoneo al tipo di macchina, nel caso si utilizzi una macchina asincrona, il convertitore richiesto è un inverter trifase, simile al convertitore lato rete.

La struttura HW realizzata per il prototipo, descritta nel Capitolo 5, possiede un convertitore lato sistema di accumulo che ha la topologia di un inverter trifase, per cui da questa struttura, semplicemente utilizzando i rami che servono, si possono ottenere le tre topologie di convertitori prima illustrate.

Il resto della struttura HW che realizza l'interfaccia con la rete, è quella già descritta in Capitolo 1. Il sistema di controllo, analizzato anch'esso nel capitolo 1, che realizza la compensazione armonica e reattiva, conserva le stesse caratteristiche anche in presenza del sistema di accumulo. Pertanto le funzionalità di filtro attivo sono realizzate correttamente in contemporanea alla funzionalità di smorzatore di flicker.

Il sistema di controllo proposto in questo capitolo, per la gestione dei flussi di potenza tra le varie sezioni del PCS, genera i riferimenti dell'energia nel sistema di accumulo e della

potenza che la rete deve erogare. È poi la sezione di controllo del convertitore lato sistema di accumulo, che agisce per tenere l'energia accumulata nel dispositivo vicina al suo riferimento. Il controllo di questo convertitore, ovviamente, si differenzia in funzione del dispositivo controllato. L'energia accumulata è controllata indirettamente attraverso il controllo delle seguenti variabili controllabili

- corrente nel superconduttore $E_{SM} = \frac{1}{2}Li^2$
- tensione nel supercondensatore $E_{SC} = \frac{1}{2}Cv^2$
- velocità di rotazione nella macchina rotante. $E_{RM} = \frac{1}{2}J\omega^2$

Nello stesso tempo, la corrente di linea è controllata dai regolatori del convertitore lato rete, in modo tenere sotto controllo il valore della potenza istantanea erogata dalla rete.

Un sistema di accumulo scelto tra quelli proposti diviene necessario in un PCS che preveda la compensazione del fenomeno dei flicker. Non è possibile, infatti, realizzare la compensazione delle variazioni di carico utilizzando la sola energia presente nei condensatori di bus dc per i seguenti motivi:

- I condensatori utilizzabili per questo tipo di applicazione (elettrolitici, poliestere, ecc..) hanno basse densità di energia per unità di massa, di volume e di costo.
- In particolare i condensatori elettrolitici, hanno una bassa affidabilità. Una batteria di condensatori, costituita da un gran numero di condensatori collegati in serie - parallelo, sarebbe soggetto numerosi a guasti, e quindi ad interruzioni di servizio frequenti.
- Il limite sulla variabilità della tensione di bus dc rispetto al valore nominale del banco condensatori è limitato sia verso l'alto che verso il basso, quindi l'energia effettivamente sfruttabile è solo una piccola porzione di quella accumulata. Il limite inferiore è fissato dalla minima tensione dc che consente il funzionamento dell'inverter come filtro attivo. Il limite superiore è fissato dalle caratteristiche del dielettrico. Per l'applicazione in oggetto si ammette una variabilità dell'energia contenuta nel bus dc pari al 4% rispetto al valore di riferimento.

Analogamente a quanto descritto per il condensatore, anche nel sistema di accumulo SD vero e proprio esiste la limitazione sulla variabilità dell'energia immagazzinata, in pratica non tutta l'energia accumulata nel SD può essere utilizzata per la compensazione dei

flicker. Se si utilizza uno SD che immagazzina energia elettrica o magnetica, non è conveniente scaricare a fondo il condensatore od il magnete, in quanto per questo occorrerebbe un convertitore statico con alti rapporti di trasformazione che risulta di costruzione relativamente costosa. Sia E_{SDn} l'energia nominale accumulata nel SD, e v_{SDn} il valore nominale della grandezza controllata nel SD (corrente nel magnete, tensione sulla capacità). Si può ritenere conveniente dimensionare il sistema di conversione statico che gestisce la variazione della variabile controllata fino a portarla a circa il 30% del valore nominale v_{SDn} . Assumendo ad esempio che la scarica dello SD magnetico sia possibile fino ad $\frac{1}{3}$ della corrente nominale nello SMES, l'energia resa disponibile dal PCS corrisponde all'88% di quella immagazzinata.

Durante i transitori, i valori di energia superiori al valore nominale devono essere attentamente delimitati in ampiezza e durata, al fine di evitare che i corrispondenti valori della variabile controllata determinino rotture nel sistema di accumulo.

Con riferimento al funzionamento da compensatore dei flicker, i limiti delle variazioni di energia nel SD, durante i transitori di inserzione del carico, sono legate anche al tipo di funzionalità aggiuntiva implementata nel PCS. Se il PCS considerato deve operare come UPS, durante l'assenza della rete l'energia proviene dallo stesso SD. Occorre pertanto che durante il funzionamento con rete presente, in ogni possibile condizione di funzionamento, sia garantito il livello minimo di energia immagazzinata nel SD. In modo che l'eventuale intervento del sistema come UPS possa garantire il sostentamento del carico nominale per il tempo prefissato.

Nell'analisi che segue si ipotizza la presenza della funzionalità aggiuntiva UPS, pertanto durante il funzionamento con rete presente si limita la variabilità dell'energia contenuta nel sistema di accumulo a circa il 15% del suo valore nominale E_{SDn} .

2.2 Il sistema di regolazione

Il funzionamento corretto e contemporaneo dell'intero sistema come filtro attivo e come smorzatore di flicker è garantito dall'algoritmo che gestisce il trasferimento di energia tra il generico sistema di accumulo e la rete, passando attraverso il bus dc intermedio.

L'analisi dell'algoritmo di gestione del trasferimento di energia è basata sulle seguenti ipotesi:

- i sistemi che controllano i due convertitori sono in grado di mantenere le variabili controllate sempre prossime ai loro riferimenti: la potenza di sorgente $P_S = P_S^*$ e l'energia nel dispositivo di accumulo $E_{SD} = E_{SD}^*$
- le perdite nei componenti passivi come induttori, capacità, sistema di accumulo, ed interruttori statici sono trascurabili

Nel sistema in oggetto i tempi di risposta dei sistemi di controllo dei convertitori sono sufficientemente rapidi e le perdite nei componenti passivi rappresentano solo una piccola percentuale della potenza trasmessa. Andranno invece verificate le caratteristiche dinamiche dei sistemi di accumulo considerati, occorrerà quindi dimensionare il sistema di accumulo in modo che la sua costante di tempo non limiti la dinamica del sistema gestione del trasferimento di energia. Solo a monte di questa verifica, le due ipotesi fatte saranno attendibili, e l'analisi proposta valida.

Il principio base ispiratore di questa struttura di controllo è la possibilità di utilizzare una porzione dell'energia contenuta nel sistema di accumulo per stabilizzare il livello di energia nel condensatore di bus dc. In questo modo, durante le variazioni di carico, le conseguenti variazioni di energia nel condensatore (vedi paragrafo 1.3.2.1) sono velocemente recuperate per effetto dello scambio di energia che si instaura tra il bus dc ed il sistema di accumulo SD.

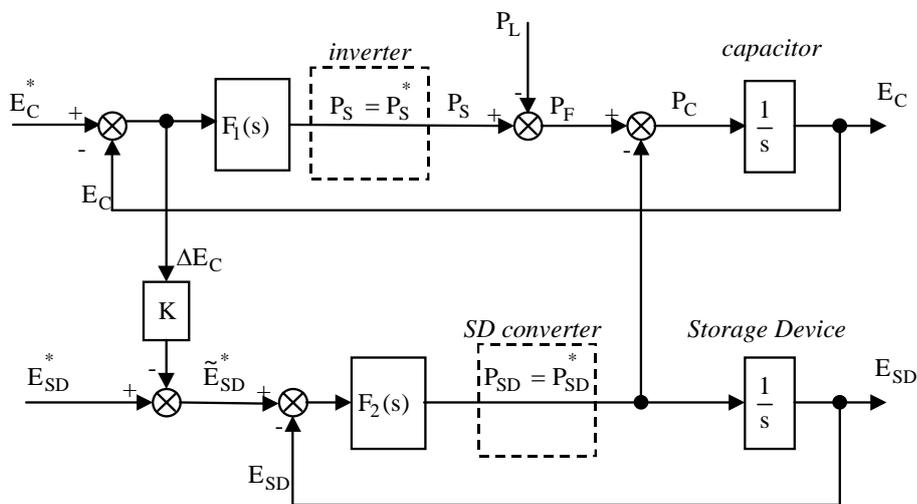


Fig. 2.2 Schema del sistema di controllo del trasferimento di energia

All'inserimento di un carico, il PCS determina un transitorio, durante il quale il PCS stesso fornisce una porzione della potenza richiesta dal carico. Ciò significa che durante il transitorio di inserzione, la rete alimenta l'intero carico solamente dopo un certo tempo dall'istante di inserzione.

Il principio di funzionamento dello schema proposto, mostrato in Fig. 2.2, è il seguente. Si supponga che l'energia E_C contenuta nel condensatore di bus dc e l'energia immagazzinata nel sistema di accumulo E_{SD} , siano pari al loro valore di riferimento, rispettivamente E_C^* e E_{SD}^* . Al verificarsi di una variazione della potenza di carico P_L si determina istantaneamente una variazione ΔE_C dell'energia immagazzinata nel condensatore che è conseguente al flusso di potenza che si instaura tra il bus dc e la rete. Per effetto di questa variazione, il riferimento di energia E_{SD}^* per lo SD è variato di una quantità proporzionale all'errore ΔE_C dell'energia nel condensatore, il nuovo valore di riferimento diviene perciò

$$\text{Eq. 2.1 } \tilde{E}_{SD}^* = E_{SD}^* - \Delta E_C.$$

Il loop di controllo dell'energia nel SD deve poi essere sufficientemente rapido ad inseguire il nuovo riferimento di energia \tilde{E}_{SD}^* , in tal modo si fornisce il flusso di potenza P_{SD} richiesta al sostegno di una porzione di carico. Si può quindi affermare che, durante il transitorio, la quota del fabbisogno di energia di carico erogata dal PCS, proviene direttamente dal SD.

2.3 Analisi numerica

L'analisi numerica del sistema di controllo dell'energia è realizzato considerando una struttura di controllo derivata da quella rappresentata in Fig. 2.2. Questa nuova struttura, mostrata nello schema di Fig. 2.3, ha come ingresso la potenza istantanea assorbita dal carico P_L , e come uscita la potenza erogata dalla sorgente P_S , per questo è denominata *'regolatore della potenza di sorgente'*.

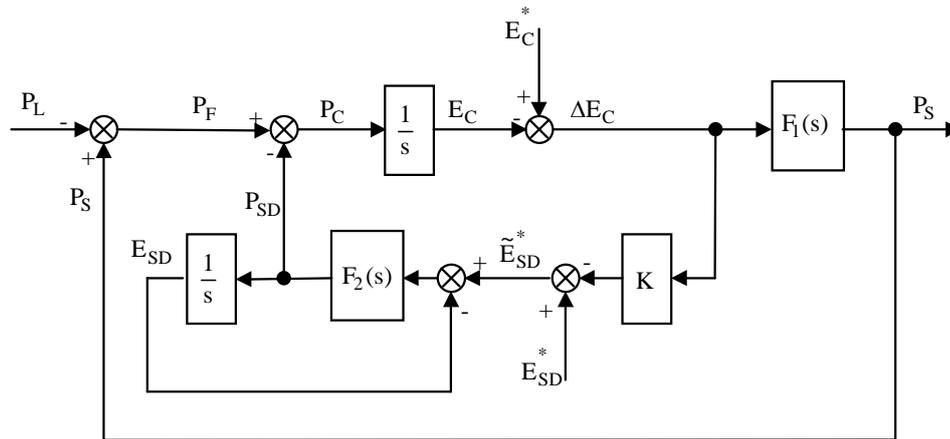


Fig. 2.3 Schema del 'regolatore della potenza di sorgente'

L'analisi dello schema di regolazione mostrato in Fig. 2.3 è basata sull'utilizzo dei seguenti regolatori, che così assunti, contribuiscono a semplificare l'espressione della funzione di trasferimento che lega P_S a P_L .

$$\text{regolatore } F_1(s) = K_1 + \frac{K_I}{s}$$

$$\text{regolatore } F_2(s) = K_2$$

$$\text{costante } K \gg 1.$$

Lo schema del regolatore di potenza di sorgente di Fig. 2.3 è lineare, pertanto su di esso è possibile applicare la sovrapposizione degli effetti. Dalla scomposizione dello schema originario di Fig. 2.3, dopo diversi passaggi, si riesce a determinare l'effetto che distintamente i tre ingressi presenti nello schema inducono sulla potenza di sorgente.

Dei tre ingressi visibili nello schema, la potenza di carico P_L è il segnale principale che può subire variazioni a gradino arbitrarie. Al contrario, i riferimenti di energia per il condensatore E_C^* , e per il sistema di accumulo E_{SD}^* saranno sempre costanti nel tempo, ciò porterà a semplificare la funzione di trasferimento che rappresenta il sistema di regolazione complessivo.

L'espressione di $P_S(s)$ può quindi essere determinata dalla somma di tre termini come rappresentato dallo schema di Fig. 2.4 ciascuno dei quali riporta in uscita l'effetto rispettivamente di E_C^* , E_{SD}^* , P_L .

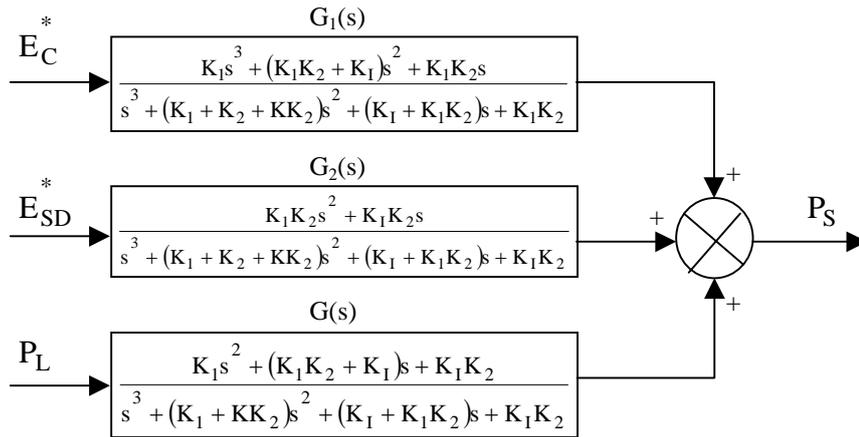


Fig. 2.4 Legame ingressi - uscita del "regolatore della potenza di sorgente"

Essendo come già accennato E_C^* , E_{SD}^* costanti nel tempo, si utilizza il teorema del valore finale per dimostrare che nel funzionamento a regime, il contributo di questi riferimenti sulla potenza di sorgente $P_S(s)$ è nullo. Applicando un gradino di ampiezza unitaria alla funzione di trasferimento $G_1(s)$ e calcolandone il valore finale attraverso la

$$\text{Eq. 2.2} \quad \lim_{s \rightarrow 0} s \frac{1}{s} G_1(s) = \lim_{s \rightarrow 0} s \frac{1}{s} \frac{K_1 s^3 + (K_1 K_2 + K_1) s^2 + K_1 K_2 s}{s^3 + (K_1 + K_2 + K K_2) s^2 + (K_1 + K_1 K_2) s + K_1 K_2} = 0$$

si dimostra che a transitorio esaurito non vi è alcun contributo sulla potenza di sorgente dovuto al riferimento di energia nel condensatore E_C^* .

Risultato analogo alla Eq. 2.2 lo si ottiene considerando il contributo a regime del riferimento di energia nel sistema di accumulo: E_{SD}^*

$$\text{Eq. 2.3} \quad \lim_{s \rightarrow 0} s \frac{1}{s} G_2(s) = \lim_{s \rightarrow 0} s \frac{1}{s} \frac{K_1 K_2 s^2 + K_1 K_2 s}{s^3 + (K_1 + K_2 + K K_2) s^2 + (K_1 + K_1 K_2) s + K_1 K_2} = 0.$$

Ai fini dell'analisi del sistema come regolatore della potenza di sorgente, i risultati di Eq. 2.2 e Eq. 2.3 consentono di porre i riferimenti di energia nei due dispositivi pari a zero, e di considerare pertanto la sola espressione della funzione di trasferimento $G(s)$ già mostrata in Fig. 2.4 che lega $P_S(s)$ a $P_L(s)$

$$\text{Eq. 2.4} \quad P_S(s) = G(s)P_L(s), \quad G(s) = \frac{K_1 s^2 + (K_1 K_2 + K_1) s + K_1 K_2}{s^3 + (K_1 + K K_2) s^2 + (K_1 + K_1 K_2) s + K_1 K_2}.$$

La Eq. 2.4 rappresenta quindi la f.d.t ad anello chiuso del regolatore di potenza di sorgente. Per la definizione dei parametri dei regolatori e per l'analisi della stabilità del sistema di

regolazione è opportuno ricavare anche la f.d.t. ad anello aperto $G_a(s)$ corrispondente alla $G(s)$, dalla Eq. 2.4 si ottiene

$$\text{Eq. 2.5} \quad G_a(s) = \frac{(K_I s + K_I)(s + K_2)}{s^2 (s + K_2)}$$

Il corrispondente loop di controllo ad anello chiuso che ne deriva è quello di Fig. 2.5.

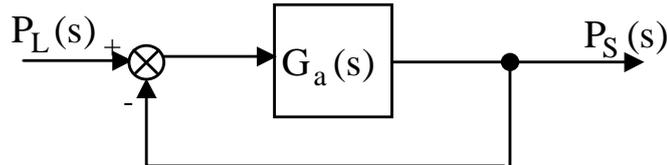


Fig. 2.5 Anello di regolazione della potenza di sorgente

Dall'analisi del loop di Fig. 2.5 saranno determinati i parametri dei regolatori che consentano di ottenere l'andamento voluto della potenza di sorgente in seguito alle variazioni della potenza di carico.

Il dimensionamento dei regolatori prevede inoltre di verificare la risposta dinamica di questo loop nei confronti delle variazioni di energia nel sistema di accumulo e nel condensatore di bus dc. In presenza di variazioni della potenza di carico pari al 100% del valore nominale, le variazioni di energia nel SD e nel condensatore non devono superare i limiti imposti dalle condizioni di funzionamento corretto dell'intero PCS. Tali limiti e le condizioni da cui derivano sono già state esposte nel Par. 2.1.

Il sistema di regolazione proposto deve essere in grado di realizzare i comportamenti di seguito schematizzati:

1. Data una variazione a gradino della potenza di carico, la potenza di sorgente deve seguirne la variazione con un transitorio del primo ordine e raggiungere il valore di P_L dopo pochi secondi.
2. Nella fase successiva, a transitorio esaurito, occorre che P_S sia leggermente superiore a P_L , in modo che la potenza $P_S - P_L$ possa fluire verso il PCS e ricaricare il sistema di accumulo che si era scaricato durante il transitorio. Alla fine di tale periodo E_C , E_{SD} devono equivalersi ai loro riferimenti.

In presenza di una variazione della potenza di carico pari al valore nominale, si assume per il dimensionamento che segue, che il sistema debba compiere queste due fasi successive in

- 5 secondi per estinguere il transitorio ed avere $P_S \cong P_L$,
- 20 secondi per portare i riferimenti di energia ai valori di riferimento $E_C = E_C^*$,
 $E_{SD} = E_{SD}^*$.

Se il sistema di regolazione soddisfa queste caratteristiche, è anche sicuramente in grado di realizzare una adeguata compensazione del fenomeno flicker che avvenga a frequenze di circa 1 Hz e superiori. In queste condizioni, durante le ripetitive inserzioni e disinserzioni di un carico, la potenza iniettata in rete dal PCS è tale che la potenza P_S erogata dalla rete risulta pressochè costante e pari al valore medio della potenza assorbito dal carico.

La ricerca dei parametri ottimali dei regolatori sarà condotta analizzando separatamente l'effetto dei parametri K_1, K_I, K, K_2 in modo da verificare la correlazione di ciascuno di essi ad una sola azione comportamentale del sistema.

2.3.1 Parametro K_2

Il buon funzionamento di un sistema che realizzi i punti 1) e 2) sopra esposti, richiede che il riferimento \tilde{E}_{SD}^* dell'energia nel SD sia ottenuto con la dinamica più veloce possibile. Il primo aspetto analizzato è quindi la capacità del regolatore di inseguire un riferimento di energia nel sistema di accumulo. A questo scopo, il regolatore proporzionale K_2 , essendo l'unico presente in questa loop di controllo di E_{SD} , è l'elemento che determina il comportamento dell'anello chiuso che insegue il riferimento di energia \tilde{E}_{SD}^* nello SD.

L'analisi e quindi la scelta del parametro K_2 ottimale per questa applicazione è eseguita sulla base di valori di primo tentativo per i parametri K_1, K_I, K , tali da non realizzare esattamente il comportamento voluto, ma comunque accettabili per verificare l'effetto di K_2 sulla regolazione dell'energia nel SD e sul comportamento del sistema di controllo completo.

Si è considerato l'intero sistema di controllo durante il transitorio di P_S dovuto ad un gradino unitario della potenza di carico P_L . Come mostrato in *Fig. 2.6* l'andamento di P_L per i diversi valori del parametro K_2 non si modifica, ed il sistema pare quindi in grado di realizzare le specifiche richieste ammettendo un campo di variabilità di K_2 molto ampio.

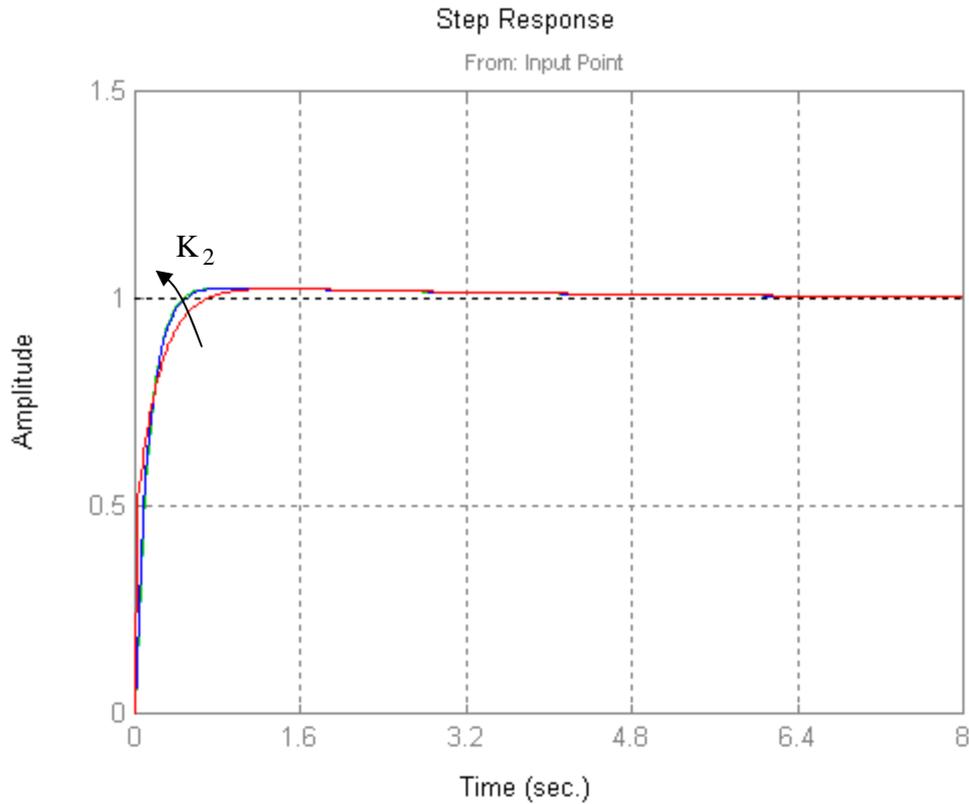


Fig. 2.6 *Andamento nel tempo della potenza P_S in risposta ad un gradino di P_L , al variare di K_2 . $K_1=100$, $K_1=400$, $K=50$, $K_2=10-100-1000-10000$. L'andamento di P_S non varia sensibilmente al variare di K_2 .*

Si analizza ora in dettaglio la capacità del sistema di compensare le continue variazioni di carico (compensazione del flicker), e si mette in relazione questa risposta con le prestazioni del sistema ad inseguire il riferimento di energia nel sistema di accumulo, tali andamenti sono mostrati in Fig. 2.7 e in Fig. 2.8.

In Fig. 2.7-a è mostrato il comportamento del sistema nell'inseguimento del riferimento di energia \tilde{E}_{SD}^* nello SD, nel caso in cui il parametro K_2 sia relativamente piccolo. Si nota un errore dell'ordine dello 0,2% nel valore di E_{SD} , nell'inseguire il riferimento variabile \tilde{E}_{SD}^* .

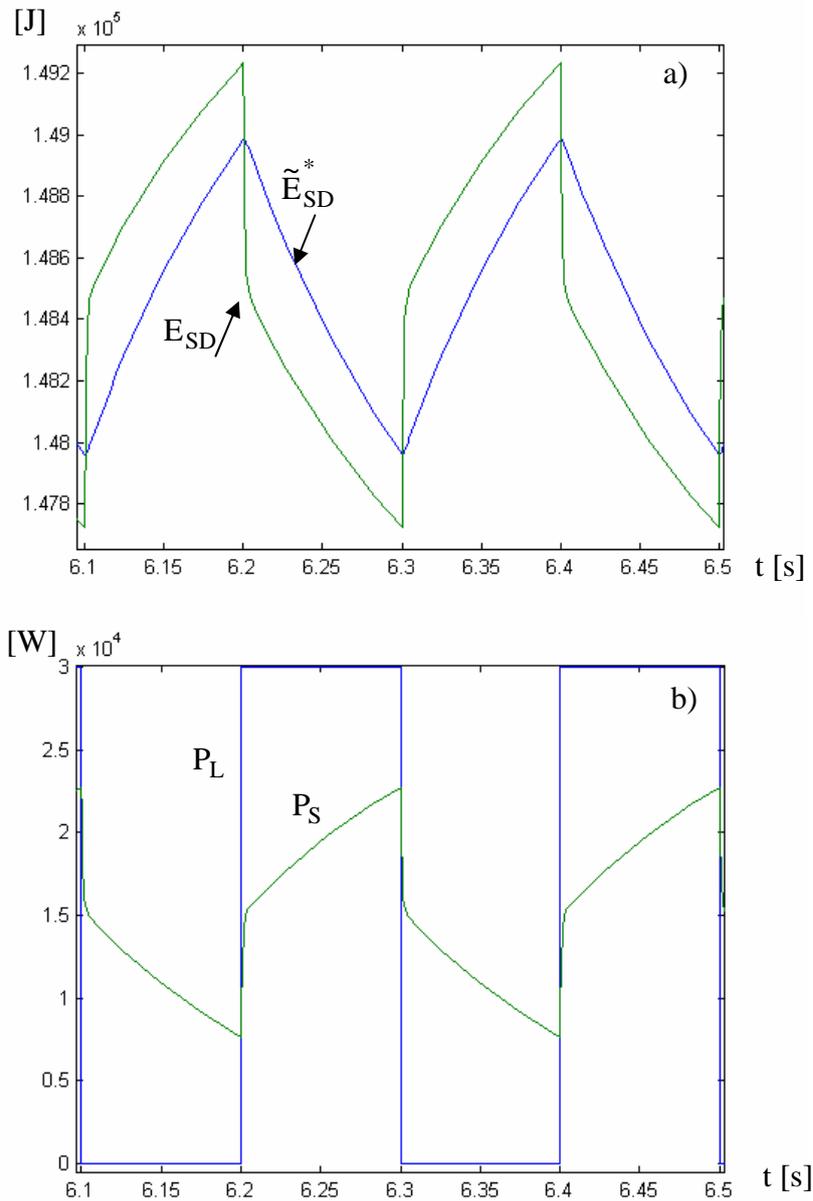


Fig. 2.7 a) Inseguimento del riferimento di energia nel SD (risposta non ottimale)
 b) Corrispondente andamento nel tempo di P_S in risposta a variazioni ripetitive di P_L (flicker).
 Parametri dei regolatori: $K_I=100$, $K_I=400$, $K=50$, $K_2=100$.

Il comportamento come compensatore delle variazioni della potenza di carico che ne consegue è mostrato nella relativa Fig. 2.7 - b. In tale figura è evidente come, in corrispondenza di un valore non corretto di E_{SD} si abbia sulla potenza di sorgente una compensazione non ottimale. Si evidenzia la presenza di gradini di P_S in corrispondenza delle variazioni di potenza di carico P_L .

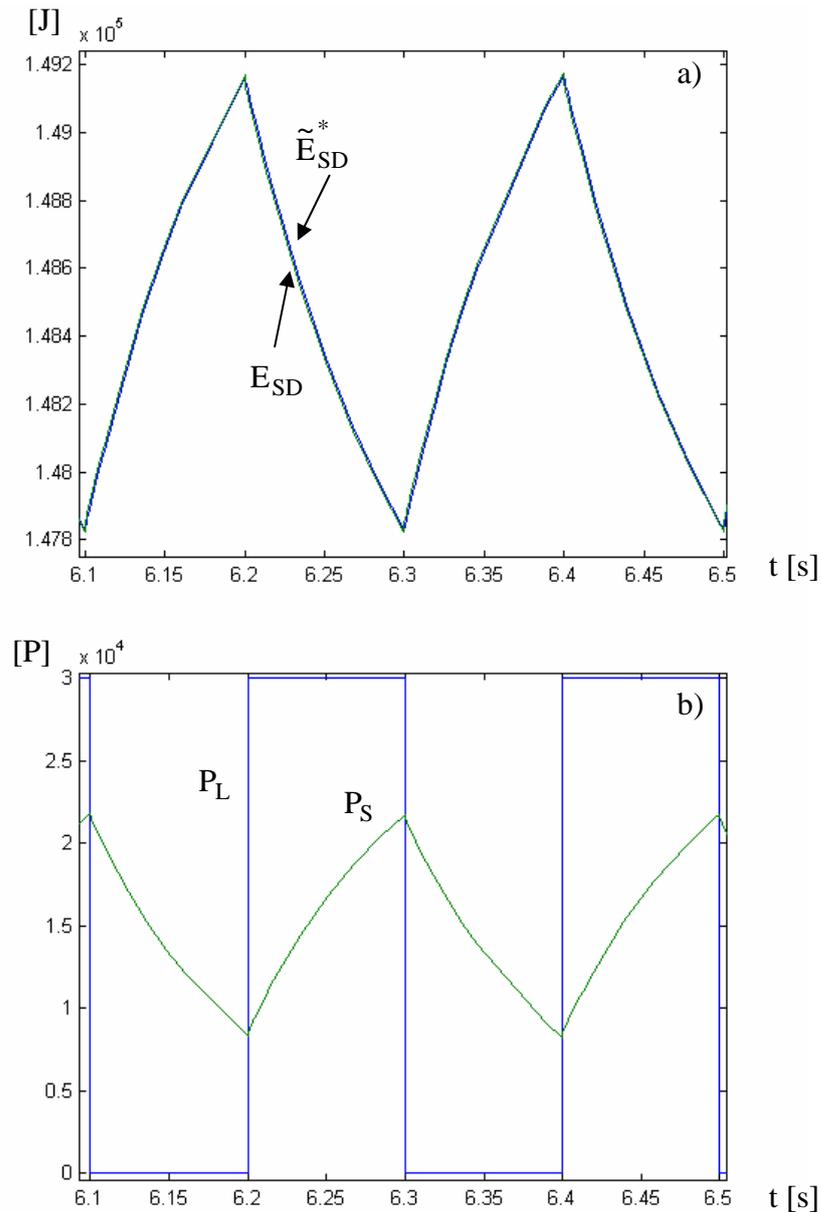


Fig. 2.8 a - b) a) *Inseguimento ottimale dell'energia nel SD* $E_{SD} = E_{SD}^*$.
 b) *Corrispondente andamento nel tempo di P_S in risposta a variazioni ripetitive di P_L (flicker)*
Parametri dei regolatori: $K_I=100$, $K_I=400$, $K=50$, $K_2=1000$.

In Fig. 2.8-a è riportato il comportamento ottimale del sistema come inseguitore del riferimento di energia nel sistema di accumulo, tale andamento è ottenuto utilizzando un valore del parametro K_2 , sufficientemente elevato ($K_2=1000$). Avendo questa prestazione per il regolatore di E_{SD} si è ottenuto il comportamento desiderato del sistema nei confronti delle variazioni di carico P_L , mostrato nella corrispondente Fig. 2.8-b. In questa figura, alle

successive variazioni a gradino di P_L , il sistema risponde con variazioni di P_S , che non presentano discontinuità, ma solamente variazioni di pendenza.

2.3.2 Parametro K_I

Il parametro proporzionale K_I è il termine proporzionale del regolatore $F_1(s)$, che si trova nel loop di regolazione della energia nel condensatore di bus dc. L'errore nell'energia di bus dc, termina il valore della potenza P_S erogata dalla sorgente. L'effetto della variazione del parametro K_I sulla risposta di P_S al gradino unitario della potenza di carico P_L è mostrata in Fig. 2.9. Da questa figura si deduce che la risposta ha le caratteristiche di un sistema del secondo ordine ed il valore del parametro proporzionale K_I , incide direttamente sullo smorzamento della risposta di P_S .

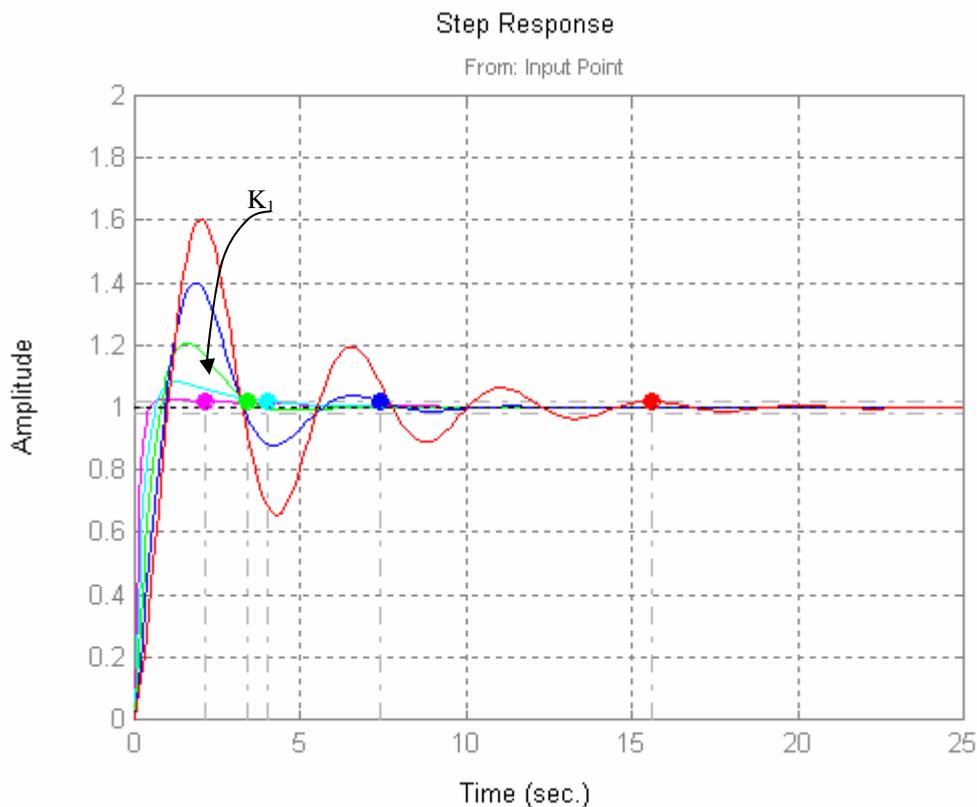


Fig. 2.9 Andamento nel tempo della potenza P_S in risposta ad un gradino di P_L , al variare di K_I . $K=50, K_2=1000, K_I=100, K_I=25-50-100-200-400$.

All'aumentare di K_I il coefficiente di smorzamento ξ aumenta portando la risposta del sistema da un andamento oscillatorio smorzato ad uno senza oscillazioni e con sovraelongazione minima. Al crescere di K_I si ha anche una sensibile riduzione del tempo di

assestamento (settling time: tempo per ottenere un errore entro il 5% del valore di regime). Il comportamento richiesto dalle specifiche indicate in paragrafo 2.1 per la risposta al gradino della P_S , è soddisfatto dall'andamento ottenibile per valori del coefficiente $\xi \geq 1$, corrispondente al valore $K_1 = 400$.

Dall'analisi di Fig. 2.9 risulta altresì evidente che le variazioni del tempo di salita (rise time: tempo per andare da 0 al 90% del valore a regime) sono minime al variare del valore di K_1 .

2.3.3 Parametro K

Al verificarsi di una variazione di carico P_L , l'energia nel bus dc subisce una istantanea variazione ΔE_C dal proprio valore di riferimento E_C^* . L'uscita del regolatore proporzionale K rappresenta la corrispondente quantità con cui variare il riferimento E_{SD}^* dell'energia immagazzinata nel sistema di accumulo durante questo transitorio. Il nuovo valore di energia di riferimento nel SD: $\tilde{E}_{SD}^* = E_{SD}^* + K\Delta E_C$ è quindi il valore che deve poi essere inseguito dal regolatore già descritto in paragrafo 2.3.1.

Il parametro K rappresenta quindi la profondità della variazione di carica del sistema di accumulo al verificarsi di una variazione della potenza di carico. Ad esempio durante un transitorio di inserzione di un carico, una elevata profondità di scarica del SD comporta una maggiore quantità di energia iniettata verso la rete e quindi un tempo più elevato durante il quale il sistema PCS sostiene una porzione di carico. La capacità del parametro K di variare la profondità di scarica del SD è rappresentata dalla Fig. 2.10, dove l'azione di K consiste nel variare il tempo di salita della potenza P_S ad un gradino della potenza di carico P_L .

Il parametro K risulta quindi un parametro fondamentale di questo sistema di controllo. Esso, rappresentando la profondità di scarica del SD, consente di tarare il sistema per ottenere diversi comportamenti nei confronti delle variazioni della potenza del carico. Ad esempio, per ottenere un forte smorzamento dei flicker a bassa frequenza è necessario scambiare molta energia con il PCS ciò richiede una sensibile variazione dell'energia contenuta nel SD. Per fare questo è sufficiente utilizzare un elevato valore di K .

Come mostrato dalla stessa Fig. 2.10 il valore di K incide in misura ridotta anche a variare la sovraelongazione della risposta di P_S , la limitazione di questo effetto è poi affidato alla ricerca del miglior valore per il parametro integrale K_I del regolatore $F_1(s)$.

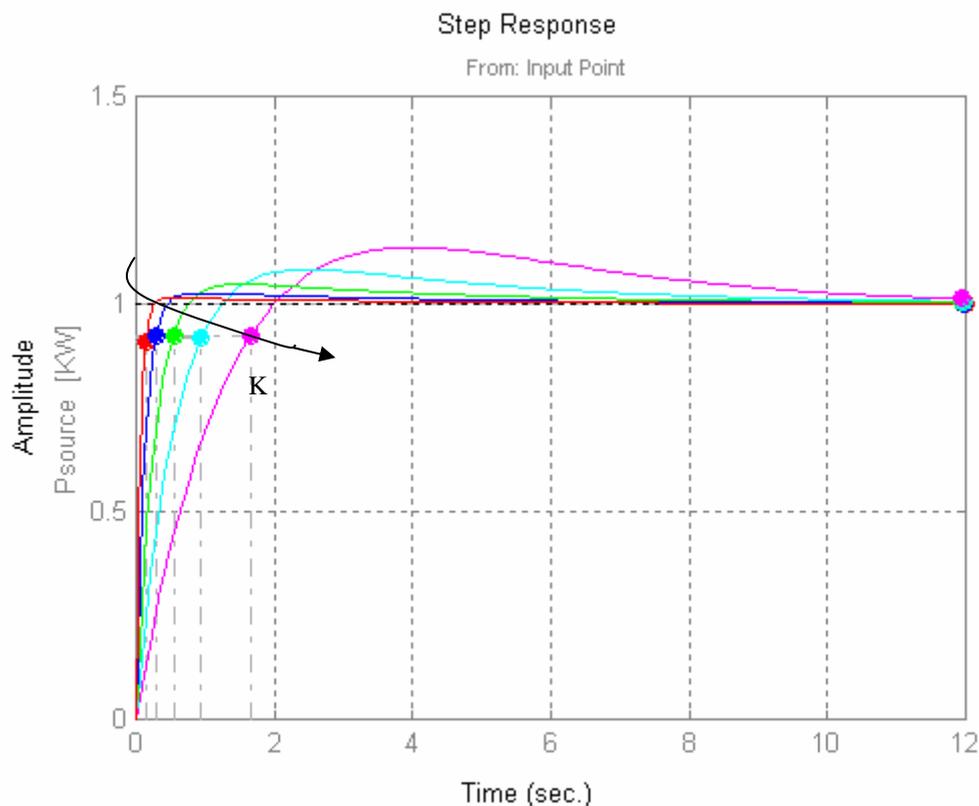


Fig. 2.10 Andamento nel tempo della potenza P_S in risposta ad un gradino di P_L , al variare di K . $K_1=400$, $K_I=100$, $K_2=1000$, $K=25-50-100-200-400$.

2.3.4 Parametro K_I

Il parametro proporzionale K_I è il termine integrale del regolatore $F_1(s)$, che si trova nel loop di regolazione della energia nel condensatore di bus dc. L'effetto della variazione del parametro K_I sulla risposta di P_S al gradino unitario della potenza di carico P_L è mostrata in Fig. 2.11. Da questa figura si deduce che il parametro K_I influisce essenzialmente sul controllo della sovraelongazione della risposta di P_S . Bassi valori di K minimizzano la sovraelongazione senza intervenire in alcuna misura sul tempo di salita di P_S .

Il significato fisico della sovraelongazione di P_S rispetto al valore di riferimento di P_L è il seguente. In seguito al transitorio di inserzione di un carico che ha determinato la scarica del SD, occorre ripristinare l'energia nel SD al proprio valore di riferimento. Per ottenere ciò è necessario assorbire dalla rete una potenza P_S leggermente superiore a quella assorbita P_L , in modo che la differenza $P_S - P_L$ sia derivata verso il PCS. Questa differenza, nella risposta al gradino di Fig. 2.11 corrisponde ad avere una piccola sovraelongazione della risposta di P_S sul valore di regime. Minore è l'entità della sovraelongazione, maggiore sarà il tempo

impiegato per ripristinare il valore di riferimento dell'energia nel SD e nel condensatore di bus dc.

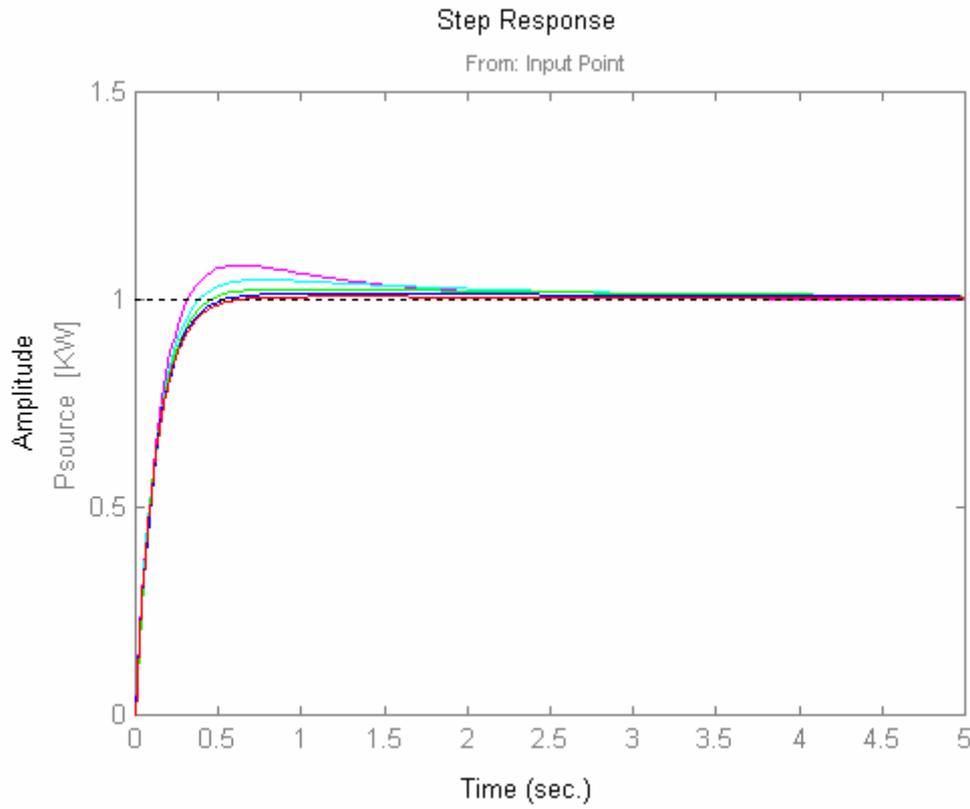


Fig. 2.11 Andamento nel tempo della potenza P_S in risposta ad un gradino di P_L , al variare di K_f . $K_1=400$, $K_2=1000$, $K=50$, $K_f = 25-50-100-200-400$.

La capacità del sistema di ripristinare i livelli di carica nel SD e nel condensatore di bus dc, ai loro valori di riferimento, in seguito a variazioni di energia dovute a variazioni di carico, può essere descritto analiticamente considerando l'espressione della carica nel condensatore di bus dc. Dallo schema di Fig. 2.2, utilizzando sempre le trasformate di Laplace, si può ricavare l'espressione che lega la variazione dell'energia nel condensatore ΔE_C alla potenza di carico P_L

$$\text{Eq. 2.6} \quad \frac{\Delta E_C(s)}{P_L(s)} = -\frac{K_2 + s}{s^2 + ((K + 1)K_2 + F_1(s))s + F_1(s)K_2}.$$

Il corretto funzionamento del sistema PCS richiede che a regime l'errore di energia nel condensatore sia pari a zero. Al fine di verificare ciò, si applica alla ΔE_C calcolata in Eq. 2.6, il teorema del valore finale alla risposta ad un gradino unitario di P_L

$$\text{Eq. 2.7} \quad \lim_{s \rightarrow 0} s \frac{1}{s} \Delta E_C = \lim_{s \rightarrow 0} s \frac{1}{s} \left(-\frac{K_2 + s}{s^2 + ((K + 1)K_2 + F_1)s + F_1 K_2} \right) = -\frac{1}{F_1}.$$

Essendo $F_1(s) = K_I + \frac{K_I}{s}$, il valore finale calcolato dalla Eq. 2.7, è

$$\text{Eq. 2.8} \quad \lim_{s \rightarrow 0} s \frac{1}{s} \Delta E_C = -\frac{1}{F_1} = 0.$$

Pertanto è sufficiente una minimo termine integrale K_I per annullare l'errore a regime nell'energia del condensatore di bus dc.

L'annullamento dell'errore nell'energia del condensatore di bus dc, corrisponde esattamente anche all'annullamento dell'errore nell'energia del sistema di accumulo SD, in quanto è nullo

$$\text{il termine di variazione del riferimento impostato: } K\Delta E_C = 0 \Rightarrow \tilde{E}_{SD}^* = E_{SD}^*.$$

2.3.5 Analisi della stabilità

Il "regolatore della potenza di sorgente" presentato in questo capitolo, dimensionato nel modo descritto, è stato analizzato nel dominio della frequenza, principalmente con lo scopo di verificarne la stabilità.

La funzione analizzata corrispondente al sistema di regolazione ad anello chiuso della potenza di sorgente in Fig. 2.5, la cui funzione di trasferimento ad anello aperto $G_a(s)$, è rappresentata dallo è la Eq. 2.5.

Per i diversi valori dei parametri K_2 , K_1 , K_I , K , considerati in 2.3.1- 2.3.4, risulta sempre un ampio margine di fase tale da garantire la stabilità del sistema in ogni condizione di funzionamento.

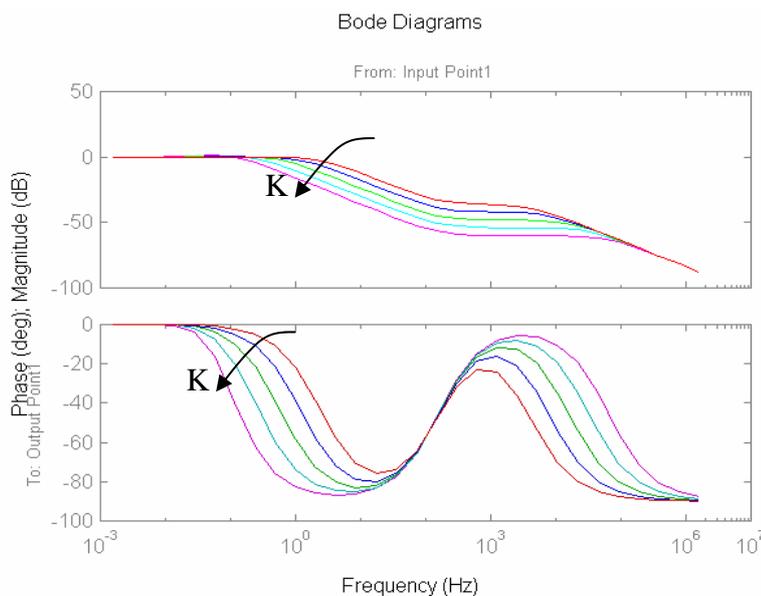


Fig. 2.12 Diagramma di Bode della sistema di regolazione Fig. 2.5 al variare di K . $K_I=400$, $K_I=100$, $K_2=1000$, $K=25-50-100-200-400$.

Nella Fig. 2.12 è riportato il diagramma di Bode per guadagno e fase della f.d.t. ad anello chiuso derivato dalla $G_a(s)$, al variare del parametro K , che come visto in Par. 2.3.3 rappresenta la profondità della variazione di carica del SD in seguito a variazioni della potenza di carico P_L . Dall'analisi del diagramma di Fig. 2.12 si deduce che il sistema ad anello chiuso corrispondente è stabile per ogni valore di K considerato, risultando sempre un elevato margine di fase.

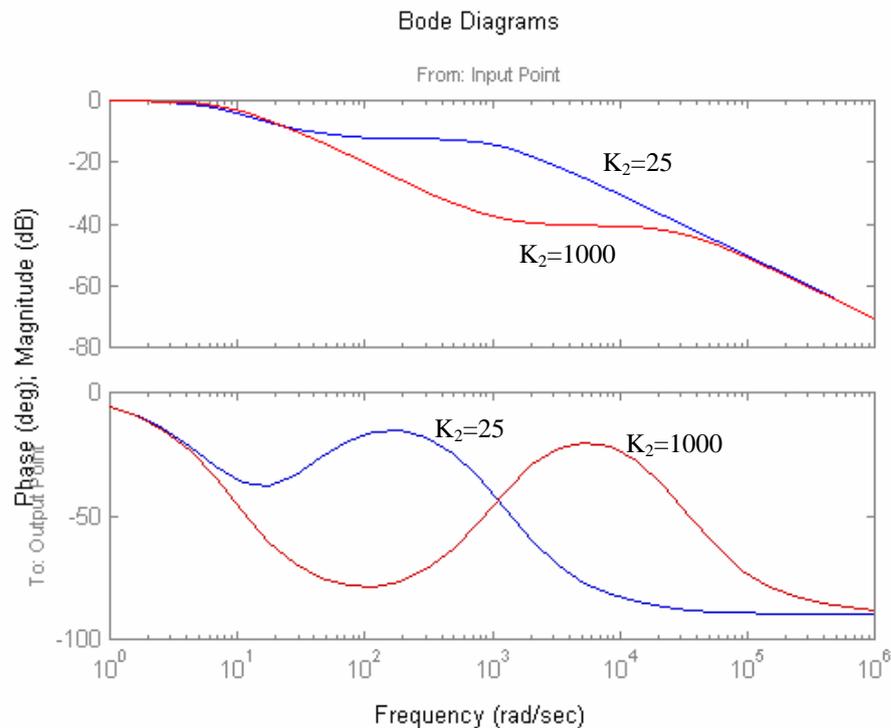


Fig. 2.13 Diagramma di Bode della funzione di trasferimento ad anello aperto $G_a(s)$ al variare di K_2 . $K_1=400$, $K_I=100$, $K=400$, $K_2=25,1000$.

Nella Fig. 2.13 è riportato il diagramma di Bode per guadagno e fase derivato dalla $G_a(s)$, al variare del parametro K_2 . Tale parametro caratterizza la risposta del sistema come inseguitore del riferimento di \tilde{E}_{SD}^* e quindi definisce le prestazioni del sistema nell'evitare le discontinuità della potenza di sorgente in seguito a variazioni della potenza di carico come descritto in Par. 2.3.1. Essendo da questa analisi dedotto che è necessario utilizzare elevati valori di K_2 si è voluto verificare che tali valori non determinassero problemi di stabilità. Dall'analisi del diagramma di Fig. 2.13, si deduce che il sistema ad anello chiuso corrispondente è stabile per valori di K_2 elevati, risultando sempre un elevato margine di fase.

2.4 Simulazione

Il "regolatore della potenza di sorgente" dimensionato secondo l'analisi numerica descritta in Par. 2.3, è stato modellato nell'ambiente di simulazione Simulink al fine di verificare l'andamento delle diverse grandezze con riferimento al caso reale corrispondente alle grandezze di riferimento indicate in Tab. 2.1. I valori dei parametri K_2 , K_1 , K_i , K , utilizzati nei regolatori del modello simulato sono riportati in Tab. 2.2. Lo schema del sistema di regolazione implementato in Simulink e rappresentato in Fig. 2.14 corrisponde esattamente allo schema del regolatore proposto in Fig. 2.2.

Energia di riferimento condensatori	$E_C^* = 980$ [J]
Energia di riferimento del sistema di accumulo SD	$E_{SD}^* = 150$ [KJ]
Potenza massima del carico	$P_L = 30$ [KW]

Tab. 2.1 Valori di riferimento per E_C^* , E_{SD}^* , P_L , utilizzati nel simulatore del "regolatore della potenza di sorgente".

$K_2 = 1000$
$K = 400$
$K_1 = 500$
$K_i = 50$

Tab. 2.2 Parametri K_2 , K_1 , K_i , K utilizzati nella simulazione

Il sistema che si intende simulare nella risposta come smorzatore delle variazioni del carico è un sistema PCS che deve realizzare anche la modalità di funzionamento UPS. Come già descritto in Par. 2.1 ciò richiede che durante il funzionamento con rete presente, in seguito alle variazioni del carico non si possa scaricare il sistema di accumulo oltre una quota prestabilita dalle specifiche del funzionamento UPS. I limiti alla variazione di energia nel bus dc sono anch'esse determinate da quanto descritto in Par. 2.1.

Si ammette una variazione di E_C e di E_{SD} pari rispettivamente al 7% e al 15 % rispetto al loro riferimento.

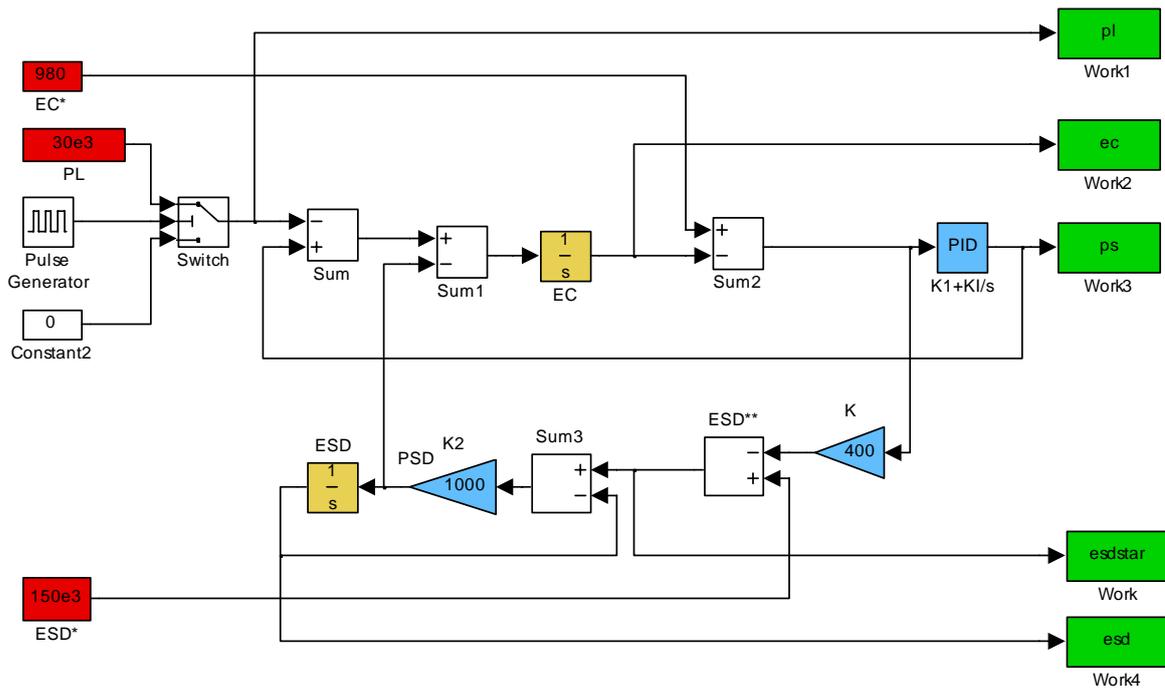


Fig. 2.14 Schema del modello del sistema di regolazione implementato in ambiente Simulink

Con lo schema di Fig. 2.14 si è verificata la risposta del sistema in alcune condizioni di variazione di carico.

Il comportamento del sistema nella risposta al singolo gradino di P_L è stato valutato in corrispondenza di un inserzione del carico in Fig. 2.15, e di una disinserzione del carico in Fig. 2.16. Da queste figure si verifica che il sistema reagisce al gradino della potenza di carico, imponendo un transitorio per la potenza di sorgente P_S . Ciò determina una variazione nell'energia accumulata nel sistema di accumulo principale E_{SD} e nel condensatore di bus dc E_C . La sovraelongazione di P_S su P_L è minima e permette di esaurire il transitorio, cioè di ripristinare la carica nei due sistemi di accumulo in circa 20 secondi dal verificarsi del gradino. Nella risposta al gradino, l'entità delle variazioni di E_{SD} ed E_C rientrano nei limiti su di essi introdotti dalle condizioni di garanzia del funzionamento prima specificate.

È stato poi analizzato il comportamento del sistema come compensatore di flicker, cioè al verificarsi di una successione di gradini della potenza di carico P_L . Tale comportamento è mostrato in Fig. 2.17 per una frequenza di commutazione di P_L pari a 1 Hz e in Fig. 2.18 per una frequenza di commutazione di P_L pari a 5 Hz. In entrambi i casi il controllo del PCS è in grado di smorzare le brusche variazioni di carico imponendo alla potenza di sorgente solo delle modeste variazioni attorno al valore medio della potenza P_L assorbita dal carico. Anche le variazioni di energia nel sistema di accumulo SD e nel condensatore di bus dc sono modeste e centrate sul corrispondente valore di riferimento.

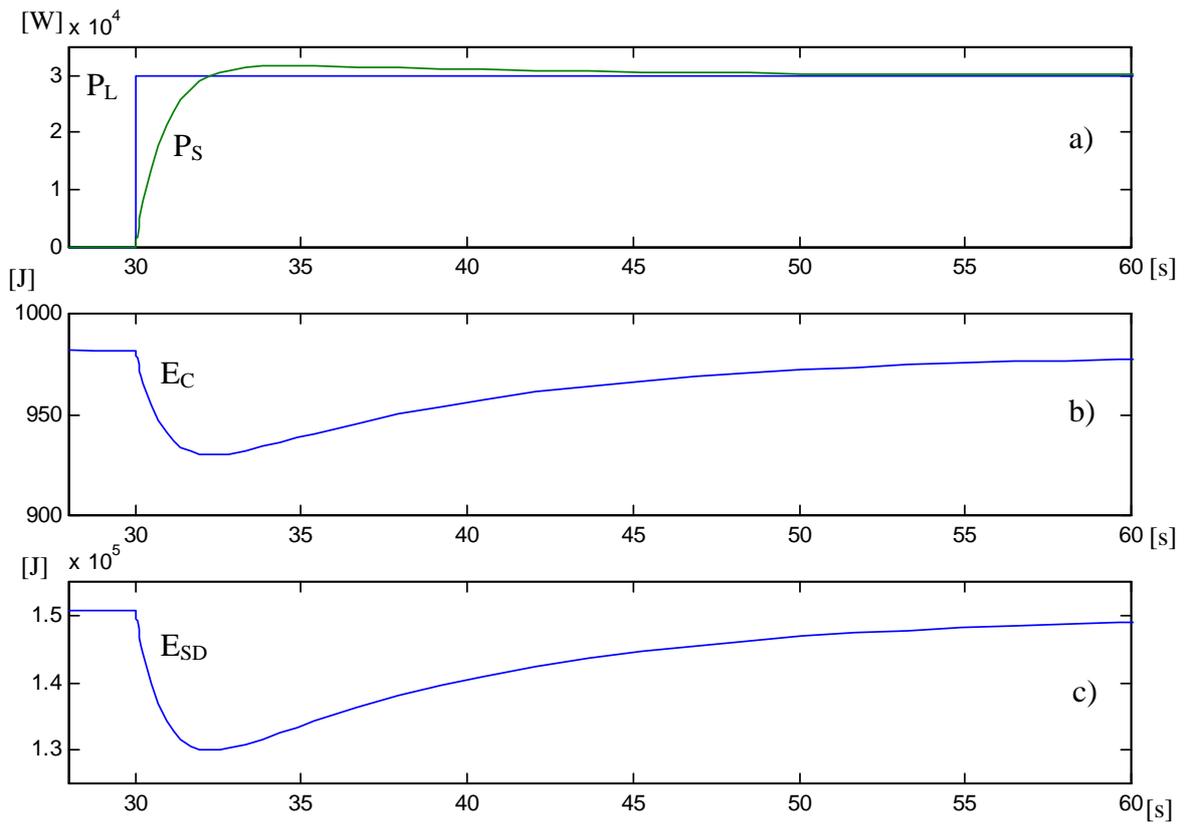


Fig. 2.15 a - b - c) *Risposta del sistema di regolazione della potenza di sorgente ad un gradino 0 - 100% di P_L . a) P_S, P_L - b) E_C - c) E_{SD} .*

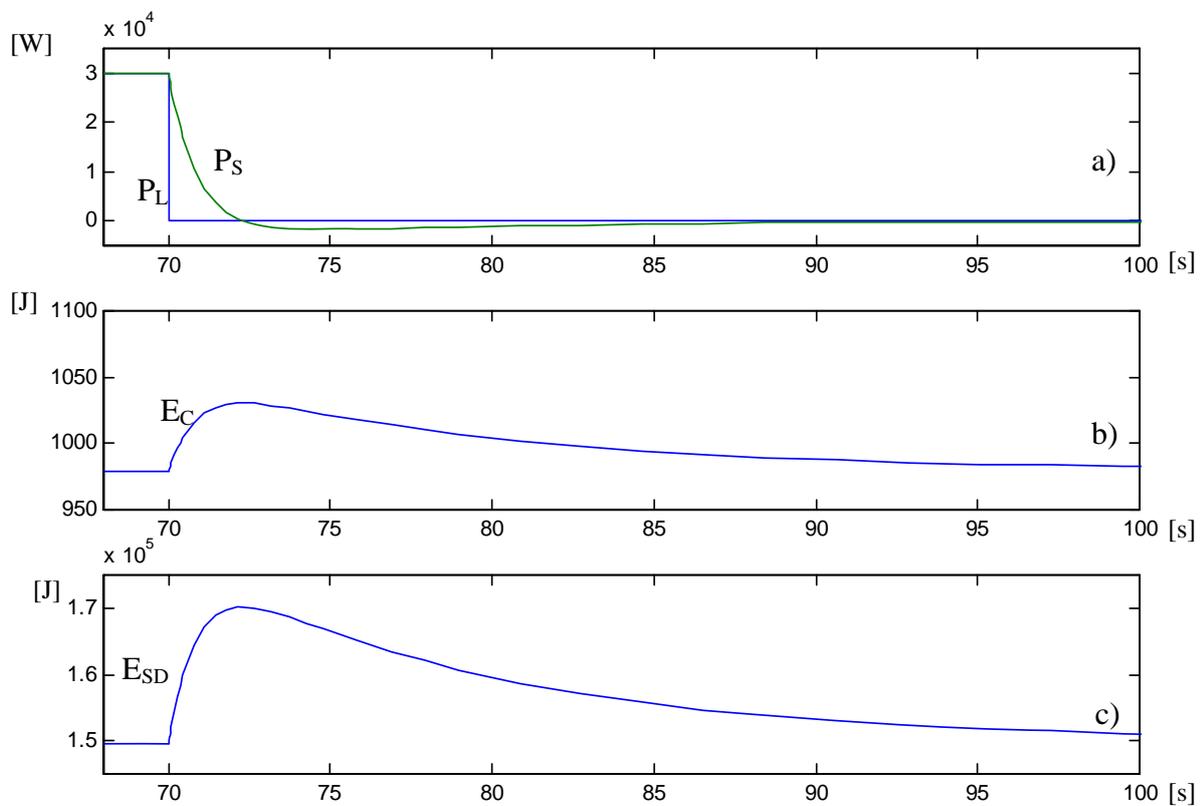


Fig. 2.16 a - b - c) *Risposta del sistema di regolazione della potenza di sorgente ad un gradino 100 - 0% di P_L . a) P_S, P_L - b) E_C - c) E_{SD} .*

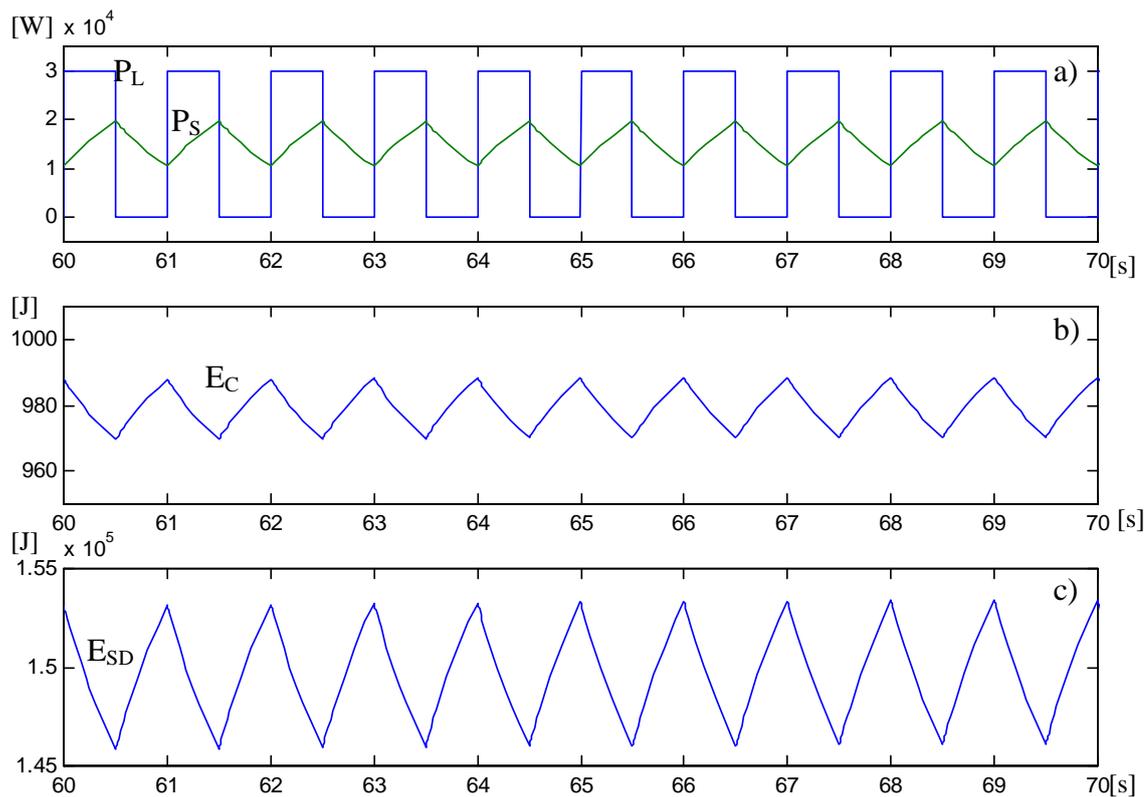


Fig. 2.17 a - b - c) Risposta del sistema di regolazione ad una successione di gradini di P_L alla frequenza di 1 Hz. a) P_S, P_L - b) E_C - c) E_{SD} .

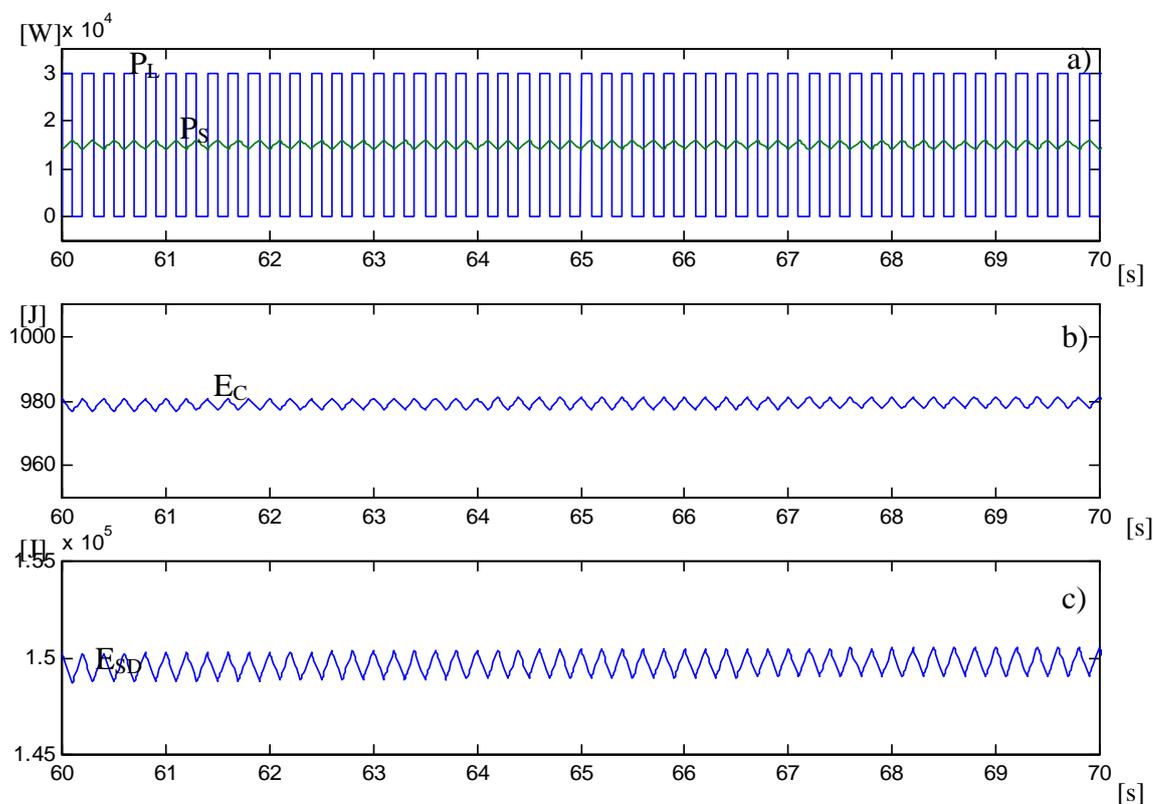


Fig. 2.18 a - b - c) Risposta del sistema di regolazione ad una successione di gradini di P_L alla frequenza di 5 Hz. a) P_S, P_L - b) E_C - c) E_{SD} .

CAPITOLO 3

REGOLATORI DI CORRENTE PER INVERTER TRIFASE DI TIPO VSI

3.1 Generalità

Dato un inverter trifase VSI (Voltage Source Inverter), che alimenta un carico di tipo R-L-E, quale ad esempio una macchina elettrica, o una rete trifase, è spesso necessario controllare la forma d'onda della corrente nelle tre fasi in uscita dall'inverter. Il regolatore di corrente è quindi parte integrante del sistema elettronico di controllo che gestisce l'inverter VSI. La struttura introdotta è rappresentata dal generico schema di Fig. 3.1.

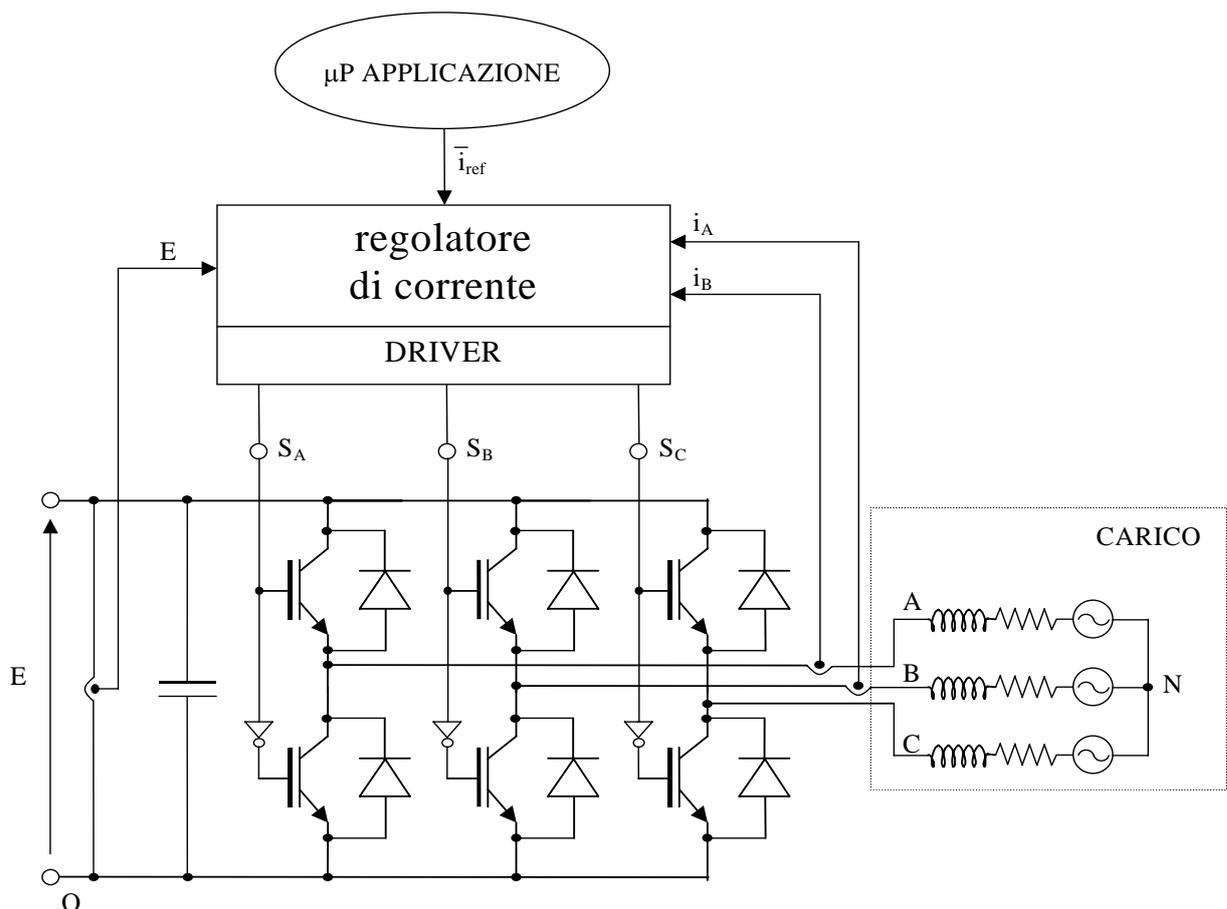


Fig. 3.1 Schema di un inverter VSI con regolatore di corrente generico

Il regolatore di corrente è generalmente implementato in un dispositivo digitale, spesso condivide la stessa piattaforma (microprocessore, DSP) che gestisce l'applicazione vera e propria, ma come si vedrà in seguito può costituire anche un sistema a se stante ed essere realizzato con circuiteria completamente analogica.

Come mostrato in Fig. 3.1 il generico regolatore di corrente riceve in ingresso:

- il riferimento della corrente da inseguire generato dal dispositivo di calcolo principale (\bar{i}_{ref} secondo la rappresentazione nei vettori di spazio)
- la misura della corrente effettivamente presente, ed eventualmente della tensione sul bus dc, i_a , i_b , E_{dc} realizzate con opportuni sistemi di condizionamento del segnale;

Il regolatore di corrente genera in uscita i segnali di comando per ciascuno dei tre rami dell'inverter: S_A , S_B , S_C . Questi segnali sono applicati ai componenti fisici veri e propri per mezzo di opportuni dispositivi driver.

Al suo interno, il regolatore di corrente può contenere modelli del carico e del sistema controllato.

Indipendentemente dal modo con cui il regolatore è implementato, i requisiti generalmente richiesti al regolatore di corrente si possono così riassumere:

- Minimo errore tra la corrente di riferimento e la corrente ottenuta sul carico. Ad esempio nel caso particolare di riferimento sinusoidale non vi deve essere alcun errore di fase o di ampiezza.
- Banda passante adeguata alle esigenze della applicazione in uso, cioè capacità di seguire variazioni rapide del riferimento (elevati valori di di/dt).
- Robustezza nei confronti di errori nella stima dei parametri del circuito quali induttanze e forze contro-elettromotrici.
- Minimo effetto o compensazione dei ritardi introdotti dall'implementazione (digitale o analogica);
- Limitazione certa per il ripple di corrente;
- Frequenza di commutazione controllabile.

I principali tipi di regolatori di corrente realizzabili per il controllo di un inverter VSI si possono raccogliere nelle seguenti famiglie:

- regolatori ad isteresi;
- regolatori a comparazione e modulazione PWM;
- regolatori predittivi ad implementazione digitale

Una rassegna dei principi di funzionamento e delle proprietà di queste famiglie di regolatori

sarà fornita in questo capitolo, in particolare, saranno esaminati più attentamente quei regolatori in grado di fornire le prestazioni richieste per l'applicazione filtro attivo. Come già illustrato in capitolo 1, l'applicazione filtro attivo richiede al regolatore di corrente un'alta dinamica nella risposta ed un minimo ripple sulla corrente, tutto ciò in presenza di un carico a basso valore di induttanza.

3.2 Inverter VSI

Si consideri l'inverter rappresentato nello schema di Fig. 3.1, esso rappresenta il caso tipico di applicazione industriale di un VSI dove il neutro del carico non è connesso ad alcun punto della linea di alimentazione dc dell'inverter.

Lo stato degli interruttori statici, rappresentato dai segnali di comando S_A , S_B , S_C definisce esattamente le tensioni v_{AO} , v_{BO} , v_{CO} , ma non le tensioni ai capi di ciascuna fase del carico v_{AN} , v_{BN} , v_{CN} .

Le tensioni di fase sul carico possono essere espresse come

$$\text{Eq. 3.1} \quad \begin{cases} v_{AN} = v_{AO} - v_{NO} \\ v_{BN} = v_{BO} - v_{NO} \\ v_{CN} = v_{CO} - v_{NO} \end{cases}$$

dove v_{NO} è la d.d.p. tra il centro stella del carico (N) ed il terminale negativo del bus dc dell'inverter (O).

Per il sistemi trifase a tre fili, la somma delle tensioni di fase $v_{AN} + v_{BN} + v_{CN}$, diviene nulla solo in corrispondenza di un carico equilibrato. Solo in questa condizione, noti i potenziali v_{AO} , v_{BO} , v_{CO} , è possibile determinare le tensioni applicate alle fasi di carico.

Sommando i termini della Eq. 3.1, sotto l'ipotesi di carico equilibrato: $v_{AN} + v_{BN} + v_{CN} = 0$, si ottiene il valore potenziale del centro stella v_{NO} , in funzione della configurazione dell'inverter.

$$\text{Eq. 3.2} \quad v_{NO} = \frac{v_{AO} + v_{BO} + v_{CO}}{3}.$$

Inserendo questo espressione di v_{NO} nella Eq. 3.1, per ogni configurazione dell'inverter, si può risalire univocamente alle tensioni di fase sul carico

$$\text{Eq. 3.3} \quad \begin{cases} v_{AN} = v_{AO} - \frac{v_{AO} + v_{BO} + v_{CO}}{3} = \frac{2v_{AO} - v_{BO} - v_{CO}}{3} = \frac{v_{AB} - v_{CA}}{3} \\ v_{BN} = v_{BO} - \frac{v_{AO} + v_{BO} + v_{CO}}{3} = \frac{2v_{BO} - v_{AO} - v_{CO}}{3} = \frac{v_{BC} - v_{AB}}{3} \\ v_{CN} = v_{CO} - \frac{v_{AO} + v_{BO} + v_{CO}}{3} = \frac{2v_{CO} - v_{AO} - v_{BO}}{3} = \frac{v_{CA} - v_{BC}}{3} \end{cases}$$

La Eq. 3.3 può essere direttamente riferita allo stato S_A, S_B, S_C dei rami dell'inverter

$$\text{Eq. 3.4} \quad \begin{cases} v_{AN} = \frac{2S_A - S_B - S_C}{3} E \\ v_{BN} = \frac{2S_B - S_A - S_C}{3} E \\ v_{CN} = \frac{2S_C - S_A - S_B}{3} E \end{cases}$$

Considerando lo schema di Fig. 3.1, l'inverter può assumere $2^3 = 8$ combinazioni dei suoi interruttori determinando sul carico 8 possibili combinazioni per i valori delle tensioni di fase.

N°	SA	SB	SC	v _{AO}	v _{BO}	v _{CO}	v _{AB}	v _{BC}	v _{CA}	v _{AN}	v _{BN}	v _{CN}	v _{NO}
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	E	0	0	E	0	-E	$\frac{2}{3}E$	$-\frac{1}{3}E$	$-\frac{1}{3}E$	$\frac{1}{3}E$
2	1	1	0	E	E	0	0	E	-E	$\frac{1}{3}E$	$\frac{1}{3}E$	$-\frac{2}{3}E$	$\frac{2}{3}E$
3	0	1	0	0	E	0	-E	E	0	$-\frac{1}{3}E$	$\frac{2}{3}E$	$-\frac{1}{3}E$	$\frac{1}{3}E$
4	0	1	1	0	E	E	-E	0	E	$-\frac{2}{3}E$	$\frac{1}{3}E$	$\frac{1}{3}E$	$\frac{2}{3}E$
5	0	0	1	0	0	E	0	-E	E	$-\frac{1}{3}E$	$-\frac{1}{3}E$	$\frac{2}{3}E$	$\frac{1}{3}E$
6	1	0	1	E	0	E	E	-E	0	$\frac{1}{3}E$	$-\frac{2}{3}E$	$\frac{1}{3}E$	$\frac{2}{3}E$
7	1	1	1	E	E	E	0	0	0	0	0	0	E

Tab. 3.1 Tensioni prodotte dall'inverter per ciascuna delle possibili configurazioni dei suoi rami.

3.2.1 Rappresentazione mediante vettori di spazio

Sia data una qualsiasi terna di grandezze variabili nel tempo: $x_A(t), x_B(t), x_C(t)$, quali ad esempio tensioni, correnti, flussi, ecc., associabili ad un sistema trifase. Utilizzando la rappresentazione mediante vettori di spazio [56], in un determinato istante, la terna

considerata può essere rappresentata dal numero complesso \bar{x} e dal termine x_0 secondo la trasformazione

$$\text{Eq. 3.5} \quad \wp\{x_a(t), x_b(t), x_c(t)\} = \{\bar{x}, x_0\}$$

dove \bar{x} e x_0 sono così definiti

$$\text{Eq. 3.6} \quad \bar{x} = \left(x_A e^{j0} + x_B e^{j\frac{2\pi}{3}} + x_C e^{j\frac{4\pi}{3}} \right)$$

$$\text{Eq. 3.7} \quad x_0 = \frac{x_A + x_B + x_C}{3}.$$

Il numero complesso \bar{x} è denominato vettore di spazio nel sistema di riferimento α, β mentre x_0 è denominato componente di sequenza zero (od omopolare) della terna originaria x_A, x_B, x_C .

La trasformazione Eq. 3.5 è lineare, perciò è possibile eseguire la corrispondente trasformazione inversa

$$\text{Eq. 3.8} \quad \{x_A(t), x_B(t), x_C(t)\} = \wp^{-1}\{\bar{x}, x_0\}$$

così espressa

$$\text{Eq. 3.9} \quad \begin{cases} x_A = \Re\left\{\bar{x} \cdot e^{j0}\right\} + x_0 \\ x_B = \Re\left\{\bar{x} \cdot e^{j\frac{2\pi}{3}}\right\} + x_0 \\ x_C = \Re\left\{\bar{x} \cdot e^{j\frac{4\pi}{3}}\right\} + x_0 \end{cases}$$

La trattazione che segue si basa sull'utilizzo del vettore di Park sugli assi fissi α, β , se \bar{x} è il vettore di spazio, il corrispondente vettore di Park \bar{y}_s sugli stessi assi fissi è:

$$\text{Eq. 3.10} \quad \bar{y}_s = \sqrt{\frac{2}{3}} \bar{x}.$$

Le corrispondenti espressioni di trasformazione ed antitrasformazione che consentono di passare dalla terna di grandezze x_a, x_b, x_c ai vettori di Park stazionari sono:

$$\text{Eq. 3.11} \quad \begin{cases} \bar{y}_s = \sqrt{\frac{2}{3}} \left(x_A e^{j0} + x_B e^{j\frac{2\pi}{3}} + x_C e^{j\frac{4\pi}{3}} \right) \\ y_0 = \frac{x_A + x_B + x_C}{\sqrt{3}} \end{cases} ,$$

$$\text{Eq. 3.12} \quad \begin{cases} x_A = \sqrt{\frac{2}{3}} \Re \left(\bar{y}_s e^{j0} \right) + \sqrt{\frac{1}{3}} y_0 \\ x_B = \sqrt{\frac{2}{3}} \Re \left(\bar{y}_s e^{j\frac{2\pi}{3}} \right) + \sqrt{\frac{1}{3}} y_0 \\ x_C = \sqrt{\frac{2}{3}} \Re \left(\bar{y}_s e^{j\frac{4\pi}{3}} \right) + \sqrt{\frac{1}{3}} y_0 \end{cases} .$$

Utilizzando la trasformazione definita in Eq. 3.11 è possibile determinare il vettore di spazio della tensione di fase che l'inverter è in grado di generare su un carico equilibrato.

$$\text{Eq. 3.13} \quad \begin{cases} \bar{v}_s = \sqrt{\frac{2}{3}} E \left(v_{AN} e^{j0} + v_{BN} e^{j\frac{2\pi}{3}} + v_{CN} e^{j\frac{4\pi}{3}} \right) \\ v_0 = \frac{v_{AN} + v_{BN} + v_{CN}}{\sqrt{3}} \end{cases}$$

Sostituendo i valori di v_{AN} , v_{BN} , v_{CN} calcolati in funzione delle configurazioni dell'inverter nella Eq. 3.4, si ottiene

$$\text{Eq. 3.14} \quad \bar{v}_s = \sqrt{\frac{2}{3}} E \left(S_A \cdot e^{j0} + S_B \cdot e^{j\frac{2\pi}{3}} + S_C \cdot e^{j\frac{4\pi}{3}} \right)$$

$$\text{Eq. 3.15} \quad v_0 = 0$$

Il vettore di Park stazionario \bar{v}_s , così espresso, rappresenta quindi la tensione di fase che l'inverter è in grado di generare su un carico equilibrato. Essendo inoltre il sistema trifase a tre fili, l'inverter non è in grado di applicare al carico una componente omopolare di tensione ($v_0 = 0$).

Avendo a disposizione 8 possibili combinazioni per S_A , S_B , S_C , come in Tab. 3.1, ad ogni istante l'inverter sarà in grado di applicare sul carico solamente gli 8 vettori: $\bar{v}_0, \dots, \bar{v}_7$ detti vettori principali, rappresentati in Fig. 3.2.

I vettori principali si dividono in due famiglie

\bar{v}_0, \bar{v}_7 vettori nulli

$\bar{v}_1, \bar{v}_2, \bar{v}_3, \bar{v}_4, \bar{v}_5, \bar{v}_6$ vettori attivi,

i cui valori sono riportati nella Tab. 3.2.

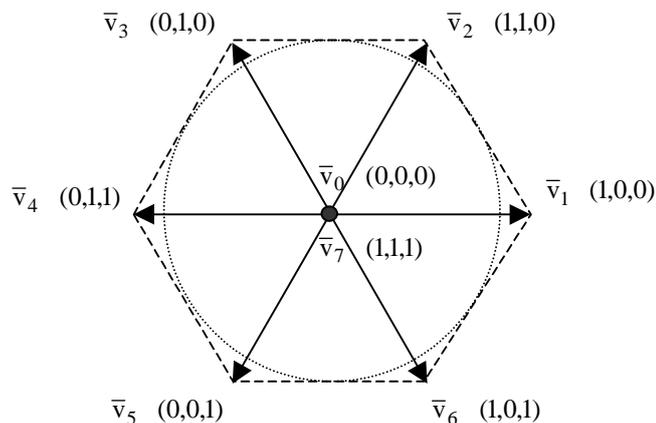


Fig. 3.2 Distribuzione dei vettori attivi e nulli prodotti da un inverter trifase.

	SA	SB	SC	\bar{v}_S
\bar{v}_0	0	0	0	0
\bar{v}_1	1	0	0	$\sqrt{\frac{2}{3}}Ee^{j0}$
\bar{v}_2	1	1	0	$\sqrt{\frac{2}{3}}Ee^{j\frac{1}{3}\pi}$
\bar{v}_3	0	1	0	$\sqrt{\frac{2}{3}}Ee^{j\frac{2}{3}\pi}$
\bar{v}_4	0	1	1	$\sqrt{\frac{2}{3}}Ee^{j\pi}$
\bar{v}_5	0	0	1	$\sqrt{\frac{2}{3}}Ee^{-j\frac{2}{3}\pi}$
\bar{v}_6	1	0	1	$\sqrt{\frac{2}{3}}Ee^{-j\frac{1}{3}\pi}$
\bar{v}_7	1	1	1	0

Tab. 3.2 Vettori tensione prodotte dall'inverter per ogni configurazioni dei rami.

Attraverso la trasformata di Park nel sistema stazionario è possibile rappresentare anche la terna delle tensioni prodotte dall'inverter v_{AO} , v_{BO} , v_{CO} . Dalla Eq. 3.1 tale terna vale

$$\text{Eq. 3.16} \quad \begin{cases} v_{AO} = v_{AN} + v_{NO} \\ v_{BO} = v_{BN} + v_{NO} \\ v_{CO} = v_{CN} + v_{NO} \end{cases}$$

Ai due termini della Eq. 3.16 si può applicare separatamente la trasformazione di Eq. 3.11, nella forma

$$\text{Eq. 3.17} \quad \wp(v_{AO}, v_{BO}, v_{CO}) = \wp(v_{AN}, v_{BN}, v_{CN}) + \wp(v_{NO}, v_{NO}, v_{NO}).$$

L'espressione per $\wp(v_{AN}, v_{BN}, v_{CN})$ è già stata calcolata in Eq. 3.14 e Eq. 3.15, e può essere così raggruppata:

$$\text{Eq. 3.18} \quad \wp(v_{AN}, v_{BN}, v_{CN}) = \left(\sqrt{\frac{2}{3}} E \left(S_A \cdot e^{j0} + S_B \cdot e^{j\frac{2\pi}{3}} + S_C \cdot e^{j\frac{4\pi}{3}} \right), 0 \right)$$

L'espressione della trasformazione $\wp(v_{NO}, v_{NO}, v_{NO})$ è calcolata sempre per mezzo della Eq. 3.11 e vale

Eq. 3.19

$$\wp(v_{NO}, v_{NO}, v_{NO}) = \left(\sqrt{\frac{2}{3}} \left(v_{NO} e^{j0} + v_{NO} e^{j\frac{2\pi}{3}} + v_{NO} e^{j\frac{4\pi}{3}} \right), \frac{v_{NO} + v_{NO} + v_{NO}}{\sqrt{3}} \right) = \left(0, \frac{3v_{NO}}{\sqrt{3}} \right)$$

utilizzando l'espressione di v_{NO} calcolata in Eq. 3.2, si ha

$$\text{Eq. 3.20} \quad \wp(v_{NO}, v_{NO}, v_{NO}) = \left(0, \frac{v_{AO} + v_{BO} + v_{CO}}{\sqrt{3}} \right) = \left(0, \frac{(S_A + S_B + S_C) E}{\sqrt{3}} \right).$$

Riassumendo, l'espressione della trasformata di Park nel sistema stazionario delle tensioni prodotte dall'inverter v_{AO} , v_{BO} , v_{CO} è data dal vettore di spazio \bar{v}_{SO} e dalla componente omopolare v_{NO} .

$$\text{Eq. 3.21} \quad \bar{v}_{SO} = \sqrt{\frac{2}{3}} E \left(S_A \cdot e^{j0} + S_B \cdot e^{j\frac{2\pi}{3}} + S_C \cdot e^{j\frac{4\pi}{3}} \right)$$

$$\text{Eq. 3.22} \quad v_{NO'} = \sqrt{3} v_{NO} = \frac{(S_A + S_B + S_C) E}{\sqrt{3}}$$

v_{NO}

Da queste due ultime espressioni si è quindi verificato che il vettore di Park stazionario generato dall'inverter è lo stesso che è applicato al carico $\bar{v}_{SO} = \bar{v}_S$. La componente omopolare della tensione prodotta dall'inverter $v_{NO'}$ rappresenta la differenza di potenziale v_{NO} tra il centro stella del carico ed il polo negativo del bus dc $v_{NO'} = \sqrt{3} v_{NO}$. Si è inoltre verificato che sia il vettore \bar{v}_S che la componente v_{NO} sono univocamente determinati dalla configurazione assunta dai rami dell'inverter.

3.3 Controllo ad isteresi con tre regolatori indipendenti

La tecnica più semplice di controllo di corrente è quella che prevede l'impiego di tre regolatori ad isteresi indipendenti, uno per ciascuna fase realizzati secondo lo schema di Fig. 3.3.

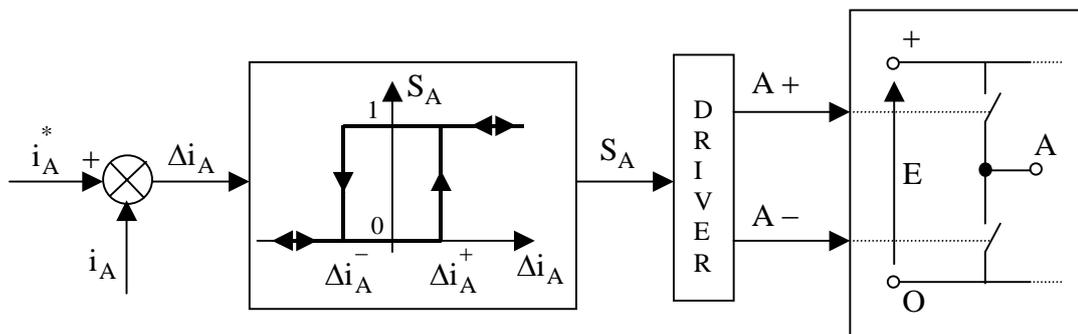


Fig. 3.3 Schema di un regolatore ad isteresi applicato alla fase A

i_A^* : riferimento di corrente per la fase A

i_A : corrente misurata nella fase A.

Il principio di funzionamento di questo regolatore è estremamente semplice.

Se l'errore di corrente Δi_A è positivo e supera la larghezza della banda d'isteresi $\Delta i_A > \Delta i_A^+$ il regolatore genera il comando A+, collegando la fase A al terminale positivo del bus dc: $v_{AO} = +E$.

Se l'errore di corrente Δi_A è negativo e supera la larghezza della banda d'isteresi $|\Delta i_A| > \Delta i_A^-$ il regolatore genera il comando A-, collegando la fase A al terminale negativo del bus dc $v_{AO} = 0$.

Quando l'errore Δi_A entra nella banda d'isteresi: $\Delta i_A^- < \Delta i_A < \Delta i_A^+$, il regolatore continua ad applicare il comando corrispondente alla zona di provenienza dell'errore.

Se il centro stella del carico fosse collegato al punto centrale del bus dc, la tensione sulla fase A del carico sarebbe determinata unicamente dallo stato del ramo A dell'inverter. I valori delle tensioni applicabili alla fase A del carico sarebbero quindi $+\frac{V_{DC}}{2}$, $-\frac{V_{DC}}{2}$.

In questo caso, la corrente di una fase dipenderebbe solo dalla corrispondente tensione di fase applicata $\left(+\frac{V_{DC}}{2}, -\frac{V_{DC}}{2}\right)$. La larghezza della banda d'isteresi determinerebbe il massimo ripple di corrente mentre la frequenza di commutazione dipenderebbe anche dal carico.

Nel caso di maggiore interesse pratico che è quello di sistema trifase puro (a tre fili) si ha che la tensione sulla fase di carico A dipende anche dalle configurazioni sui rami B e C (vedi Eq. 3.4). Questa interdipendenza tra le tensioni di fase, nel sistema di controllo ad isteresi di Fig. 3.3, impedisce il contenimento dell'errore di corrente su ciascuna fase entro il limite fissato dalla larghezza della banda, inoltre non è possibile gestire a priori la frequenza di commutazione. In particolare questi limiti determinano un errore di corrente che può superare anche di due volte la larghezza della banda d'isteresi e l'insorgere di cicli limite, cioè di commutazioni ad alta frequenza dei rami dell'inverter.

Per illustrare le proprietà del regolatore ad isteresi si rappresentano le grandezze trifase mediante vettori di nel sistema di riferimento stazionario α, β . Nel diagramma di Fig. 3.4 riferito ad α, β , si individuano

- il riferimento di corrente \bar{i}^* ,
- il valore attuale della corrente \bar{i} ,
- l'errore di corrente $\Delta \bar{i} = \bar{i}^* - \bar{i}$
- tre direzioni a, b, c associate alle tre fasi dell'inverter.

3.3.1 L'errore di corrente

L'errore di corrente $\Delta \bar{i}$ può essere proiettato nelle direzioni dei tre assi a, b, c. Il modulo $\Delta i_a, \Delta i_b, \Delta i_c$, di ciascuna delle tre componenti è l'errore di corrente di fase che entra nel corrispondente regolatore ad isteresi, come mostrato in Fig. 3.3.

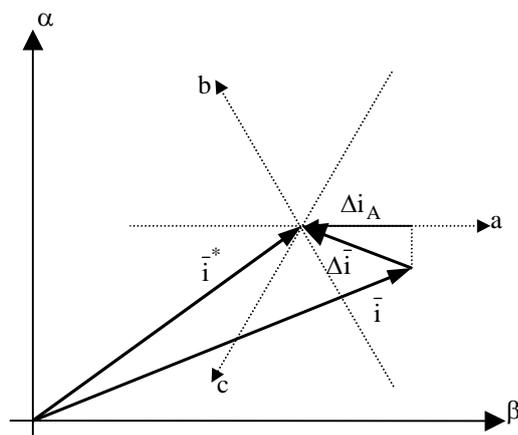


Fig. 3.4 Vettori di spazio: riferimento di corrente \bar{i}^* , valore attuale della corrente \bar{i} , errore di corrente $\Delta \bar{i}$, e possibile scomposizione di $\Delta \bar{i}$ nelle tre direzioni a, b, c.

Si consideri l'errore Δi_a . Il regolatore ad isteresi posto nel ramo A commuta il ramo non appena Δi_a supera la banda d'isteresi. Questa banda è rappresentata nel diagramma di Fig. 3.5 da due rette perpendicolari all'asse a, distanti h dal vettore riferimento.

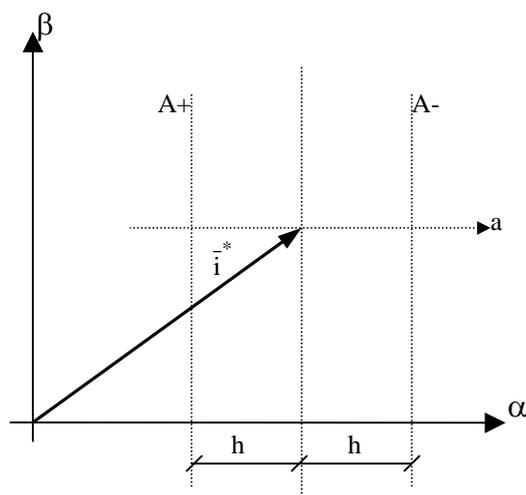


Fig. 3.5 Rappresentazione della banda d'isteresi sulla fase A nel s.d.r. di Park stazionario α, β .

Con riferimento alla Fig. 3.5 quando la componente dell'errore Δi_a supera una delle due rette A+, A- si verifica una commutazione della fase a, secondo lo schema:

Linea di commutazione A-: se $\Delta_{iA} > 0$, $\Delta_{iA} > h \Rightarrow$ commutazione su $S_A=0$, $v_{AO} = 0$

Linea di commutazione A+: se $\Delta_{iA} > 0$, $|\Delta_{iA}| > h \Rightarrow$ commutazione su $S_A=1$, $v_{AO} = E$

Combinando sullo stesso diagramma anche le linee di commutazione delle altre due fasi si ha il diagramma completo di Fig. 3.6 che rappresenta la regione di tolleranza (TR), cioè la regione di spazio, centrata nel vettore riferimento di corrente \bar{i}^* , entro la quale deve trovarsi il vettore corrente \bar{i} .

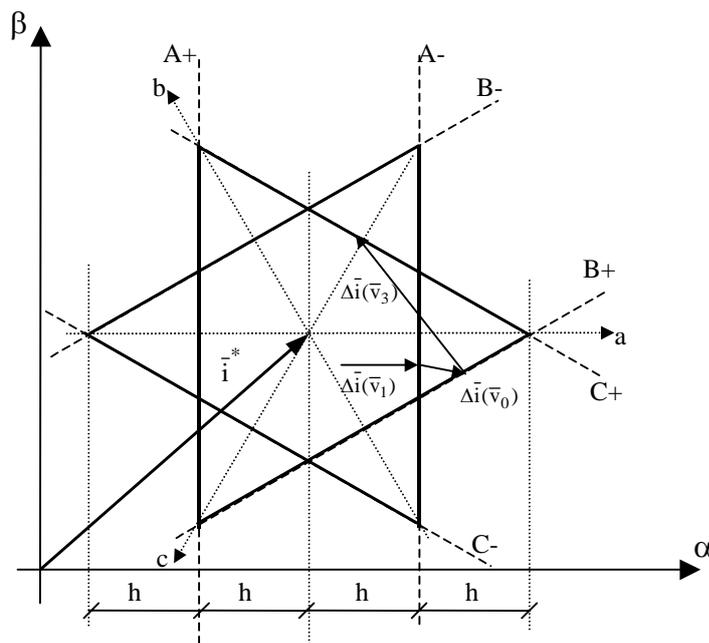


Fig. 3.6 Regione di spazio delimitata dai tre regolatori ad isteresi indipendenti attorno al vettore corrente di riferimento \bar{i}^* .

Su questo diagramma si può verificare l'effetto sulla corrente provocato dai vettori attivi e nulli prodotti dall'inverter in seguito alle commutazioni comandate dai tre regolatori ad isteresi indipendenti. Si consideri un carico prevalentemente induttivo, in modo da ritenere che il verso della variazione di corrente coincida con il vettore tensione applicato. I vettori prodotti dall'inverter sono indicati con la simbologia di Fig. 3.2.

Si supponga applicato in un certo istante il vettore $\bar{v}_1 : (1,0,0)$, la corrente varia nella direzione $\Delta\bar{i}(\bar{v}_1)$. Si ha quindi che, l'errore di corrente, prima o poi, colpisce la retta A- di commutazione: da quel momento risulterà applicato il vettore nullo $\bar{v}_0 : (0,0,0)$.

Con il vettore nullo applicato, la corrente nella fase A potrebbe continuare a crescere nella direzione positiva di a , per effetto ad esempio della fcm del carico. Solo quando l'errore

colpisce un'altra retta di commutazione (ad esempio B+) sarà nuovamente applicato un vettore attivo $\bar{v}_3 : (0,1,0)$ e l'errore tenderà a diminuire. Dal diagramma di Fig. 3.5 si è dimostrato che l'errore di corrente può raggiungere un'ampiezza massima pari a $2h$, cioè pari a 2 volte la larghezza della banda d'isteresi impostata.

3.3.2 Cicli limite

Per cicli limite si intende una serie di commutazioni dei rami dell'inverter ad alta frequenza che potrebbero comprometterne l'integrità. Nel caso in cui vi sia una piccola f_{cem} (es: motore a bassa velocità), ed una bassa induttanza di carico il vettore tensione forza il vettore corrente a seguirlo nella sua stessa direzione.

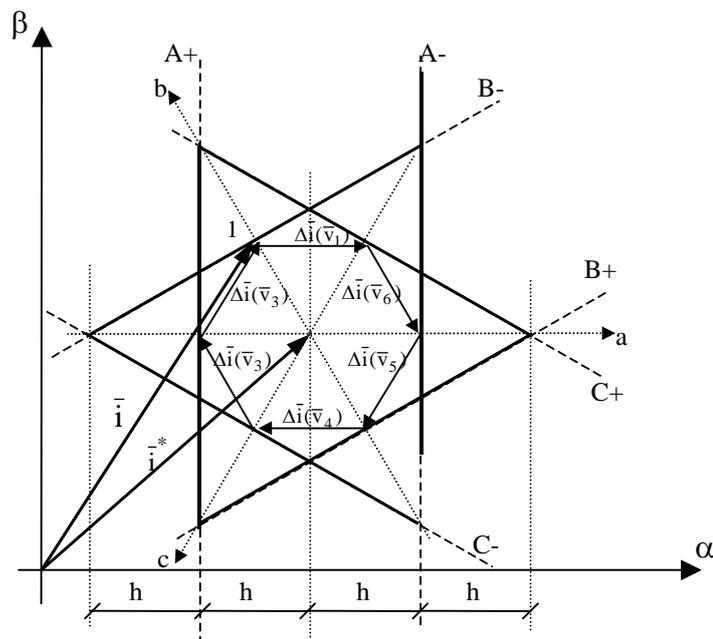


Fig. 3.7 Cicli limite in un regolatore di corrente ad isteresi a controllori indipendenti

Con riferimento alla Fig. 3.7 si supponga che in un certo istante, il vettore corrente \bar{i} raggiunga la linea di commutazione B- nel punto 1, è così applicato il vettore $\bar{v}_1 : (1,0,0)$; la corrente subisce una variazione $\Delta\bar{i}(\bar{v}_1)$ nella stessa direzione di \bar{v}_1 . Quando l'errore di corrente colpisce la linea C+ si applica $\bar{v}_6 : (1,0,1)$; quando colpisce A- si applica $\bar{v}_5 : (0,0,1)$ e così via. In questo modo sono applicati al carico sempre vettori attivi in sequenza. Tale sequenza risulta pericolosa specialmente in caso di piccola induttanza, poiché è breve il tempo impiegato a percorrere ogni singolo tratto. L'innesco di questo fenomeno porta quindi ad una

elevata frequenza di commutazione, in corrispondenza della quale l'errore di corrente non tende mai ad annullarsi.

Il ciclo limite è interrotto quando per effetto del carico nella successione delle commutazioni si salta una linea di commutazione e si applica un vettore nullo.

3.3.3 Regolatori ad isteresi con controllori dipendenti

E' possibile mantenere sotto controllo la frequenza di commutazione e limitare l'errore di corrente entro la banda d'isteresi utilizzando regolatori ad isteresi modificati rispetto a quello a fasi indipendenti schematizzato in Fig. 3.3.

Il controllo ottimale della frequenza di commutazione e dell'errore di corrente richiede l'utilizzo di regolatori tra loro dipendenti [70]

A seconda che la regolazione sia realizzata sulle tre fasi, piuttosto che sul sistema di riferimento bifasico, la regione di tolleranza assume forma:

- esagonale: tre regolatori sul sistema di riferimento a, b, c;
- quadrata: due regolatori sul sistema di riferimento α, β .

Le tecniche per utilizzare al meglio i regolatori ad isteresi sono diverse, ma possono essere ricondotte al seguente principio:

Si definisce una regione chiusa di tolleranza (TR) ed un insieme di regioni aperte nello spazio esterno alla tolleranza, in modo da avere la localizzazione approssimata dell'errore fuori dalla regione di tolleranza. A seconda di dove si trova l'errore vengono scelti i vettori tensione più idonei a riportare l'errore entro la tolleranza.

Le ridondanze tra la scelta dei vettori idonei che si possono utilizzare per riportare l'errore entro la tolleranza vengono risolte, in genere, con il criterio di minimizzare la frequenza di commutazione.

Altre possibili tecniche sono quelle basate sulla variazione della larghezza delle bande d'isteresi dei regolatori, in modo da mantenere la frequenza di commutazione ad un valore il più possibile costante [68], [69].

3.4 Modulatori

Il modulatore è un elemento del regolatore di corrente che genera i comandi dei rami dell'inverter in modo da applicare al carico una terna di tensioni il più vicino possibile alla terna data come riferimento.

I due tipi di modulatori più idonei ad essere utilizzati in un regolatore di corrente trifase sono la modulazione PWM sinusoidale (Pulse Width Modulation) e la modulazione SVM (Space Vector Modulation).

3.4.1 Modulazione PWM sinusoidale

La modulazione PWM sinusoidale consiste nella comparazione di tre di modulanti sinusoidali con un'unica portante [58]-[62]. Il risultato di ciascuna delle tre comparazione genera il segnale di comando per il ramo di inverter corrispondente.

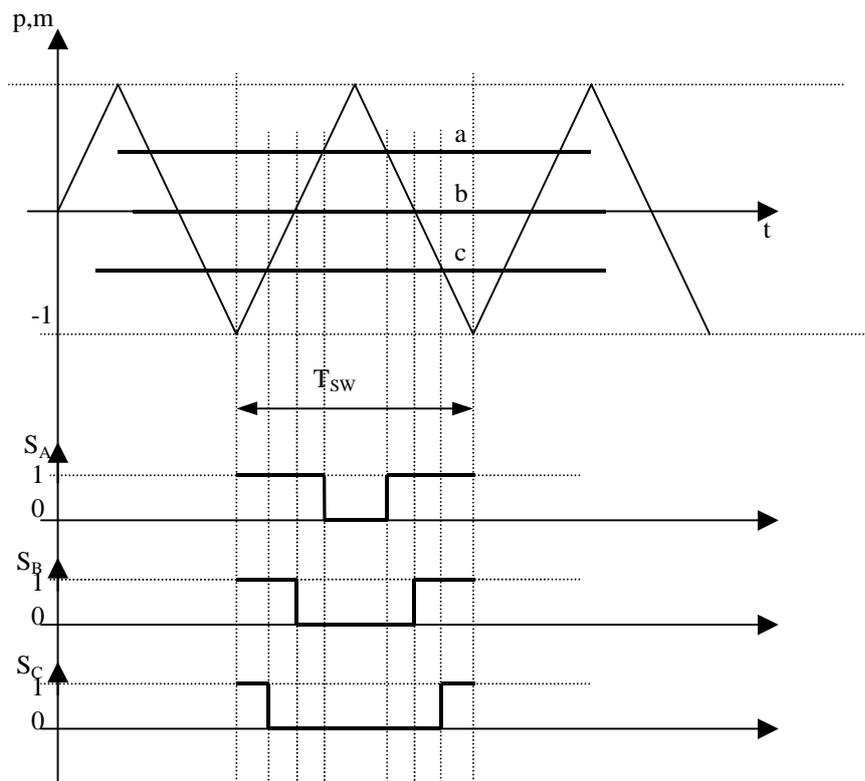


Fig. 3.8 Modulazione PWM. Portante triangolare simmetrica, modulanti a somma nulla.

La modulazione PWM si distingue a seconda del tipo di implementazione: digitale od analogica ed a seconda della forma della portante [57].

Indipendentemente da queste caratteristiche, la modulazione PWM sinusoidale utilizza tre modulanti a somma sempre nulla. Dall'analisi degli intervalli S_A , S_B , S_C , di Fig. 3.8, si calcola mediante la Eq. 3.22 che il valore medio nel periodo di commutazione della componente omopolare di tensione, nel s.d.r. di Park stazionario è pari a

$$\text{Eq. 3.23} \quad v_{NO_m} = \sqrt{3} \frac{E}{2},$$

e quindi antitrasformando il corrispondente valore medio del potenziale del centro stella del carico secondo la Eq. 3.12 è pari a:

$$\text{Eq. 3.24} \quad v_{\text{NO}_m} = \frac{E}{2}.$$

Il v_{NO_m} della Eq. 3.24 è lo stesso per qualunque valore dell'indice di modulazione γ compreso tra -1 e 1.

Se la modulazione è sinusoidale, l'andamento delle tre modulanti nel tempo è

$$\text{Eq. 3.25} \quad \begin{cases} m_A = \gamma \sin(\omega t) \\ m_B = \gamma \sin\left(\omega t - \frac{2}{3}\pi\right) \\ m_C = \gamma \sin\left(\omega t - \frac{4}{3}\pi\right) \end{cases}$$

Ponendo l'indice di modulazione $\gamma = 1$, il valore medio in un periodo T_{sw} , del modulo $|\bar{v}_S|$ del vettore tensione applicata al carico \bar{v}_S calcolato secondo la Eq. 3.21 vale

$$\text{Eq. 3.26} \quad |\bar{v}_S| = \sqrt{\frac{3}{2}} \frac{E}{2}.$$

Pertanto applicando a questo modulo la antitrasformazione della Eq. 3.12 si ha che il valore massimo della fondamentale della terna di tensione di fase applicate al carico è pari a

$$\text{Eq. 3.27} \quad v_{\text{XN}}^{\text{MAX}} = \frac{E}{2}.$$

L'andamento nel tempo della componente fondamentale delle tensione di fase applicate al carico corrispondenti alla Eq. 3.25 è pertanto

$$\text{Eq. 3.28} \quad \begin{cases} v_A(t) = \frac{E}{2} \gamma \sin(\omega t) \\ v_B(t) = \frac{E}{2} \gamma \sin\left(\omega t - \frac{2}{3}\pi\right) \\ v_C(t) = \frac{E}{2} \gamma \sin\left(\omega t - \frac{4}{3}\pi\right) \end{cases}.$$

3.4.2 Modulazione SVM

Il vettore tensione di riferimento \bar{v}_S^* calcolato dal sistema di controllo per annullare l'errore di corrente, può essere generato utilizzando la tecnica di modulazione SVM (Space Vector Modulation) [61]-[64].

La modulazione SVM determina i duty-cycle $\delta_A, \delta_B, \delta_C$ di ciascun dei tre rami dell'inverter in modo che il vettore richiesto sia sintetizzato attraverso una opportuna combinazione di

vettori attivi o nulli distribuiti in modo ottimale lungo tutto il periodo di commutazione T_{sw} .

Dato il vettore di riferimento \bar{v}_s^* , durante l'intervallo di commutazione, sono applicati i due vettori attivi \bar{v}_k, \bar{v}_{k+1} ($k \in 1, \dots, 6$), adiacenti al vettore di riferimento, più il vettore nullo \bar{v}_0 o \bar{v}_7 . Per fare questo si suddivide lo spazio delle tensioni ottenibili in 6 settori, ogni settore è delimitato da due vettori attivi.

I due vettori attivi adiacenti al vettore di riferimento \bar{v}^* sono indicati con $\bar{v}_\alpha, \bar{v}_\beta$, mentre il vettore nullo con \bar{v}_0 .

Il generico vettore \bar{v}^* può essere espresso come media pesata dei tre vettori principali $\bar{v}_\alpha, \bar{v}_\beta, \bar{v}_0$, dove i pesi sono i tempi di applicazione t_α, t_β, t_0 di ciascun vettore rispetto al tempo totale dell'intervallo di commutazione T_{sw} .

$$\text{Eq. 3.29} \quad \bar{v}^* = \frac{t_\alpha}{T_s} \cdot \bar{v}_\alpha + \frac{t_\beta}{T_s} \cdot \bar{v}_\beta + \frac{t_0}{T_s} \cdot \bar{v}_0$$

$$\text{Eq. 3.30} \quad t_\alpha + t_\beta + t_0 = T_s.$$

Se si definiscono i duty-cycle di ciascun vettore $\bar{v}_\alpha, \bar{v}_\beta, \bar{v}_0$ applicato

$$\text{Eq. 3.31} \quad \gamma_\alpha = \frac{t_\alpha}{T_s}, \quad \gamma_\beta = \frac{t_\beta}{T_s}, \quad \gamma_0 = \frac{t_0}{T_s}$$

si può riscrivere sinteticamente la Eq. 3.29 $\bar{v}^* = \frac{t_\alpha}{T_s} \cdot \bar{v}_\alpha + \frac{t_\beta}{T_s} \cdot \bar{v}_\beta + \frac{t_0}{T_s} \cdot \bar{v}_0$ come

$$\text{Eq. 3.32} \quad \bar{v}^* = \gamma_\alpha \cdot \bar{v}_\alpha + \gamma_\beta \cdot \bar{v}_\beta + \gamma_0 \cdot \bar{v}_0.$$

Il vettore richiesto \bar{v}^* è ottenuto come vettore medio dei vettori applicati nell'intervallo T_{sw} .

Nella Fig. 3.9 \bar{v}_s è ottenuto applicando la sequenza dei vettori principali $\bar{v}_1, \bar{v}_2, \bar{v}_0$, ciascuno per il tempo t_α, t_β, t_0 .

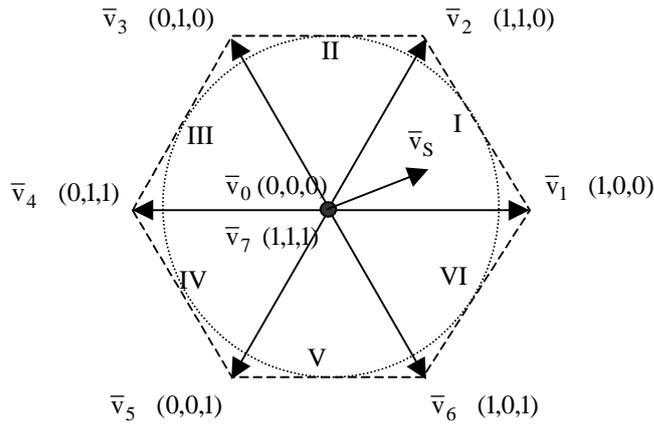


Fig. 3.9 Modulazione SVM. Suddivisione dello spazio nei 6 settori I - VI

Dato il vettore di riferimento \bar{v}^* , il valore dei duty cycle γ_α e γ_β dei due vettori attivi da applicare è dato da

$$\text{Eq. 3.33} \quad \begin{cases} \gamma_\alpha = \frac{\text{Re}(\bar{v}^*)}{V} \cdot c_1 + \frac{\text{Im}(\bar{v}^*)}{V} \cdot c_2 \\ \gamma_\beta = \frac{\text{Re}(\bar{v}^*)}{V} \cdot c_3 + \frac{\text{Im}(\bar{v}^*)}{V} \cdot c_4 \end{cases}$$

dove c_1, c_2, c_3, c_4 sono coefficienti che dipendono dal settore di appartenenza e sono riportati nella Tab. 3.3.

Calcolati i duty cycle dei due vettori attivi, il rimanente tempo dell'intervallo T_{sw} , sarà occupato dal vettore nullo. Il duty cycle γ_0 dalla Eq. 3.30 è quindi

$$\text{Eq. 3.34} \quad \gamma_0 = 1 - \gamma_\alpha - \gamma_\beta.$$

settore	c_1	c_2	c_3	c_4
I	1	$-1/\sqrt{3}$	0	$2/\sqrt{3}$
II	1	$1/\sqrt{3}$	-1	$1/\sqrt{3}$
III	0	$2/\sqrt{3}$	-1	$-1/\sqrt{3}$
IV	-1	$1/\sqrt{3}$	0	$-2/\sqrt{3}$
V	-1	$-1/\sqrt{3}$	1	$-1/\sqrt{3}$
VI	0	$-2/\sqrt{3}$	1	$1/\sqrt{3}$

Tab. 3.3 Valori dei coefficienti $c_1 - c_4$ da applicare nella Eq. 3.33.

Nella modulazione SVM, il rapporto $\frac{\gamma_\alpha}{\gamma_\beta}$ individua la direzione del vettore \bar{v}_s , mentre il rapporto $\frac{t_o}{T_{sw}}$ indica la profondità della modulazione.

In un intervallo di commutazione, il passaggio da un vettore principale all'altro determina la commutazione di una sola fase dell'inverter, ciascuna fase esegue al massimo una commutazione ogni intervallo T_{sw} .

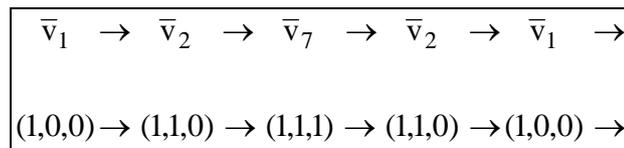


Fig. 3.10 Successione dei vettori principali applicati nell'intervallo T_{sw} per ottenere il vettore \bar{v}^* localizzato nel I settore.

La famiglia di vettori \bar{v}^* che possono essere generati da un modulatore SVM come quello presentato è rappresentata dalla regione di spazio contenuta nell'esagono i cui vertici sono i 6 vettori attivi (vedi Fig. 3.9).

Nella maggior parte delle applicazioni, il modulatore SVM è utilizzato per generare una vettore di spazio \bar{v}_s che nel tempo descrive un luogo circolare, corrispondente ad una terna di tensioni sinusoidali e simmetriche ed equilibrate. In questo caso i vettori di modulo massimo che possono essere generati in qualunque posizione angolare sono rappresentati dal cerchio inscritto nell'esagono di Fig. 3.9.

Dalla Fig. 3.9 si ha che il modulo di \bar{v}_s è limitato a

$$\text{Eq. 3.35} \quad \left| \bar{v}_s^{\text{MAX}} \right| = |\bar{v}_1| \cos \frac{\pi}{6} = \sqrt{\frac{2}{3}} E \cdot \frac{\sqrt{3}}{2} = \frac{1}{\sqrt{2}} E$$

Il valore massimo v_{XN}^M della tensione di fase generata da questo modulatore è data antitrasformando l'Eq. 3.35, secondo la Eq. 3.12:

$$\text{Eq. 3.36} \quad v_{XN}^M = \sqrt{\frac{2}{3}} \left| \bar{v}_s^{\text{MAX}} \right| = \frac{E}{\sqrt{3}} = 0.578 \cdot E.$$

Tale valore massimo della tensione di fase che si ottiene con la modulazione SVM supera del 15,5% quello della modulazione PWM sinusoidale ottenuto nella Eq. 3.27.

Definiti i vettori \bar{v}_α , \bar{v}_β , \bar{v}_O da applicare per i tempi t_α , t_β , t_O , l'unico grado di libertà che resta a questo tipo di modulazione è la distribuzione dei vettori selezionati lungo l'intervallo di commutazione.

Le diverse implementazioni della tecnica SVM si distinguono tra loro proprio per la distribuzione dei vettori selezionati lungo l'intervallo di commutazione. Tutte le implementazioni prevedono una distribuzione simmetrica dei vettori rispetto al centro dell'intervallo, cioè rispetto a $T_{SW}/2$.

In Fig. 3.11 sono rappresentate due diverse tecniche di modulazione SVM, la prima (bipolare o a 5 intervalli) prevede la commutazione di solo due rami per ogni intervallo di commutazione T_{SW} . La seconda (tripolare o a 7 intervalli) prevede la commutazione di tutti e tre i rami dell'inverter. Le due tecniche dividono il periodo T_{SW} la prima in 5 intervalli e la seconda in 7, distribuendo diversamente i vettori principali lungo T_{SW} .

Nella Fig. 3.11 sono rappresentati i vettori principali applicati ad ogni intervallo, ed i corrispondenti valori delle tensioni di fase applicate al carico, così come il valore del potenziale v_{NO} del centro stella del carico calcolate secondo la Tab. 3.1.

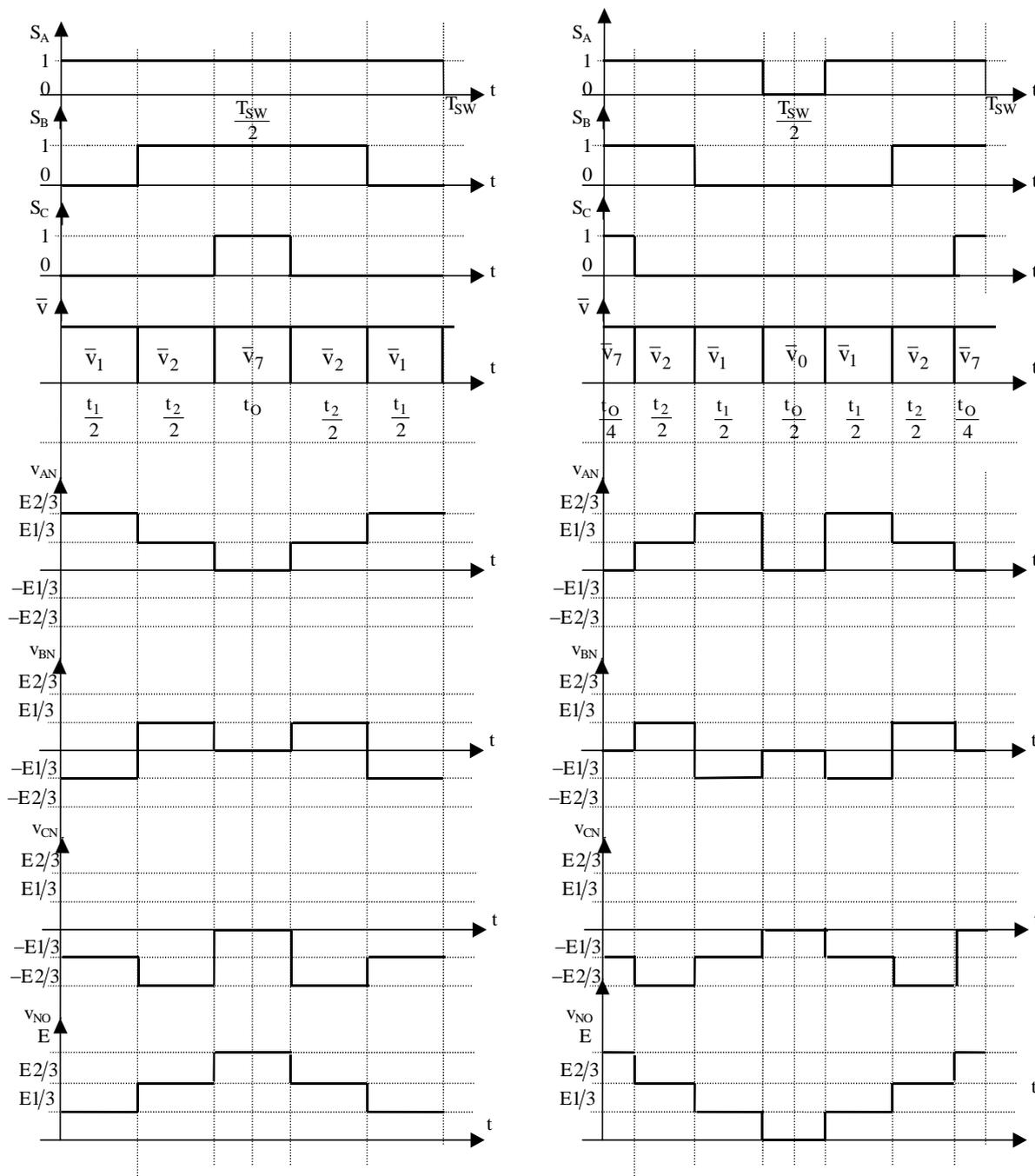


Fig. 3.11 Sintesi del vettore \bar{v}^* nel settore I mediante 2 tecniche SVM
 a sinistra: modulazione a 5 intervalli
 a destra: modulazione a 7 intervalli

Definiti i vettori \bar{v}_α , \bar{v}_β , \bar{v}_0 da applicare nei tempi t_α , t_β , t_0 ; a parità di altre condizioni, è la distribuzione del vettore nullo \bar{v}_0 nel periodo T_{sw} , che influenza pesantemente il comportamento del modulatore nella limitazione dell'ondulazione della corrente ottenuta sul carico.

Per comprendere questo fenomeno, si consideri l'andamento della tensione di fase v_{AN} in un periodo di commutazione T_{SW} al fine di ottenere un vettore di riferimento \bar{v}^* con argomento $\theta = 0$. Si supponga inoltre che il valore della f.c.e.m. di fase del carico sia costante lungo T_{SW} e pari al valore medio di v_{AN} . In Fig. 3.12 è mostrato l'andamento della corrente di fase i_A per due soluzioni estreme di distribuzione dei vettori principali nel periodo T_{SW} .

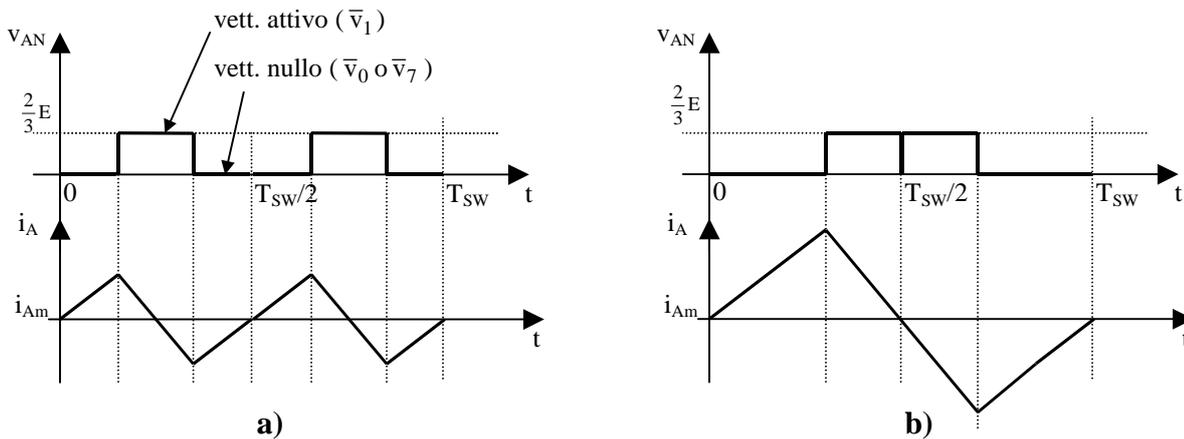


Fig. 3.12 *Andamento della corrente di fase i_A in un periodo di commutazione per due diverse distribuzioni del vettore nullo.*
a) distribuzione ottimale del vettore nullo nel periodo
b) distribuzione non ottimizzata del vettore nullo nel periodo

In Fig. 3.12-a gli impulsi di tensione corrispondenti all'applicazione dei vettori attivi sono distanziati tra loro il più possibile. L'effettiva frequenza di commutazione della tensione di fase è quindi doppia rispetto alla frequenza di commutazione del singolo ramo di inverter. La corrispondente variazione della corrente attorno al proprio valore medio i_{Am} ha quindi anch'essa frequenza doppia della frequenza di commutazione che è $1/T_{SW}$.

Nella Fig. 3.12-b la vicinanza dei vettori attivi applicati nei due semiperiodi fa sì che il ripple della corrente sia di ampiezza doppia rispetto al caso precedente e di frequenza pari alla frequenza di commutazione $1/T_{SW}$.

Tra le possibili tecniche di SVM le migliori prestazioni dal punto di vista della riduzione del ripple della corrente sono ottenute dalla modulazione che è capace di centrare esplicitamente i vettori attivi all'interno di ogni mezzo periodo di commutazione. Tale modulazione è quella a 7 intervalli, un cui esempio di modulazione è rappresentato Fig. 3.11-b.

Il vantaggio della centratura dei vettori attivi è particolarmente evidente quando il tempo occupato dai vettori attivi è piccolo rispetto al tempo totale di commutazione, cioè per indici di modulazione piccoli. Al contrario, per indici di modulazione elevati, cresce la componente

a frequenza f_{SW} a spese di quella a $2f_{SW}$. Data una frequenza di commutazione degli interruttori statici è un vantaggio avere l'ondulazione di corrente a frequenza doppia, poiché ne risulta facilitato (più economico) il filtraggio mediante filtri passivi RLC.

Ai fini del contenimento del ripple della corrente, la principale differenza tra modulazione SVM e PWM è proprio nella disposizione del vettore nullo nel periodo di commutazione. Nella tecnica PWM sinusoidale descritta in Par. 3.4.1 si ha lo stesso numero di commutazioni della fasi della tecnica SVM 7 intervalli qui descritta, ma manca l'esplicita centratura del vettore nullo nel periodo di commutazione. Nel PWM sinusoidale si ha quindi un ripple più elevato con componente alla frequenza f_{SW} superiore a quanto ottenibile con la modulazione SVM 7 intervalli.

3.5 Regolatori di corrente

Il regolatore di corrente è quella sezione del sistema di controllo di un convertitore statico che dato in ingresso l'errore di corrente fornisce in uscita il vettore tensione di riferimento \bar{v}^* che deve essere sintetizzato dal modulatore.

Nel Par.0 si sono analizzate due tecniche di modulazione che consentono di generare nel modo ottimale un vettore di tensione medio \bar{v}_S pari al vettore tensione di riferimento \bar{v}^* richiesto dal sistema di regolazione della corrente.

In questo Par. saranno presentate le seguenti tipologie di regolatori di corrente per inverter trifase:

- regolatore su assi fissi
- regolatore su assi rotanti
- regolatore digitale predittivo

3.5.1 Regolatore di corrente su assi fissi

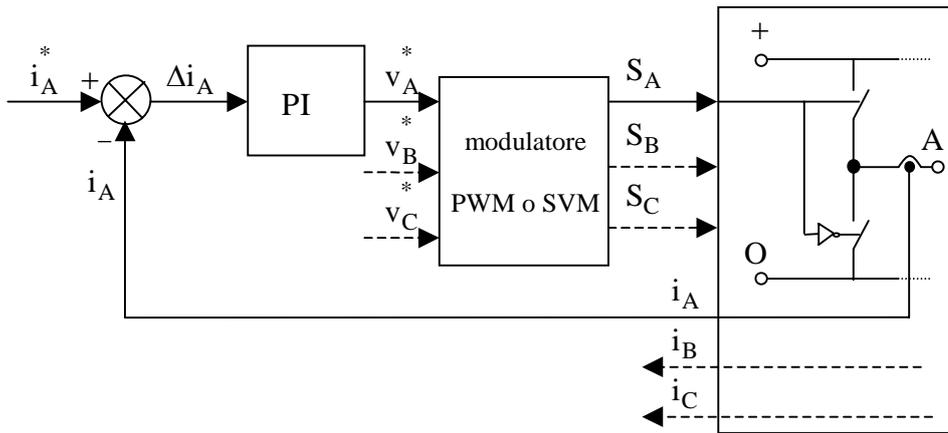


Fig. 3.13 Schema relativo alla sola fase A di un regolatore su assi fissi

Lo schema mostrato in Fig. 3.13 utilizza per ciascuna fase reale un regolatore di tipo PI (Proporzionale - Integrale) che è applicato direttamente all'errore di corrente nella fase. L'uscita del PI è quindi un riferimento di tensione di fase da applicare al modulatore. Tale tensione di fase è quella che applicata al carico sarebbe in grado di portare a zero l'errore di corrente.

Questo tipo di regolatori è spesso utilizzato per inseguire dei riferimenti sinusoidali. La natura stessa del regolatore PI determina un errore di fase ed un errore di ampiezza tra il valore della corrente ottenuta e segnale di riferimento. Per minimizzare questo errore si potrebbero utilizzare regolatori con funzioni di trasferimento di ordine superiore, tarate per il tipo di carico collegato all'inverter. Questa soluzione, oltre che complicare l'esecuzione della struttura di controllo, potrebbe portare ad una instabilità o ad un peggioramento delle prestazioni di inseguimento al variare del carico.

Normalmente i regolatori di corrente su assi fissi presentano una forte limitazione della banda passante per cui non sono in grado di inseguire riferimenti sinusoidali a frequenza elevata ed hanno prestazioni limitate nell'inseguimento di rapide variazioni della corrente di riferimento.

Questo tipo di regolatore pur essendo di facile realizzazione, specialmente se combinato ad un sistema di modulazione PWM, presenta forti limiti di prestazioni dinamiche che non lo rendono adatto ad essere impiegato in applicazioni dove è necessario inseguire segnali rapidamente variabili, come ad esempio nel filtro attivo.

Il regolatore su assi fissi schematizzato in Fig. 3.13 può essere implementato anche sugli assi α, β stazionari di Park. Le prestazioni del regolatore sugli assi α, β sono identiche a quelle ottenute con lo schema di Fig. 3.13.

3.5.2 Regolatore di corrente su assi rotanti

Questo regolatore di corrente, schematizzato in Fig. 3.14, si basa sull'impiego di due regolatori PI posti sulle componenti dell'errore di corrente riferito al s.d.r. bifasico rotante con velocità ω . La velocità di rotazione ω è la stessa del vettore di spazio \bar{v}^* che rappresenta i riferimenti della tensione che poi il modulatore dovrà sintetizzare [65]-[67].

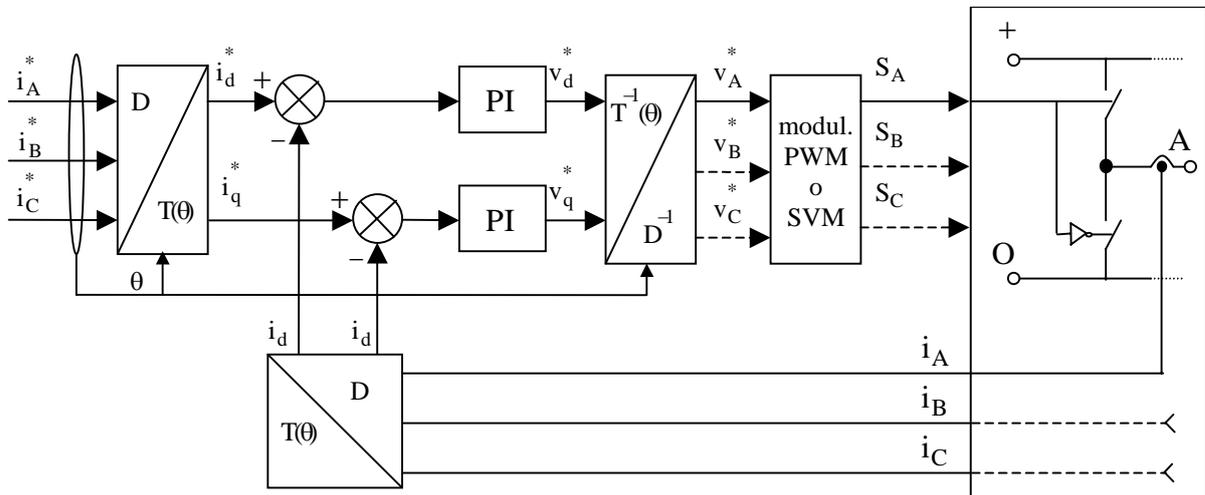


Fig. 3.14 Schema di un regolatore di corrente realizzato sugli assi rotanti

Se la terna delle correnti di riferimento i_A^*, i_B^*, i_C^* , hanno andamento sinusoidale nel tempo, con questo schema il regolatore PI si trova a dover inseguire riferimenti che non sono più sinusoidi come nel regolatore ad assi fissi, bensì valori costanti. Questo determina la scomparsa dell'errore a regime nella risposta al gradino e quindi a regime non vi è errore di fase o modulo tra corrente di riferimento e corrente generata. In questa applicazione inoltre non è necessario conoscere la posizione del sistema di riferimento rotante dato dall'angolo ϑ . È sufficiente che il sistema sia sincrono con la rotazione del vettore di riferimento; è sufficiente conoscere ω . In numerose applicazioni (filtro attivo o controllo vettoriale delle macchine) ϑ è generalmente noto dal sistema di controllo a monte del regolatore di corrente. Lo stesso effetto di una f_{cem} sinusoidale, in questo regolatore è vista come una costante.

Una volta generato il riferimento per la tensione \bar{v}^* , questo può essere sintetizzato mediante modulazione PWM o SVM.

A parità di regolatore PI, la larghezza di banda del regolatore su assi rotanti è la stessa del regolatore su assi fissi. Si hanno quindi prestazioni limitate nell'inseguimento di riferimenti di corrente con elevata dinamica.

Nel regolatore schematizzato in Fig. 3.14, si ha che gli assi dq sincroni non risultano disaccoppiati. Cioè una variazione della tensione sull'asse d termina anche una variazione della corrente sull'asse q. Per illustrare questo fenomeno si scriva la legge di Ohm utilizzando i vettori di spazio su un carico R-L-E

$$\text{Eq. 3.37} \quad \bar{v}_s = R \cdot \bar{i}_s + L \cdot \frac{d\bar{i}_s}{dt} + \bar{e}_s$$

Si consideri ora il sistema di riferimento rotante dq con velocità ω . I vettori che giacciono in questo nuovo sistema di riferimento sono individuati rispetto ai vettori di spazio nel s.d.r. fisso come:

$$\text{Eq. 3.38} \quad \bar{x} = \bar{x}_s \cdot e^{-j\omega t}$$

Per mezzo della Eq. 3.38, si riscrive la Eq. 3.37 rispetto al nuovo sistema di riferimento dq

$$\text{Eq. 3.39} \quad \bar{v} = R \cdot \bar{i} + L \cdot \frac{d\bar{i}}{dt} + j\omega L \bar{i} + \bar{e}$$

che scomposta sugli assi dq corrisponde a

$$\text{Eq. 3.40} \quad \begin{cases} v_d = R \cdot i_d + L \cdot \frac{di_d}{dt} - \omega L i_q + e_d \\ v_q = R \cdot i_q + L \cdot \frac{di_q}{dt} + \omega L i_d + e_q \end{cases}$$

Dalla Eq. 3.40 si osserva che per annullare la mutua dipendenza tra le fasi occorrerebbe compensare il cosiddetto termine mozionale $-\omega L i_q$, $\omega L i_d$.

Tale compensazione può essere realizzata in sede di regolatore di corrente come mostrato nello schema di Fig. 3.15. Ciò consente di realizzare il cosiddetto controllo disaccoppiato, dove:

-la componente i_d della corrente sull'asse d dipende solo da v_d e da R ed L ;

-la componente i_q della corrente sull'asse q dipende solo da v_q e da R ed L .

Per disaccoppiare gli assi d,q occorre fare in modo che le due uscite dei regolatori PI rappresentino solamente la tensione necessaria a vincere i due termini:

$$\text{Eq. 3.41} \quad \begin{cases} \tilde{v}_d = R \cdot i_d + L \cdot \frac{di_d}{dt} \\ \tilde{v}_q = R \cdot i_q + L \cdot \frac{di_q}{dt} \end{cases}$$

I restanti termini h_d , h_q sono noti al sistema di controllo e quindi possono essere aggiunti artificialmente al sistema di regolazione

$$\text{Eq. 3.42} \quad \begin{cases} h_d = -\omega L i_q + e_d \\ h_q = +\omega L i_d + e_q \end{cases}$$

In particolare è la compensazione dei termini mozionali $-\omega L i_q$, $+\omega L i_d$, che consente di migliorare le prestazioni del regolatore in fase transitoria, cioè durante le variazioni di frequenza.

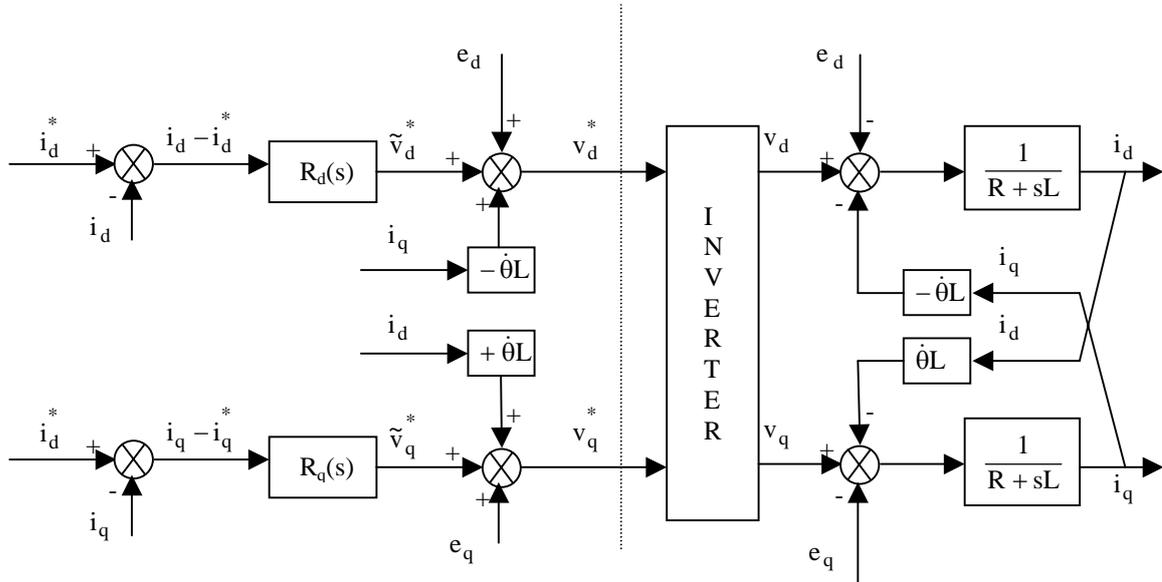


Fig. 3.15 Schema del regolatore di corrente su assi rotanti, rappresentato nel s.d.r. dq. A sinistra: rappresentazione del sistema di controllo con compensazione. A destra modello del sistema controllato.

3.5.3 Controllo digitale predittivo

In un sistema di controllo digitale per inverter trifase, per controllo predittivo si intende il calcolo, ad ogni tempo di ciclo, di un vettore tensione di riferimento \bar{v}^* . Tale vettore sarà sintetizzato dal modulatore (PWM o SVM) nel tempo di ciclo successivo, con lo scopo di forzare la corrente ad inseguire il riferimento [72].

In un sistema di controllo digitale con tempo di ciclo pari a T_C (vedi Fig. 3.16), si consideri l'intervallo di durata T_C , compreso tra gli istanti di campionamento: $[k-1, k]$. Durante questo intervallo deve essere calcolato il vettore di riferimento di tensione che sarà sintetizzato dal modulatore nell'intervallo $[k, k+1]$.

Nell'intervallo di calcolo $[k-1, k]$ sono disponibili le misure effettuate fino all'istante di campionamento $k-1$, cioè $k-1, k-2, k-3, \dots$

Il vettore di riferimento calcolato nell'intervallo di calcolo $[k-1, k]$ e applicato nell'intervallo $[k, k+1]$ deve annullare l'errore di corrente all'istante $k+1$.

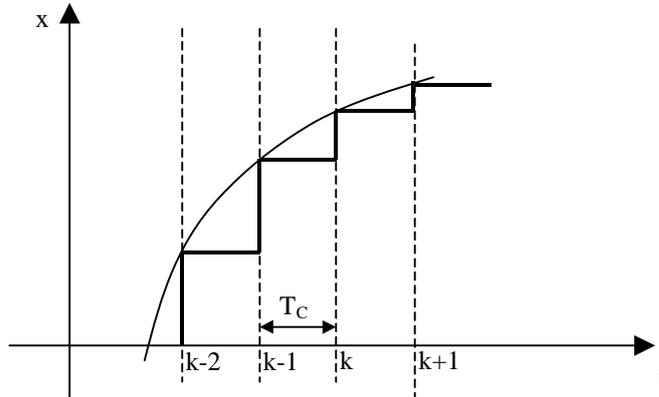


Fig. 3.16 Campionamento e discretizzazione di un segnale continuo con tempo di campionamento T_C .

L'equazione nei vettori di spazio del circuito R-L-E collegato all'inverter è:

$$\text{Eq. 3.43} \quad \bar{v}_S = \bar{e} + R_s \cdot \bar{i} + L \frac{d\bar{i}}{dt}$$

Volendo analizzare la variazione di corrente nell'intervallo T_C , e considerando che questo tempo di ciclo solitamente è piccolo (es: $T_C=100\mu s$) si può trascurare nella Eq. 3.43 l'effetto della resistenza R . Pertanto la Eq. 3.45 discretizzata con un tempo di discretizzazione pari al T_C diviene:

$$\text{Eq. 3.44} \quad \bar{v}_S(k) = \bar{e}(k) + \frac{L}{T_C} (\bar{i}(k) - \bar{i}(k-1))$$

L'errore di corrente all'istante di campionamento è dato da:

$$\text{Eq. 3.45} \quad \Delta \bar{i}(k) = \bar{i}^*(k) - \bar{i}^m(k)$$

dove $\bar{i}^*(k)$, $\bar{i}^m(k)$ sono rispettivamente la corrente di riferimento e la corrente misurata nell'istante k .

Se si ritiene che la f.cem \bar{e} e la corrente di riferimento \bar{i}^* rimangano costanti anche per il periodo di commutazione successivo, la tensione in uscita dall'inverter capace di annullare l'errore $\Delta \bar{i}(k)$ vale:

$$\text{Eq. 3.46} \quad \bar{v}^*(k) = \bar{e}(k) + \frac{L}{\Delta t} \cdot [\bar{i}^*(k) - \bar{i}^m(k)].$$

In realtà \bar{e} ed \bar{i}^* non rimangono costanti nel periodo $[k, k+1]$ e quindi non è garantito che la $\bar{v}^*(k)$ calcolata secondo la Eq. 3.46 sia la migliore possibile.

La fcem $\bar{e}(k)$ indicata nella Eq. 3.46 varia nell'intervallo $[k, k+1]$, per cui pare opportuno utilizzare in questa espressione il valore medio $\bar{e}^{av}(k)$ che la fcem assumerà nell'intervallo $[k, k+1]$. Il vettore tensione di riferimento che il modulatore deve sintetizzare nell'intervallo $[k, k+1]$, vale pertanto

$$\text{Eq. 3.47} \quad \bar{v}^*(k) = \bar{e}^{av}(k) + \frac{L}{\Delta t} \cdot \left[\bar{i}^* - \bar{i}^m(k) \right]$$

La fcem in diverse applicazioni può essere misurata o stimata, (come ad esempio in un convertitore AC/DC sinusoidale o in un filtro attivo), per cui il valore medio di fcem durante il periodo $[k, k+1]$ può essere correttamente calcolato dalla conoscenza dei valori di $\bar{e}(k), \bar{e}(k+1)$. Per mezzo di una interpolazione lineare il valore medio di $\bar{e}^{av}(k)$ nell'intervallo $[k, k+1]$ vale:

$$\text{Eq. 3.48} \quad \bar{e}^{av}(k) = \frac{\bar{e}(k+1) + \bar{e}(k)}{2}.$$

Se i valori di $\bar{e}(k), \bar{e}(k+1)$ non sono noti a priori, possono essere ragionevolmente stimati utilizzando le misure fatte negli istanti di campionamento precedenti ed estrapolandoli linearmente agli istanti (k) e $(k+1)$:

$$\text{Eq. 3.49} \quad \begin{cases} \bar{e}(k+1) = \bar{e}(k) + [\bar{e}(k) - \bar{e}(k-1)] = 2 \cdot \bar{e}(k) - \bar{e}(k-1) \\ \bar{e}(k) = \bar{e}(k-1) + [\bar{e}(k-1) - \bar{e}(k-2)] = 2 \cdot \bar{e}(k-1) - \bar{e}(k-2) \end{cases}$$

Risulta quindi per $\bar{e}^{av}(k)$ nell'intervallo $[k, k+1]$:

$$\text{Eq. 3.50} \quad \bar{e}^{av}(k) = \frac{\bar{e}(k+1) - \bar{e}(k)}{2} = \frac{5}{2} \bar{e}(k-1) - \frac{3}{2} \bar{e}(k-2).$$

Il valore della corrente "misurata" $\bar{i}_m(k)$ nell'istante (k) , da inserire nella Eq. 3.46 può essere a sua volta stimato, aggiungendo alla corrente misurata nell'istante $(k-1)$ la variazione di corrente prevista per l'intervallo $[k-1, k]$.

$$\text{Eq. 3.51} \quad \bar{i}^m(k) = \bar{i}^m(k-1) + \Delta i[k-1, k] = \bar{i}^m(k-1) + \frac{\Delta t}{L} \cdot \left\{ v^{av}(k-1) - \frac{e(k) + e(k-1)}{2} \right\}$$

dove sostituendo $\bar{e}(k)$ con il corrispondente valore stimato, espresso dalla Eq. 3.49-b si ottiene per $\bar{i}^m(k)$

$$\text{Eq. 3.52} \quad \bar{i}^m(k) = \bar{i}^m(k-1) + \frac{\Delta t}{L} \left\{ v^{av}(k-1) - \frac{3 \cdot e(k-1) - e(k-2)}{2} \right\}.$$

Sostituendo il valore di corrente i^* all'inizio dell'intervallo $[k, k+1]$, nella Eq. 3.47 si ha così il vettore tensione di riferimento $\bar{v}^*(k)$ che il modulatore deve sintetizzare nell'intervallo $[k, k+1]$ per ottenere il valore della corrente di riferimento i^* alla fine dell'intervallo cioè nell'istante $(k+1)$.

Il valore della corrente di riferimento da inserire in questa espressione dovrebbe essere $i^*(k+1)$, cioè la corrente alla fine dell'intervallo $[k, k+1]$. Questo valore è però noto a priori solamente in particolari applicazioni (vedi filtro attivo, alimentazione sinusoidale). In altre applicazioni si può fare, anche per il valore di riferimento, un'estrapolazione dai valori precedentemente utilizzati oppure utilizzare il valore $i^*(k)$ calcolato nell'intervallo attuale $[k-1, k]$.

Riassumendo, con questo metodo si calcola il valore medio del vettore tensione $\bar{v}^*(k)$ che va applicata al carico nell'intervallo successivo $[k, k+1]$; questo calcolo viene eseguito nell'intervallo di tempo $[k-1, k]$, sulla base dei campionamenti eseguiti fino all'istante $(k-1)$.

La sintesi del vettore di riferimento $\bar{v}^*(k)$ così calcolato, può essere affidato ad una delle diverse tecniche di modulazione PWM o SVM che sono state presentate nei paragrafi precedenti.

La tecnica di modulazione scelta determina altresì il comportamento del regolatore di corrente nel seguire il riferimento, contribuendo in particolare a minimizzare il ripple della corrente. Come già descritto nel Par.3.4.2, i risultati migliori si ottengono con la strategia del tipo SVM a 7 intervalli, dove ad ogni ciclo i vettori sono applicati in modo simmetrico rispetto al centro dell'intervallo.

Un non trascurabile vantaggio introdotto dall'utilizzo della tecnica di modulazione a tipo SVM a 7 intervalli è che con questa strategia l'ondulazione della corrente attorno al valore medio si annulla due volte per periodo di commutazione: all'estremità ed al centro. È in corrispondenza di uno di questi due punti che occorre campionare la corrente, in modo da minimizzare l'errore di lettura della corrente dovuta all'ondulazione presente.

In questo tipo di controllo digitale predittivo è quindi di assoluta importanza la sincronizzazione dell'istante di campionamento di i^m con l'inizio di ogni intervallo di commutazione, quando il valore istantaneo della corrente corrisponde al valore medio assunto nel periodo.

CAPITOLO 4

SISTEMA DI SINCRONIZZAZIONE CON LA RETE

4.1 Necessità del dispositivo ad agganciamento in fase

Il sistema sviluppato è un dispositivo che nelle sue diverse modalità di funzionamento (filtro attivo od UPS) può essere connesso in parallelo ad una rete di distribuzione pubblica. È pertanto indispensabile un sistema di riconoscimento della tensione di rete, che sia correttamente funzionante ed affidabile in ogni condizione operativa del sistema. L'identificazione della rete richiesta nelle diverse modalità di funzionamento del PCS (v. Paragrafo. 1.3.3) consiste nell'estrazione del vettore di Park corrispondente alla sola componente fondamentale di sequenza positiva della tensione di rete. A questo scopo è stato sviluppato un sistema di aggancio in fase con la tensione di rete, dedicato ai sistemi trifase, che è stato denominato TPLL (*Three Phase Locked Loop*). Il TPLL deve generare correttamente il vettore tensione \bar{v}_{Sdq}^{+1} , anche in presenza di una forte distorsione armonica della tensione di rete composta da termini a bassa frequenza preesistenti sulla alimentazione e da termini introdotti dalla commutazione dell'inverter. Il vettore \bar{v}_{Sdq}^{+1} deve risultare corretto anche in presenza di sbilanciamento della tensione di rete.

Il TPLL deve essere stabile di fronte alle perturbazioni introdotte sul sistema da eventuali fenomeni di disturbo aleatori presenti sulla tensione di rete, quali: voltage sags, abbassamenti di tensione, interruzione di una fase, ecc. Il TPLL inoltre, deve essere rapido nel compiere la sequenza di aggancio.

Durante il funzionamento da filtro attivo, un errore di sincronizzazione nel circuito di agganciamento determinerebbe una immediata perdita di sincronismo tra il sistema delle tensioni di rete ed il sistema delle correnti iniettate dal filtro. Questa condizione di guasto si manifesterebbe nell'algoritmo di controllo del filtro attivo PCS (v. paragrafo 1.3.2.1), come uno sfasamento incontrollato tra il vettore tensione di rete \bar{v}_{Sdq} ed il vettore corrente di rete di riferimento \bar{i}_{Sdq}^* generato dal loop di regolazione della tensione di bus dc. Tale condizione di errore porterebbe il filtro a perdere il controllo della tensione di bus dc. Il sistema di controllo

nel tentativo di recuperare a questo errore, potrebbe richiedere elevati valori di corrente di sorgente, e quindi di filtro, tali da compromettere la funzionalità del sistema.

La perdita di sincronismo con la tensione di rete è in grado di compromettere anche il funzionamento dei regolatori di corrente che controllano la corrente iniettata dal filtro. Questo perché la tensione di rete ricostruita \bar{v}_{Sdq} dal circuito di agganciamento è utilizzata all'interno di questi regolatori (v. paragrafo 1.3.4) per calcolare la tensione da generare con l'inverter. Un errore nella stima della tensione di filtro da applicare determina ovviamente un pericoloso errore nella corrente iniettata.

Durante lo sviluppo del dispositivo PCS, sono state sviluppate e verificate diverse versioni di circuiti di agganciamento trifase: si è studiata la loro struttura, e si sono eseguite simulazioni per verificarne il comportamento. I sistemi di aggancio sviluppati sono stati testati sperimentalmente per dimostrarne le prestazioni sui segnali di rete in condizioni di esercizio del convertitore statico.

In questo capitolo saranno esaminate le due strutture di agganciamento realizzate, che sono il doppio PLL monofase, ed il TPLL vero e proprio. I due schemi hanno prestazioni assai diverse, ed indubbiamente la seconda soluzione è da preferirsi in quanto è la sola in grado di soddisfare pienamente tutti i requisiti richiesti al circuito di agganciamento sopra esposti.

I circuiti di agganciamento realizzati si basano entrambi sul principio di funzionamento del circuito PLL (*Phase Locked Loop*) standard. Tale dispositivo, che è diffusamente impiegato come demodulatore nel settore delle telecomunicazioni, sarà illustrato nel paragrafo seguente.

4.2 Analisi del PLL standard

La *maglia ad aggancio di fase (Phase-Locked Loop, PLL)* è un circuito a retroazione che fornisce come output un segnale sinusoidale sincrono ed in fase con il segnale di ingresso.

Come mostrato nello schema di Fig. 4.1, il PLL è costituito essenzialmente da due blocchi: un *rivelatore di fase*, che realizza il nodo di confronto, ed un *oscillatore controllato (VCO)*, che genera un segnale alla frequenza desiderata.

Il *filtro passa-basso*, che è parte integrante del rivelatore di fase, viene normalmente rappresentato separatamente, per la sua notevole importanza sul funzionamento dell'intero circuito a retroazione.

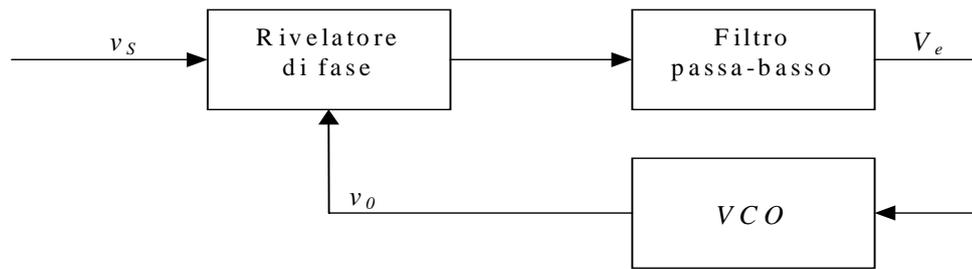


Fig. 4.1 schema a blocchi di una maglia ad aggancio di fase (PLL)

4.2.1 Rivelatore di fase lineare

Dati due segnali periodici in ingresso, il rivelatore di fase fornisce in uscita un segnale proporzionale alla differenza di fase degli ingressi.

Un rivelatore di fase si realizza inviando i segnali in esame ad un moltiplicatore con in cascata un filtro passa-basso. Al fine di evitare che l'uscita del rivelatore dipenda dalle ampiezze dei segnali in ingresso, questi sono convertiti in due segnali ad onda quadra, di ampiezza unitaria, aventi il medesimo periodo e la stessa fase del segnale originario. Questa conversione è eseguita da squadratori a comparatore che rilevano il passaggio per lo zero del segnale originario come mostrato in Fig. 4.2.

Supponendo che i segnali sinusoidali d'ingresso abbiano la stessa frequenza e fase diversa, e siano prima applicati a due comparatori (vedi Fig. 4.3, a-b), al moltiplicatore arriveranno due segnali ad onda quadra con uguale periodo T , tra loro in ritardo di tempo Δt :

$$\text{Eq. 4.1} \quad \Delta t = \frac{\varphi}{\omega}$$

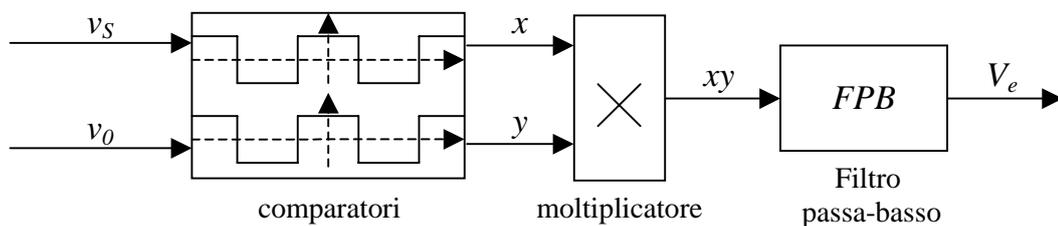


Fig. 4.2 Schema a blocchi del rivelatore di fase lineare

dove ω [rad/s] è la pulsazione comune ai due segnali e φ [rad] il loro sfasamento. Il segnale prodotto (Fig. 4.3, c) ha periodo $T/2$ ed un valore medio V_0 che si deduce dalla relazione:

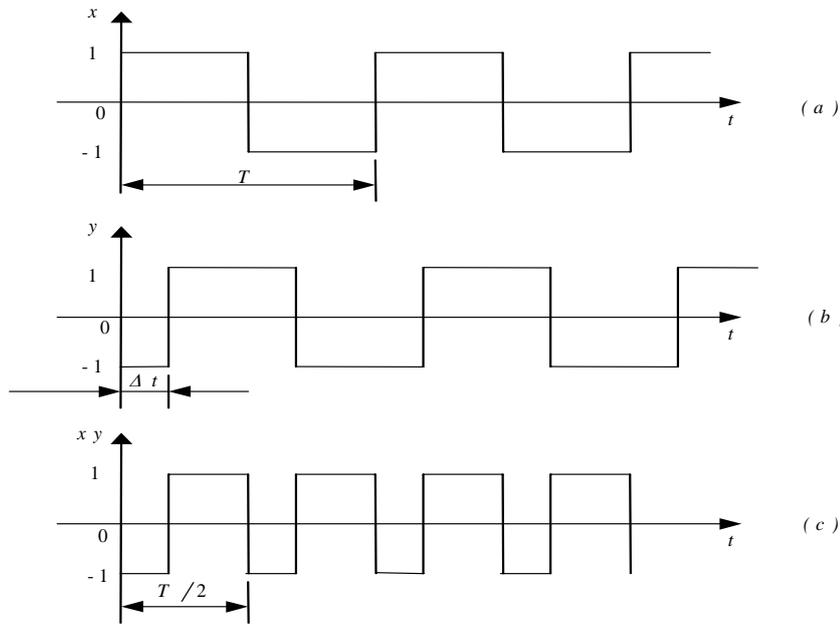


Fig. 4.3 Segnali nel rivelatore di fase

$$\text{Eq. 4.2} \quad V_0 = \frac{2}{T} \int_0^{T/2} xy dt = \frac{2}{T} \left(\frac{T}{2} - \Delta t - \Delta t \right) = 1 - 4 \frac{\Delta t}{T}$$

Sostituendo nella Eq. 4.1 l'espressione di Δt della Eq. 4.2 si ottiene:

$$\text{Eq. 4.3} \quad V_0 = \frac{2}{T} \int_0^{T/2} xy dt = 1 - 4 \frac{\varphi}{\omega T} = 1 - 2 \frac{\varphi}{\pi}$$

Nella Eq. 4.3 il valore medio V_0 del prodotto (xy) risulta funzione lineare della differenza di fase φ tra i due segnali sinusoidali di partenza. Nel PLL realizzato, il valore medio V_0 è ottenuto applicando il prodotto xy ad un filtro passa basso opportunamente dimensionato. Al variare della differenza di fase φ , il valore medio V_0 segue l'andamento di Fig. 4.4, dove si osserva che si annulla quando i due segnali originari sono in quadratura.

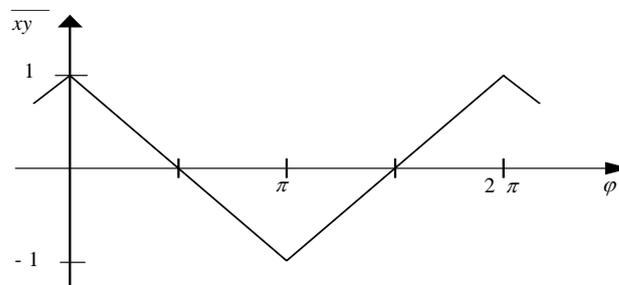


Fig. 4.4 Segnale in uscita dal filtro passa basso in cascata al rivelatore di fase al variare della differenza di fase φ .

4.2.2 Oscillatore controllato (VCO)

Un oscillatore controllato è un oscillatore che, in assenza di segnale all'ingresso, genera in uscita un segnale sinusoidale alla pulsazione ω_0 , denominata frequenza libera dell'oscillatore (free-running frequency). In seguito, per effetto di un segnale V_e applicato al suo ingresso, la pulsazione di oscillazione varia di una quantità $\Delta\omega$ proporzionale all'ampiezza di tale segnale. Si può pertanto scrivere:

$$\text{Eq. 4.4} \quad \Delta\omega = K_0 V_e$$

dove K_0 è il guadagno di conversione del VCO.

4.2.3 Sequenza di aggancio

Con riferimento alla Fig. 4.1, assumendo il circuito a retroazione negativa, si illustra la sequenza di aggancio in fase tra il segnale d'ingresso v_S ed il segnale v_0 in uscita dal VCO.

Supponendo l'anello di retroazione inizialmente interrotto a monte del VCO, si ha che il segnale v_0 in uscita dal VCO oscilla alla pulsazione libera dell'oscillatore ω_0 . Supponendo di avere un segnale di ingresso v_S di pulsazione ω_S poco superiore a ω_0 , all'uscita del filtro passa-basso si ha un'oscillazione sinusoidale di pulsazione $\omega_S - \omega_0$. Alla chiusura dell'anello, per effetto del segnale errore V_e all'uscita del filtro, anche il valore della pulsazione di oscillazione del VCO diventa funzione sinusoidale del tempo.

Esiste quindi un certo intervallo di tempo nel quale la pulsazione v_0 all'uscita del VCO si avvicina a quella del segnale d'ingresso riducendo, di conseguenza, la frequenza del segnale errore V_e , ed un successivo intervallo nel quale la pulsazione di v_0 si allontana da essa determinando un aumento della pulsazione di V_e .

Questa asimmetria tra la durata della semionda positiva e della semionda negativa di V_e introduce nel segnale errore una componente continua che rende il valore medio della pulsazione all'uscita del VCO più prossimo a quello del segnale d'ingresso, riducendo così l'escursione del segnale errore stesso. Quando la pulsazione di v_0 coincide con quella dell'ingresso v_S , il segnale errore V_e diventa continuo (vedi Fig. 4.5). In queste condizioni i segnali sinusoidali v_S e v_0 sono sincroni e risultano tra loro sfasati di quella quantità necessaria per poter generare un segnale errore V_e di ampiezza tale da rendere il segnale all'uscita del VCO isofrequenziale con l'ingresso. Raggiunta questa condizione si dice che il PLL è *agganciato (locked)* al segnale di ingresso.

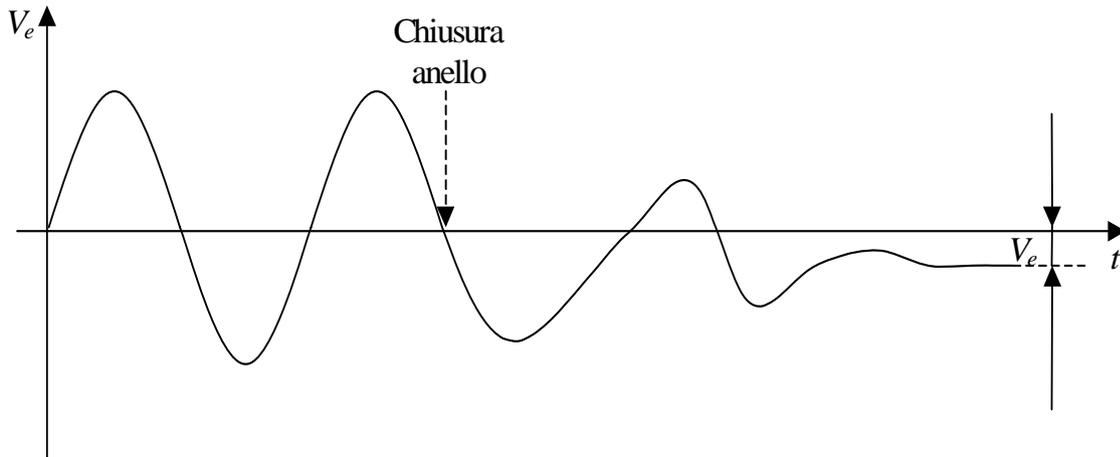


Fig. 4.5 Andamento della tensione V_e durante il transitorio di aggancio

Il filtro passa basso deve essere dimensionato in modo da non attenuare il segnale a pulsazione $\omega_s - \omega_0$; ne consegue che il PLL è in grado di fornire un segnale agganciato in fase al segnale d'ingresso soltanto se ω_s e ω_0 sono abbastanza prossimi tra loro. L'insieme dei valori di ω_s per i quali si verifica l'aggancio prende il nome di *campo di cattura* (*capture range*)

Se una volta avvenuto l'aggancio, la pulsazione ω_s del segnale d'ingresso varia, per effetto di tale variazione viene modificata l'ampiezza del segnale errore e, quindi, la frequenza di oscillazione del VCO.

Pertanto il PLL, una volta agganciato può seguirne, le variazioni di frequenza del segnale in ingresso entro certi limiti. La massima escursione di pulsazione per la quale viene mantenuto l'aggancio prende il nome di *campo di aggancio* (*lock-in range*), che è sempre superiore al campo di cattura, come mostrato in Fig. 4.6.

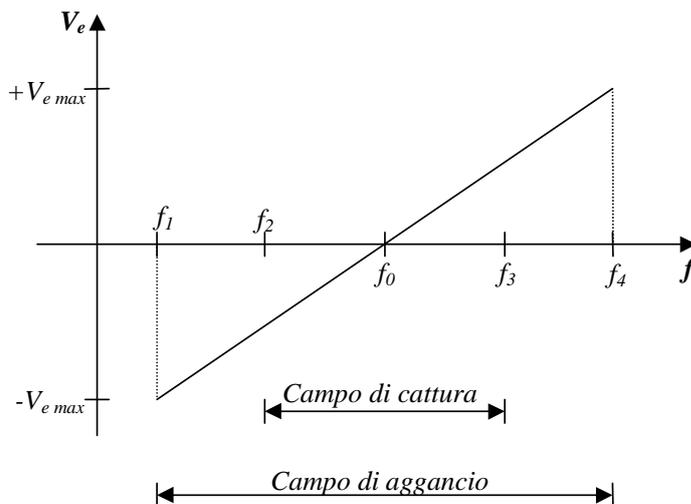


Fig. 4.6 Caratteristica di trasferimento di un PLL

4.3 Il "doppio PLL monofase"

La prima struttura di agganciamento con la rete che è stata sviluppata è quella denominata "doppio PLL monofase", uno schema di principio di questo sistema di agganciamento è mostrato in Fig. 4.7.

Questa struttura prevede l'acquisizione di due tensioni concatenate di rete ad es. v_{Sab}, v_{Sbc} .

Utilizzando le trasformazioni di Park (v. Appendice 1), si determinano le componenti sugli assi dqs stazionari del vettore di spazio \bar{e}_{SdqS} che rappresenta la tensione di fase della rete di alimentazione. Alle due componenti e_{Sds}, e_{Sqs} del vettore di spazio così calcolate si applicano due circuiti ad agganciamento di fase (PLL) indipendenti che implementano il principio di funzionamento del PLL monofase secondo quanto descritto nel Par. 4.2.

Questo schema, per ciascuna componente sugli assi d e q, genera una senoide di ampiezza unitaria, rispettivamente \hat{e}_{Sds} e \hat{e}_{Sqs} sincronizzata con il corrispondente segnale in ingresso.

Nota istante per istante la tensione di fase unitaria agganciata \hat{e}_{SdqS} , per ottenere il vettore tensione di fase agganciato \bar{e}_{SdqS}^* occorre calcolarne l'ampiezza E_{Sdq} . La valutazione di E_{Sdq} avviene mediante un algoritmo che calcola il valore efficace di \bar{e}_{SdqS} a monte del PLL. E_{Sdq} così calcolato è poi applicato al vettore normalizzato \hat{e}_{SdqS} .

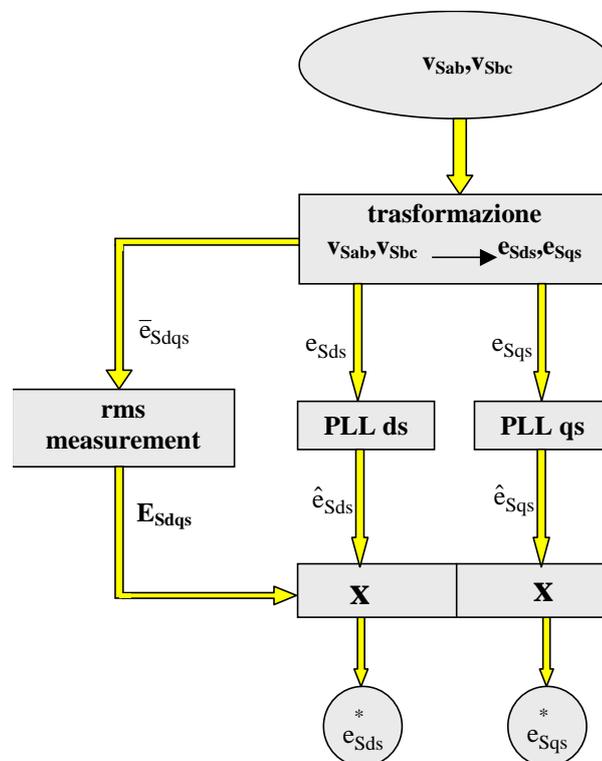


Fig. 4.7 Struttura del "doppio PLL monofase"

Con questa soluzione il vettore delle tensioni di fase agganciato \bar{e}_{SdqS}^* , descrive un luogo circolare, che quindi rappresenta sempre una terna di tensioni sinusoidali, simmetriche ed equilibrate. L'ampiezza assegnata a questo vettore corrisponde al valore efficace complessivo della tensione di fase \bar{e}_{SdqS} . Considerato che la tensione di rete è affetta da distorsione armonica, con questa tecnica si assegnerà al vettore agganciato una ampiezza sicuramente maggiore di quella propria della fondamentale del segnale originario. L'entità dello scostamento è tanto più elevata quanto maggiore è la distorsione armonica presente nella tensione di rete.

In altri termini, il sistema di agganciamento così concepito, fornisce un vettore agganciato, corrispondente alla fondamentale di sequenza positiva della tensione di rete, solo in presenza di tensioni di rete perfettamente sinusoidali, simmetriche ed equilibrate.

I due rivelatori di fase presenti nel "*doppio PLL monofase*" sono basati su squadratori a comparatori che rivelano il passaggio per lo zero della tensione di rete. In questi comparatori, il ripple dovuto alla commutazione dell'inverter, può creare indeterminazione nel rilevare il passaggio per lo zero dei segnali tensione di rete e_{Sds} , e_{Sqs} . Questo errore determina delle oscillazioni dell'uscita del PLL attorno alla posizione di equilibrio, e in condizioni di rete particolarmente distorta, può condurre ad una momentanea perdita di sincronismo.

Il "*doppio PLL monofase*" non è in grado di rilevare un eventuale disimmetria della tensione di rete, né tantomeno di fornire in uscita la sola componente fondamentale di sequenza positiva.

Da quanto descritto, questo tipo di sistema di agganciamento non pare in grado di soddisfare ai requisiti attesi per il sistema di agganciamento, in particolare nei riguardi dell'affidabilità del sistema. Nonostante le problematiche evidenziate, il "*doppio PLL monofase*" è stato il primo algoritmo di agganciamento sviluppato per questa applicazione, ed è stato pertanto utilizzato nelle prime fasi di sperimentazione del filtro attivo. L'inconveniente di dover misurare il valore efficace della tensione con un integratore aggiuntivo e quindi di commettere un errore nella stima della componente fondamentale di tensione non ha effetto nel sistema di regolazione della tensione di bus dc del filtro attivo (v. paragrafo 1.3.2.1), in quanto in questa sezione del controllo è sufficiente disporre del vettore unitario in fase con la tensione di rete. Nel regolatore di corrente invece, si commette un errore nella stima della tensione di rete, che però incide in misura minima nella determinazione della tensione di filtro da applicare.

In un secondo tempo si è voluto sintetizzare una tecnica di agganciamento circuitalmente più semplice e che fosse più stabile ed affidabile della precedente in modo da poter essere

convenientemente utilizzata in tutte le applicazioni di sviluppate per 'apparato sperimentale realizzato.

4.4 Three-Phase Locked Loop (TPLL)

Il *Three Phase Locked Loop* (TPLL) illustrato in questo paragrafo è stato concepito appositamente per questa applicazione di PCS, con l'obiettivo di individuare la fase del vettore di spazio che rappresenta la componente fondamentale di sequenza positiva della tensione di rete. L'agganciamento in fase con questo vettore deve avvenire anche in presenza di forti non idealità nella tensione di rete.

Le non idealità presenti nella tensione di rete alle quali il TPLL dovrebbe essere immune sono: lo squilibrio della fondamentale, le armoniche di ordine basso (5, 11, ecc.), e le armoniche ad alta frequenza introdotte dalla commutazione dell'inverter.

Il TPLL realizzato è in grado di fornire sia la fase della componente fondamentale di sequenza positiva che la sua ampiezza, senza la necessità di particolari circuiti di integrazione per il calcolo del valore efficace.

4.4.1 Principio di funzionamento

L'output generato dal TPLL è la posizione $\hat{\theta}$ del sistema di riferimento rotante definito secondo la rappresentazione di Park (v. Appendice 1). Lo scopo del loop di regolazione è quello di far sì che l'angolo $\hat{\theta}$ sia il più vicino possibile all'angolo di fase θ del vettore di spazio \bar{e}_{SdqS}^{+1} (corrispondente alla fondamentale di sequenza positiva della tensione di rete).

Ciò deve realizzarsi anche in presenza di armoniche sovrapposte a questa componente che agiscono come disturbi.

Il principio di funzionamento di questo loop di controllo rispecchia lo schema del PLL standard già illustrato in Par 4.2 e riproposto in Fig. 4.8. Lo schema del PLL standard di Fig. 4.8 differisce da quello già illustrato in Fig. 4.1 solo per l'aggiunta del regolatore $R(s)$. Nella trattazione fatta nel Par. 4.2 tale funzione era assolta dal filtro passa basso FPB interno al rivelatore di fase.

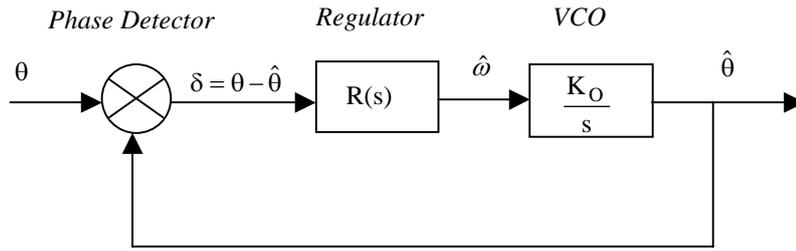


Fig. 4.8 Schema del PLL standard

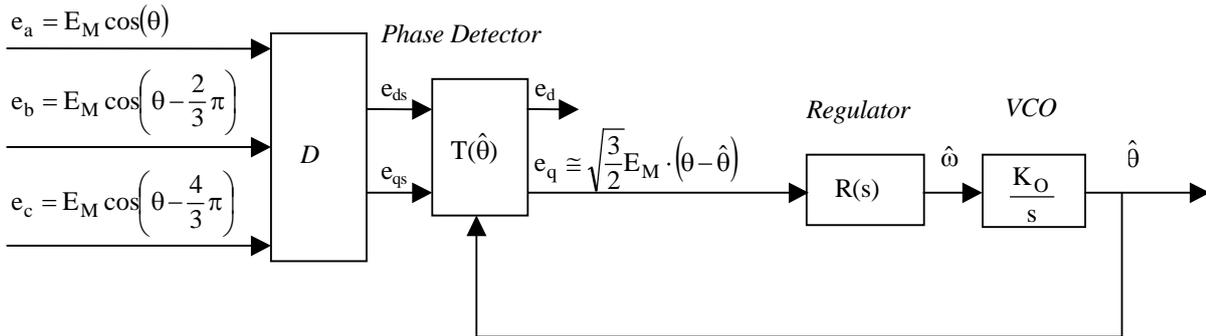


Fig. 4.9 Schema del TPLL proposto

Il TPLL proposto si differenzia dallo schema di PLL standard per il blocco rivelatore di fase che nel TPLL è ottenuto dalla stessa funzione che realizza la trasformazione di Park dalle grandezze trifase alla rappresentazione sugli assi d-q nel sistema di riferimento rotante. Lo schema del TPLL così realizzato è mostrato in Fig. 4.9. In pratica nel TPLL si realizza un'integrazione tra i blocchi che realizzano la trasformazione di Park sugli assi rotanti e la funzione di rivelatore di fase.

Con riferimento al loop di Fig. 4.8, il segnale di riferimento è il valore della fase θ , mentre la fase calcolata $\hat{\theta}$ è l'uscita. Le caratteristiche di questo sistema di controllo nell'inseguimento del valore di θ saranno pertanto definite dal regolatore $R(s)$.

La funzione di trasferimento ad anello chiuso dello schema di PLL standard è dato da:

$$\text{Eq. 4.5} \quad H(s) = \frac{\hat{\theta}(s)}{\theta(s)} = \frac{K_O R(s)}{s + K_O R(s)},$$

se per $R(s)$ si sceglie un regolatore di tipo PI: $R(s) = K_P + \frac{K_I}{s}$ la Eq. 4.5 assume l'espressione di una tipica funzione di trasferimento del secondo ordine, infatti la Eq. 4.5 riscritta nella forma canonica diventa

$$\text{Eq. 4.6} \quad H(s) = \frac{2\delta\omega_n s + \omega_n}{s^2 + 2\delta\omega_n s + \omega_n^2}; \quad \text{dove:} \quad \begin{cases} \omega_n = \sqrt{K_O K_I} \\ \xi = \frac{\sqrt{K_O K_P^2}}{2 K_I} \end{cases}$$

Il comportamento desiderato del TPLL come inseguitore di fase è quindi determinato dai valori scelti per K_I e K_P . Questo sistema si basa sull'ipotesi che sia possibile estrarre correttamente l'informazione sulla differenza di fase tra i segnali in ingresso ed in uscita. L'implementazione di questo inseguitore di fase su di un segnale reale richiede l'impiego di un rivelatore di fase che dia questa informazione. Nella descrizione di Par. 4.2 il rivelatore di fase è costituito da squadratori a comparatori, che come evidenziato determinano l'insorgere di errori ed instabilità nel sistema di inseguimento. La sostituzione di questo rivelatore di fase con il nuovo rivelatore, basato sulla trasformazione di Park (v. Fig. 4.10, porta a superare questi problemi.

Si consideri una terna di tensioni di rete sinusoidali, simmetriche ed equilibrate, dove $\theta = \omega t$ sia l'angolo di fase della tensione di fase $e_{S_a}(t)$. In questa condizione il sistema delle tensioni di rete è rappresentato solamente dal vettore \bar{e}_{Sdq}^{+1} corrispondente alla componente fondamentale di sequenza positiva, la cui posizione è individuata dall'angolo θ . Il sistema di agganciamento TPLL è in grado di allineare l'asse d del sistema di riferimento rotante dq, individuato dall'angolo $\hat{\theta}$ con la direzione di \bar{e}_{Sdq}^{+1} . Per ottenere questo, il rivelatore di fase del TPLL utilizza la componente della tensione di rete e_{S_q} sugli assi rotanti, come quantità proporzionale all'errore di fase: $\delta = \theta - \hat{\theta}$.

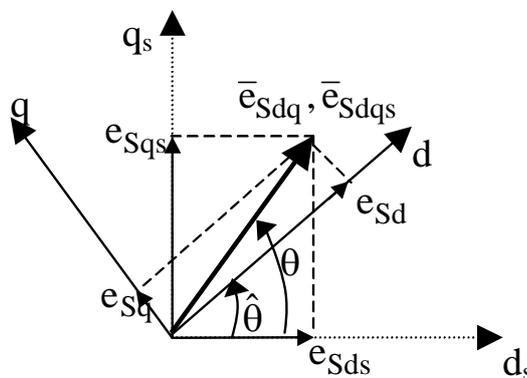


Fig. 4.10 *Rappresentazione dei vettori tensione di rete \bar{e}_{Sdq}^{+1} ed \bar{e}_{Sdq} nei sistemi di riferimento bifasici fisso e rotante.*

La terna delle tensioni di fase di rete, costituita dalla sola fondamentale di sequenza positiva è espressa dal vettore \bar{e}_{Sabc}

$$\text{Eq. 4.7} \quad \bar{e}_{Sabc} = E_M \begin{pmatrix} \cos \theta \\ \cos\left(\theta - \frac{2}{3}\right) \\ \cos\left(\theta - \frac{4}{3}\right) \end{pmatrix}$$

Il vettore tensione \bar{e}_{Sabc} può essere espresso nel sistema di riferimento fisso dq_s utilizzando la trasformazione

$$\text{Eq. 4.8} \quad \bar{e}_{Sdq_s} = D \cdot \bar{e}_{abc_s},$$

dove la matrice di trasformazione D è

$$\text{Eq. 4.9} \quad D = \sqrt{\frac{2}{3}} \begin{pmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{pmatrix}.$$

Sostituendo la Eq. 4.7 e la Eq. 4.9 nella Eq. 4.8, risulta per \bar{e}_{Sdq_s}

$$\text{Eq. 4.10} \quad \bar{e}_{Sdq_s} = \sqrt{\frac{3}{2}} E_M \begin{pmatrix} \cos \theta \\ \sin \theta \end{pmatrix}.$$

È poi possibile rappresentare il vettore tensione \bar{e}_{Sdq_s} sul sistema di riferimento rotante dq individuato dall'angolo $\hat{\theta}$ generato dall'output del VCO. Il vettore risultante \bar{e}_{Sdq} è dato dalla seguente trasformazione

$$\text{Eq. 4.11} \quad \bar{e}_{dq} = T(\hat{\theta}) \cdot \bar{e}_{dq_s}.$$

dove $T(\hat{\theta})$ è

$$\text{Eq. 4.12} \quad T(\hat{\theta}) = \begin{pmatrix} \cos \hat{\theta} & \sin \hat{\theta} \\ -\sin \hat{\theta} & \cos \hat{\theta} \end{pmatrix}.$$

Sostituendo il valore di \bar{e}_{Sdq_s} calcolato in Eq. 4.10 si ha per \bar{e}_{Sdq}

$$\text{Eq. 4.13} \quad \bar{e}_{Sdq} = \sqrt{\frac{3}{2}} E_M \begin{pmatrix} \cos \hat{\theta} & \sin \hat{\theta} \\ -\sin \hat{\theta} & \cos \hat{\theta} \end{pmatrix} \cdot \begin{pmatrix} \cos \theta \\ \sin \theta \end{pmatrix}$$

che può essere riscritta come

$$\text{Eq. 4.14} \quad \bar{e}_{dq} = \sqrt{\frac{3}{2}} E_M \begin{pmatrix} \cos(\theta - \hat{\theta}) \\ \sin(\theta - \hat{\theta}) \end{pmatrix} = \sqrt{\frac{3}{2}} E_M \begin{pmatrix} \cos \delta \\ \sin \delta \end{pmatrix}.$$

dove, riepilogando:

$\theta = \omega t$ Angolo di fase del vettore \bar{e}_{SdqS} rispetto al sistema di riferimento stazionario dqS.

$\hat{\theta}$ Angolo di fase del sistema di riferimento rotante dq rispetto al sistema di riferimento stazionario dqS. $\hat{\theta}$ è l'output generato dal circuito TPLL

$\delta = \theta - \hat{\theta}$ Errore tra la fase del vettore rotante \bar{e}_{SdqS} e la fase del riferimento rotante dq.

In condizioni prossime alla sincronizzazione, l'angolo di errore δ è piccolo, pertanto la componente sull'asse q della tensione di fase e_q può essere ritenuta proporzionale a tale errore

$$\text{Eq. 4.15} \quad e_q = \sqrt{\frac{3}{2}} E_M \sin \delta \cong \sqrt{\frac{3}{2}} E_M \cdot \delta .$$

In questo modo si realizza un rivelatore di fase lineare, che dà in uscita un segnale proporzionale all'errore tra la fase del vettore di componente fondamentale di sequenza positiva del segnale in ingresso e la posizione del sistema di riferimento rotante. Grazie a questo dispositivo si può dimensionare il TPLL in modo opportuno al fine di ottenere una sincronizzazione veloce e precisa con il segnale di ingresso anche in presenza di armoniche sovrapposte al segnale in ingresso che agiscono come disturbi.

La funzione di trasferimento del TPLL è quindi la stessa di quella del PLL standard in Eq. 4.6, dove i valori di pulsazione naturale ω_n e coefficiente di smorzamento ζ sono riscritti considerando le costanti introdotte dal nuovo rivelatore di fase

$$\text{Eq. 4.16} \quad \begin{cases} \omega_n = \sqrt{1.225 E_M K_O K_I} \\ \zeta = \frac{\sqrt{1.225 E_M K_O K_P^2}}{2 K_I} \end{cases} .$$

Anche il comportamento di questo loop di controllo è determinato dai due parametri scelti per il regolatore PI: K_I e K_P , e per il guadagno di anello: $1.225 E_M K_O$. La comparsa del termine ampiezza della tensione di rete E_M , in realtà non costituisce un problema per la messa a punto del sistema di aggancio. Infatti, se il TPLL è connesso ad una rete di distribuzione pubblica, l'ampiezza E_M del vettore tensione di rete, in prima approssimazione può essere considerata come nota. Si è verificato che piccole variazioni dell'ampiezza della tensione dal valore impostato come parametro non alterano le prestazioni di aggancio del sistema.

Come è già stato evidenziato, quando il PCS è collegato in parallelo alla rete e funziona come filtro attivo, le non idealità della tensione di rete non possono essere trascurate. Le armoniche ad alta frequenza introdotte dalla commutazione dei dispositivi elettronici di potenza, anche se filtrate da un opportuno filtro RLC, sono sempre sovrapposte alla componente fondamentale della tensione. Inoltre, la rete di distribuzione pubblica è spesso affetta da distorsione armonica di ordine basso, ed è possibile la presenza di tensioni sbilanciate.

Se si esprime il vettore di spazio che rappresenta la tensione di rete in serie di Fourier, si possono evidenziare questi contributi:

$$\text{Eq. 4.17} \quad \bar{e}_{\text{Sdq}s} = \bar{e}_{\text{Sdq}s}^{+1} + \bar{e}_{\text{Sdq}s}^{-1} + \sum_{k=\pm 2}^{\pm \infty} \bar{e}_{\text{Sdq}s}^k$$

dove:

$\bar{e}_{\text{Sdq}s}^{+1}$ vettore di spazio che rappresenta la componente fondamentale di sequenza positiva

$\bar{e}_{\text{Sdq}s}^{-1}$ vettore di spazio che rappresenta la componente fondamentale di sequenza negativa, che ruota con velocità opposta a quella del vettore di sequenza positiva $\bar{e}_{\text{Sdq}s}^{+1}$.

$\sum_{k=\pm 2}^{\pm \infty} \bar{e}_s^k$ sommatoria dei vettori di spazio rotanti a velocità più elevate che rappresentano il contenuto armonico alle frequenze superiori.

Se la tensione di rete fosse sinusoidale e bilanciata, la componente fondamentale di sequenza positiva sarebbe la sola presente $\bar{e}_{\text{Sdq}s} = \bar{e}_{\text{Sdq}s}^{+1}$.

Nel sistema di controllo sviluppato, l'agganciamento della fase della sola componente fondamentale $\bar{e}_{\text{Sdq}s}^{+1}$ consiste nel far sì che l'output $\hat{\theta}$ del TPLL inseguia l'andamento a rampa $\theta = \omega t$ della fase fondamentale. La funzione di trasferimento del secondo ordine Eq. 4.6 deve quindi garantire l'inseguimento del riferimento a rampa senza errore a regime e con una dinamica di agganciamento che sia la più rapida possibile.

Una eventuale componente di sequenza negativa si manifesta come un segnale di disturbo a pulsazione -2ω che esce dal rivelatore di fase. I parametri del regolatore: K_I , K_P , K_O , devono essere scelti in modo da filtrare al meglio questo disturbo. Ottenuto il filtraggio della pulsazione 2ω , l'attenuazione dei disturbi a frequenza superiore sarà naturalmente facilitata.

4.4.2 Implementazione

Buone prestazioni del sistema di aggancio basate sul TPLL proposto sono state ottenute per i seguenti valori dei parametri di regolazione.

$$K_I=200, \quad K_P=0.1, \quad 1.225E_M K_O=370,$$

corrispondenti a

$$\text{pulsazione naturale: } \omega_n=270 \text{ [rad/s]}$$

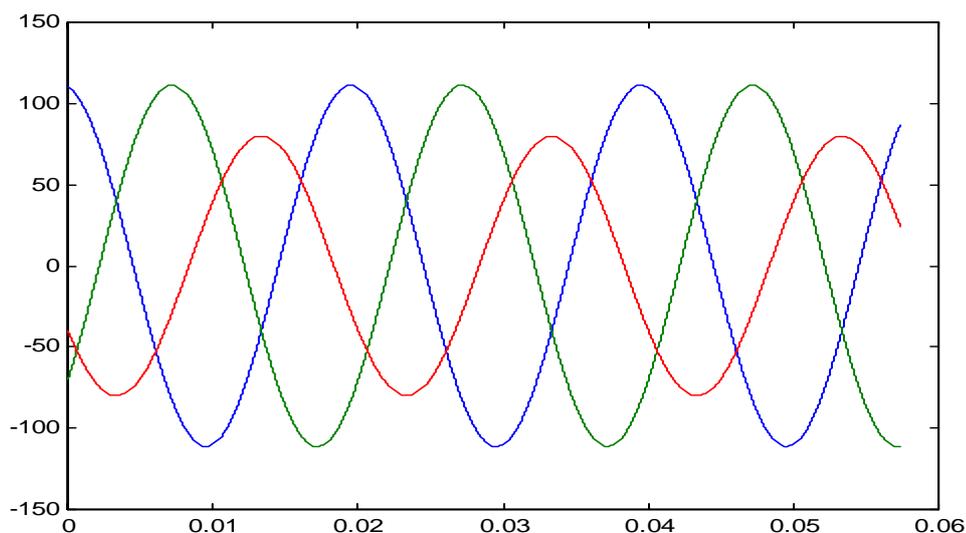
$$\text{coefficiente di smorzamento: } \zeta=0.067$$

Il regolatore così dimensionato consente al TPLL di estrarre l'angolo di fase del vettore di sequenza positiva \bar{e}_{SdqS}^{+1} anche in presenza di sbilanciamento della tensione di rete

In Fig. 4.11 è mostrata l'andamento della terna delle tensioni in ingresso affetta da uno sbilanciamento sostenuto ($E_M^{+1} = 100\text{V}$, $E_M^{-1} = 20\text{V}$).

In Fig. 4.12 è mostrato l'andamento nel tempo del vettore di spazio agganciato che rappresenta la sola componente fondamentale di sequenza positiva \bar{e}_s^{+1} ed il vettore complessivo \bar{e}_s .

Il comportamento dinamico del sistema di controllo è mostrato nella Fig. 4.13 dove è indicato l'andamento dell'angolo di fase della componente fondamentale $\theta = \omega t$ e l'angolo di fase $\hat{\theta}$ generato dal sistema TPLL. Questa figura mostra come il sistema di inseguimento è in grado di agganciare la fase della fondamentale in circa 200 ms.



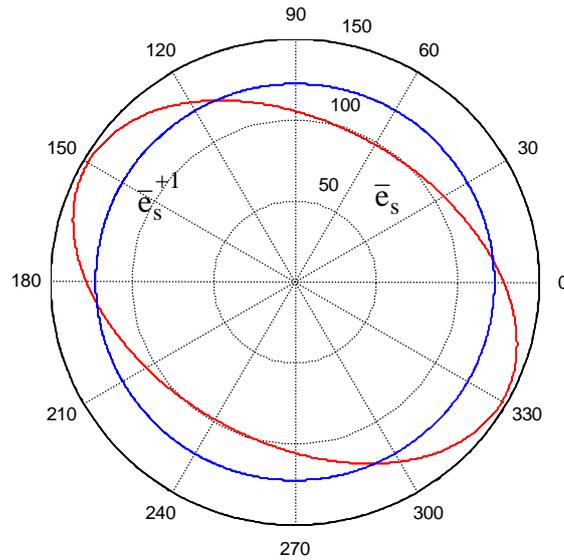


Fig. 4.11 Terna della tensioni in ingresso. Ampiezza della sequenza positiva $E_M^{+1} = 100V$
 Ampiezza della sequenza negativa $E_M^{-1} = 20V$

Fig. 4.12 Rappresentazione del vettore di spazio della tensione in ingresso \bar{e}_{SdqS} e della componente fondamentale di sequenza positiva \bar{e}_{SdqS}^{+1} relativa alla terna in ingresso di Fig. 4.11

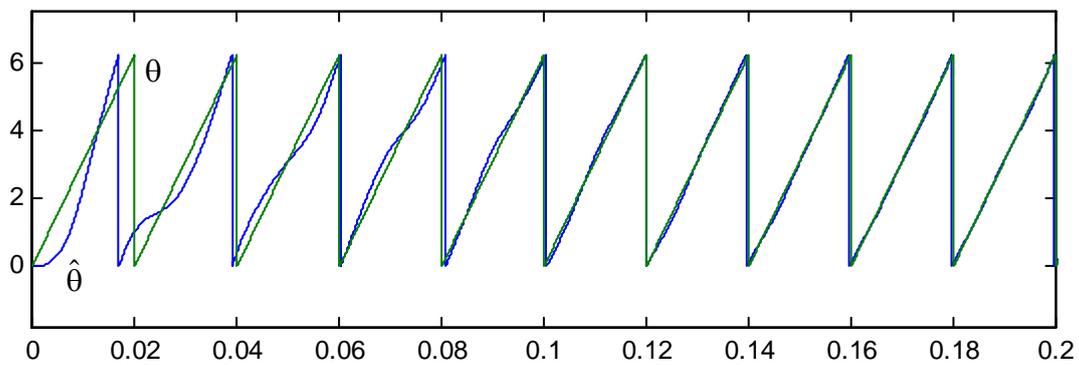


Fig. 4.13 Comportamento dinamico durante il transitorio di agganciamento con la fase della componente fondamentale di sequenza positiva, relativa alla terna in ingresso di Fig. 4.11
 θ : fase della componente fondamentale di sequenza positiva in ingresso
 $\hat{\theta}$: fase generata dal circuito TPLL

Il sistema di agganciamento TPLL progettato è stato testato anche su segnali distorti da armoniche di ordine basso. Nelle Fig. 4.15 e Fig. 4.16 è mostrato il comportamento del sistema nell'agganciare la componente fondamentale di sequenza positiva della tensioni di rete di Fig. 4.14, in presenza di distorsione di 5^a e 21^a armonica.

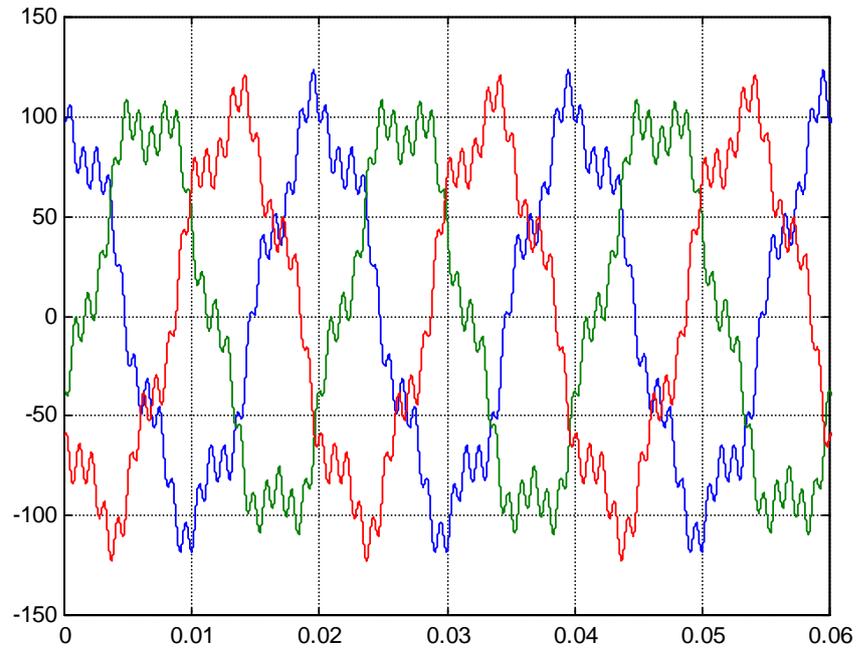


Fig. 4.14 *Terna della tensioni in ingresso.* Ampiezza della sequenza positiva $E_M^{+1} = 100 \text{ V}$
 Ampiezza 5^a armonica ($f=250 \text{ Hz}$) $E_M^{+5} = 15 \text{ V}$
 Ampiezza 21^a armonica ($f \cong 1 \text{ KHz}$) $E_M^{+21} = 10 \text{ V}$

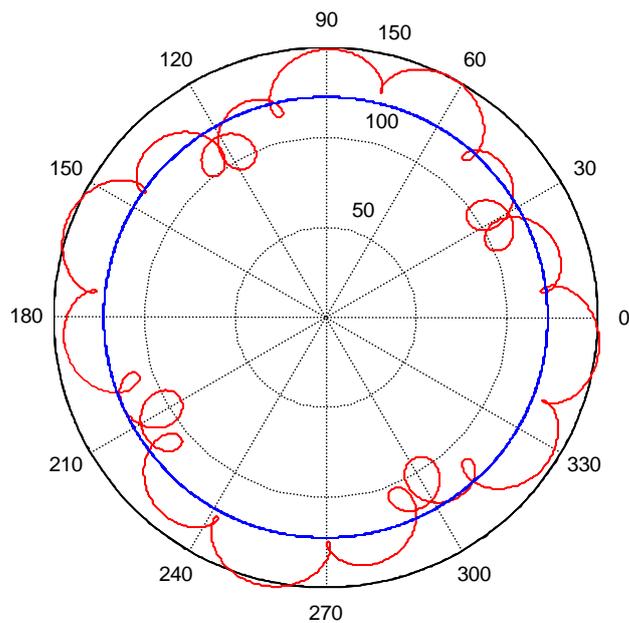


Fig. 4.15 *Rappresentazione del vettore di spazio della tensione in ingresso \bar{e}_{SdqS} e della componente fondamentale di sequenza positiva \bar{e}_{SdqS}^{+1} .*

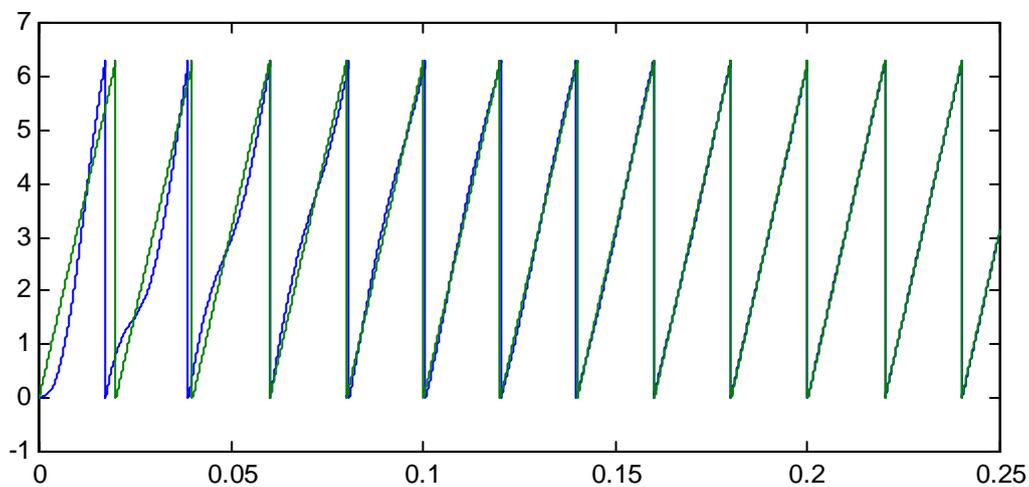


Fig. 4.16 *Comportamento dinamico durante il transitorio di agganciamento con la fase della componente fondamentale di sequenza positiva.*
 θ : fase della componente fondamentale di sequenza positiva in ingresso
 $\hat{\theta}$: fase generata dal circuito TPLL

CAPITOLO 5

APPARATO SPERIMENTALE

5.1 Introduzione

Un prototipo del sistema di condizionamento della potenza PCS, sviluppato in questa tesi, è stato realizzato presso il Dipartimento di Ingegneria Elettrica di Bologna.

L'apparato sperimentale è stato progettato in modo da essere utilizzato per la sperimentazione di tutte le funzionalità previste per il PCS che, riepilogando sono:

- compensazione reattiva
- riduzione del contenuto armonico
- compensazione dello squilibrio della rete
- smorzamento delle variazioni di potenza
- alimentazione di back-up

Ciascuna di queste funzionalità deve, prima di tutto, essere testata singolarmente sull'apparato sperimentale. In un secondo tempo, a sviluppo terminato, tutte le funzionalità indicate dovranno funzionare contemporaneamente in modo da dimostrare la fattibilità tecnica del sistema multifunzionale proposto.

Una schematizzazione PCS in oggetto è quella di Fig. 5.1. Dati una sorgente ed un carico che si scambiano energia in modo inefficiente a causa di non linearità ed effetti reattivi, si può recuperare l'efficienza del sistema utilizzando un dispositivo di controllo capace di attuare una compensazione che realizzi le specifiche imposte al sistema complessivo sopra descritte.

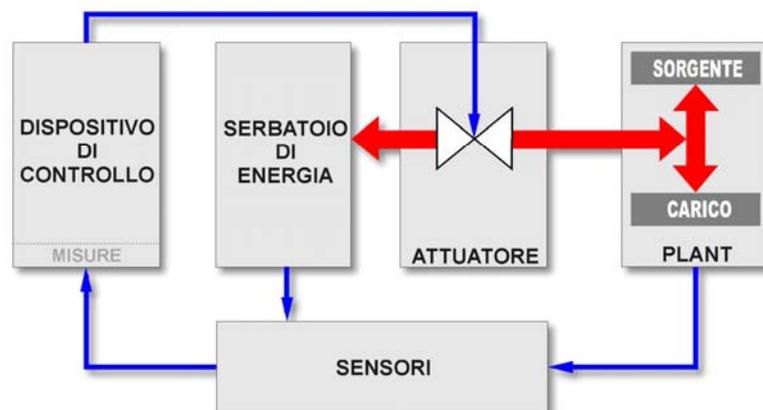


Fig. 5.1 Schema a blocchi dell'apparato sperimentale di PCS

In termini controllistici in Fig. 5.1 il sistema rete/carico, in quanto parte sottoposta all'azione di controllo, rappresenta il cosiddetto plant. L'attuatore è l'insieme dei convertitori statici che gestiscono il flusso di potenza tra il plant ed il serbatoio di energia. Il sistema di controllo comanda l'attuatore, in modo da gestire i flussi di potenza tra le due sezioni e realizzare le funzionalità desiderate. Il sistema di controllo si avvale di sensori per la misura delle grandezze elettriche del sistema nelle sue diverse sezioni.

Nei prossimi paragrafi saranno descritti i blocchi di Fig. 5.1, che costituiscono l'apparato sperimentale realizzato, cioè: attuatore, sensori, e controllo. Questi sistemi sono fisicamente contenuti nello stesso armadio.

L'attuatore un cui schema è riportato in Fig. 5.2 è costituito da due convertitori statici distinti, entrambi i convertitori hanno la porta controllata in tensione che è collegata ad un bus dc comune. Su questo bus dc, detto anche bus dc intermedio, è presente una batteria di condensatori.

Il convertitore lato rete è un inverter trifase le cui tre uscite sono collegate alla rete per mezzo di induttori di separazione.

La connessione al PCS di un dispositivo di accumulo dell'energia è realizzata dal secondo convertitore statico collegato al bus dc intermedio. La struttura di questo convertitore statico si differenzia a seconda del tipo di sistema di accumulo utilizzato.

Il Magnete Superconduttore richiede un convertitore a due quadranti come quello mostrato in Fig. 5.2, questo convertitore deve poter applicare tensioni bipolari ai capi dell'induttore che costituisce il SM. La batteria di supercondensatori richiede un convertitore a due quadranti anch'esso mostrato in Fig. 5.2, questo convertitore deve poter iniettare una corrente bidirezionale ai capi della capacità che costituisce il SC.

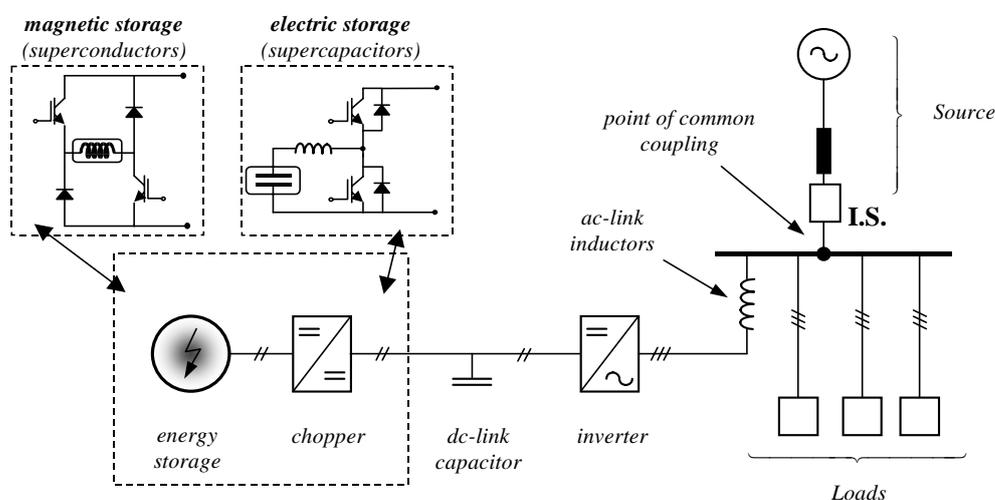


Fig. 5.2 Schema del circuito di potenza dell'attuatore

La macchina rotante richiede un convertitore idoneo al tipo di macchina, nel caso si consideri una macchina asincrona, il convertitore richiesto è un inverter trifase identico a quello collegato in parallelo alla rete. Per poter utilizzare l'apparato sperimentale con tutti i sistemi di accumulo previsti, questo secondo convertitore è stato realizzato con la topologia di un inverter trifase. A seconda del dispositivo di accumulo impiegato, semplicemente utilizzando gli interruttori statici che servono e lasciando spenti i rimanenti, si ottengono le tre topologie di convertitori descritte.

Il PCS è corredato inoltre, di un interruttore statico trifase a TRIAC, indicato come I.S. nello schema di Fig. 5.2, posto sulla rete di alimentazione che separa la rete dal gruppo carico-PCS durante la modalità di funzionamento come alimentazione di back-up.

I due convertitori principali e l'interruttore statico sono tutti gestiti da un unico sistema di controllo basato su un sistema a microprocessore sul risiede l'algoritmo di controllo sviluppato. Anche il sistema di controllo è stato dimensionato in modo da consentire la gestione di tutti gli attuatori presenti nel sistema per l'esecuzione contemporanea di tutte le funzionalità previste per il sistema.

In questo Capitolo saranno dettagliatamente illustrati tutti i componenti dell'apparato sperimentale realizzato e quindi i convertitori elettronici di potenza, i sistemi di misura, il sistema di controllo, i circuiti ausiliari e di interfaccia.

5.2 L'attuatore

La progettazione e costruzione ex-novo della sezione hardware dell'apparato sperimentale proposto, avrebbe richiesto ingenti risorse per coprire i costi di sviluppo e di realizzazione dei due convertitori statici.

Non essendo la costruzione degli inverter un obiettivo del presente lavoro, si è cercata una via per ridurre al minimo i costi dei convertitori statici. Questa riduzione la si è ottenuta utilizzando la sezione elettronica di potenza, i driver, il contenitore e parte del cablaggio di potenza di due inverter commerciali dedicati al controllo motori. Su questa piattaforma sono state effettuate le modifiche ai collegamenti per adattare la circuiteria di potenza alla applicazione in oggetto (diversa dal controllo motori per cui erano stati costruiti); inoltre sono stati costruiti i dispositivi di interfacciamento per consentire il comando degli interruttori statici utilizzando il sistema di controllo che si ha a disposizione.

I due convertitori statici '*lato rete*' e '*lato accumulo*' sono stati realizzati identici tra loro, pertanto nella descrizione che segue si farà riferimento solo ad uno di essi.

5.2.1 Il circuito di potenza

Il convertitore realizzato è la classica rete di commutazione composta da 3 rami, ciascuno dei quali formato da 2 interruttori controllati, mostrato in Fig. 5.3.

Ciascuno dei sei interruttori presenti è costituito da un modulo IGBT di tipo FUJI 1MBI400N-120 da 400A 1200V.

In Fig. 5.4-a è riportato il disegno di uno dei moduli utilizzati dove sono visibili i due morsetti di potenza: emettitore e collettore e i due morsetti di comando: gate ed emettitore secondario. Lo schema delle connessioni interne tra dispositivo IGBT e diodo a recupero veloce è quello di Fig. 5.4-b

Per il componente utilizzato, in Fig. 5.5 sono riportate gli andamenti delle principali grandezze dell'IGBT durante la commutazione, i cui valori sono riportati nella Tab. 5.2 Nella Tab. 5.1 sono invece riportati i valori limite raggiungibile dalle principali grandezze elettriche sul componente.

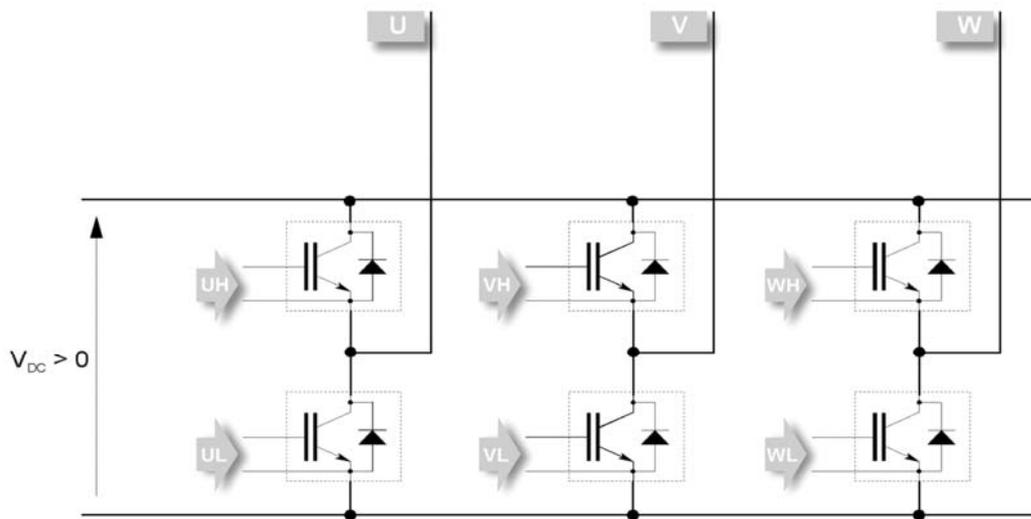
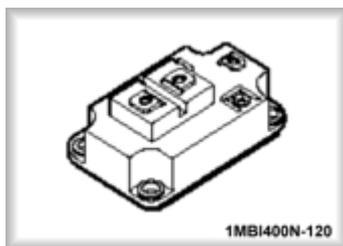
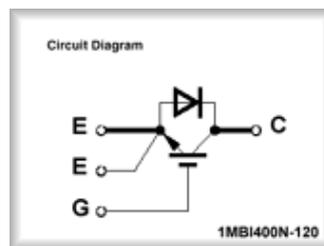


Fig. 5.3 Realizzazione del ponte trifase con moduli IGBT



a)



b)

Fig. 5.4-a,b Modulo IGBT tipo FUJI 1MBI400N-120, 400 A, 1200 V.

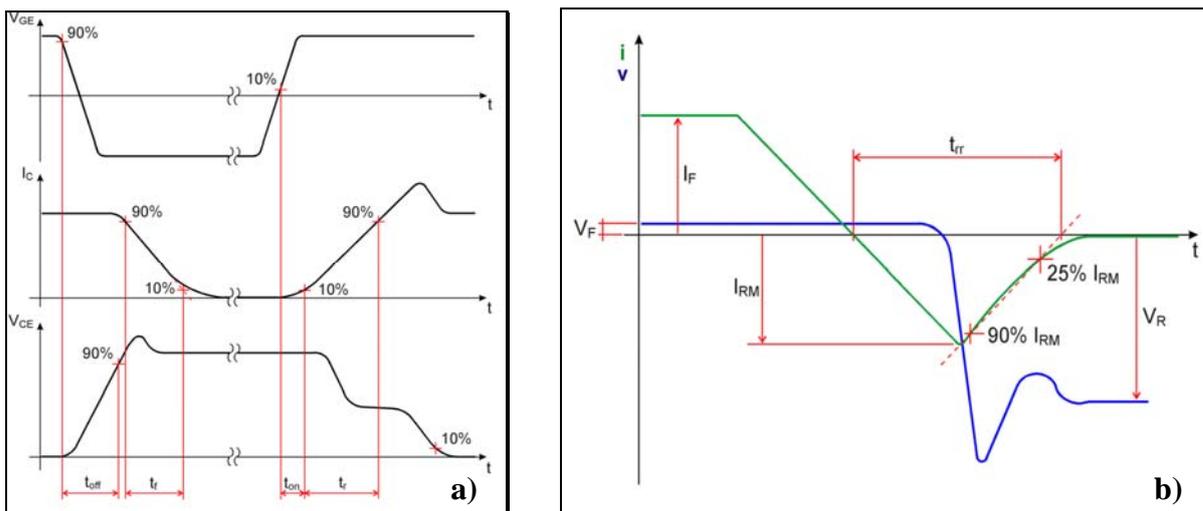


Fig. 5.5-a,b Modulo IGBT tipo FUJI 1MBI400N

- a) Forme d'onda delle tensioni V_{GE} (gate-emettitore) e V_{CE} (collettore-emettitore) e della corrente I_C (di collettore) durante la commutazione.
- b) Forme d'onda della corrente I_F e della tensione V_F nel diodo a recupero veloce durante la fase di spegnimento.

DESCRIZIONE	SIMBOLO	VALORI LIMITE	Unità
Tensione collettore-emettitore con gate-emettitore cortocircuitato	V_{CES}	1200	V
Tensione gate-emettitore con collettore-emettitore cortocircuitato	V_{GES}	± 20	V
Corrente di collettore	I_C	400	A
Impulso di corrente di collettore (1ms)	I_C pulse	800	A
Temperatura di giunzione	T_j	150	$^{\circ}C$

Tab. 5.1 Valori limite di funzionamento del modulo 1MBI400N-120 ($T_c=25^{\circ}C$)

	DESCRIZIONE	SIMBOLO	Caratteristiche			CONDIZIONI	UNITÀ
			min	typ	max		
I	Corrente residua di collettore con gate-emettitore cortocircuitato	I_{CES}			4.0	$V_{GE}=0V$ $V_{CE}=1200V$	mA
	Corrente di perdita di gate con collettore-emettitore cortocircuitato	I_{GES}			60	$V_{CE}=0V$ $V_{GE}=\pm 20V$	μA
G	Tensione di soglia gate-emettitore	$V_{GE} (th)$	4.5		7.5	$V_{CE}=20V$ $I_C=400mA$	V
B	Tensione di saturazione collettore-emettitore	$V_{CE} (sat)$			3.3	$V_{GE}=15V$ $I_C=400A$	V
T	Tempo di ritardo di accensione	t_{on}		0.75	1.2	$V_{CE}=600V$	μs
	Tempo di salita della corrente di collettore	t_r		0.25	0.6	$I_C=400A$	
	Tempo di spegnimento	t_{off}		1.05	1.5	$V_{GE}=\pm 15V$	
	Tempo di discesa della corrente di collettore	t_f		0.35	0.5	$R_G=1.8\Omega$	
D	Tensione di conduzione in polarizzazione diretta	V_F			3.0	$I_F=400A$ $V_{GE}=0$	V
O	Picco della corrente di recupero nella fase di spegnimento	I_{RM}		270		$I_F=400A$	A
O	Tempo di recupero della corrente durante la fase di spegnimento	t_{tr}			350	$I_F=400A$	ns

Tab. 5.2 Modulo IMBI400N-120 ($T_j=25^\circ C$) Principali grandezze nel funzionamento nominale

Lo schema dell'inverter di Fig. 5.3 è completato con una rete di snubber di tipo RCD. Questi sono necessari poiché, durante la fase di spegnimento degli IGBT, la corrente che vi circola si estingue molto rapidamente (elevati di/dt) ciò può provocare pericolose sovratensioni sulle induttanze parassite presenti nel circuito che potrebbero a loro volta raggiungere valori tali da danneggiare gli IGBT.

Gli snubber RCD sono mostrati in Fig. 5.6, essi sono costituiti da condensatori che grazie al diodo in serie, sono collegati in parallelo all'IGBT solo in fase di apertura dell'IGBT, in questo modo forniscono un percorso a bassa impedenza ai transistori di commutazione limitando così le pericolose sovratensioni.

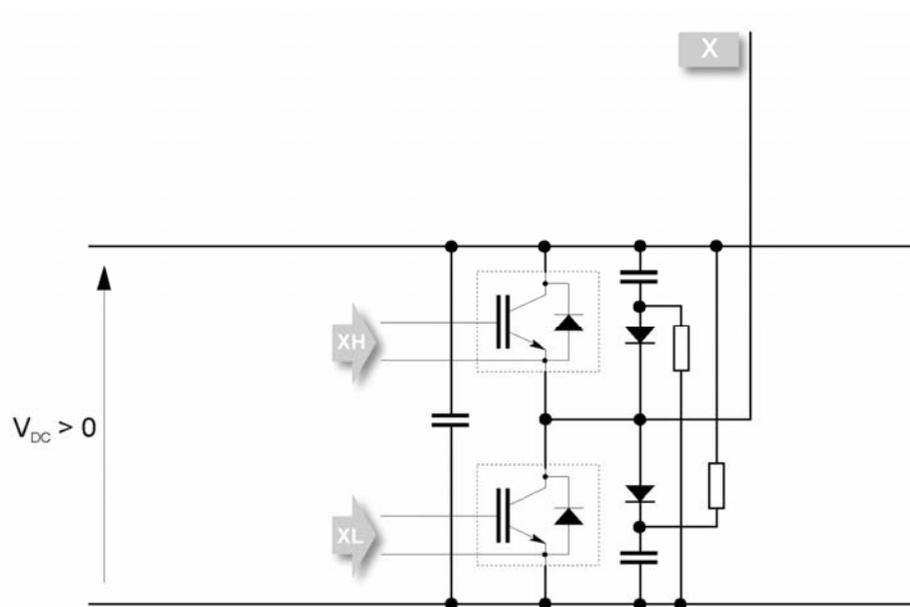


Fig. 5.6 Un ramo dell'inverter trifase completo di circuiti snubber

Al lato DC del convertitore trifase, e quindi sul bus dc intermedio è collegata una batteria di condensatori elettrolitici che ha la funzione di mantenere l'ondulazione della tensione continua prodotta dalle commutazioni dei convertitori statici entro valori accettabili ed in particolare nel funzionamento come compensatore statico, i condensatori di bus dc garantiscono la stabilità del livello di tensione dc necessaria per consentire la compensazione armonica e reattiva desiderata. Si deve inoltre prevedere il caso di compensazione di condizioni di carico a potenza non costante (carichi squilibrate o tensioni di rete sbilanciate) durante il quale la batteria di condensatori deve scambiare una potenza istantanea variabile con la rete a valore medio nullo nel periodo.

Queste esigenze richiedono l'uso di condensatori con capacità elevata dell'ordine di migliaia di μF , unitamente a tensioni di diverse centinaia di volt. Per ragioni di ingombro si sono utilizzati condensatori elettrolitici collegati secondo una configurazione serie parallelo.

Il collegamento in serie richiede l'adozione di provvedimenti atti a garantire la corretta equalizzazione della carica e quindi il livello della tensione ai capi di ciascun condensatore. Questa necessità è stata soddisfatta, come mostrato in Fig. 5.7, inserendo in parallelo ai condensatori un partitore di tensione resistivo che impone la corretta divisione della tensione su ciascun elemento della serie.

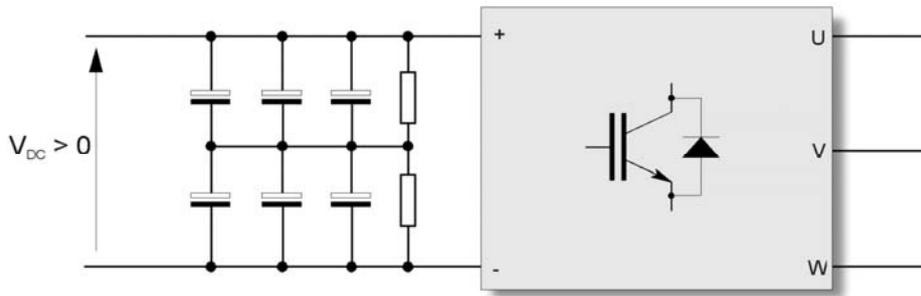


Fig. 5.7 Batteria di condensatori sul bus dc intermedio

L'inverter a disposizione, concepito per il funzionamento da inverter, ha il bus DC alimentato da una sorgente alternata trifase di energia elettrica tramite un ponte raddrizzatore a diodi.

Pertanto il relativo circuito di precarica, costituito da una resistenza inserita durante la fase di accensione dell'inverter, per limitare la corrente di carica dei condensatori, è collocato tra il ponte raddrizzatore e l'inverter trifase, come mostrato in Fig. 5.8. Nella applicazione in oggetto la corrente di carica dei condensatori per inserzione diretta con la rete può provenire soltanto dal lato convertitore, pertanto è necessario modificare il cablaggio dell'inverter per ottenere la disposizione di Fig. 5.9. In questa figura si è evidenziato che il ponte raddrizzatore installato nell'inverter commerciale non è più utilizzato in questo apparato per cui è stato rimosso dal convertitore.

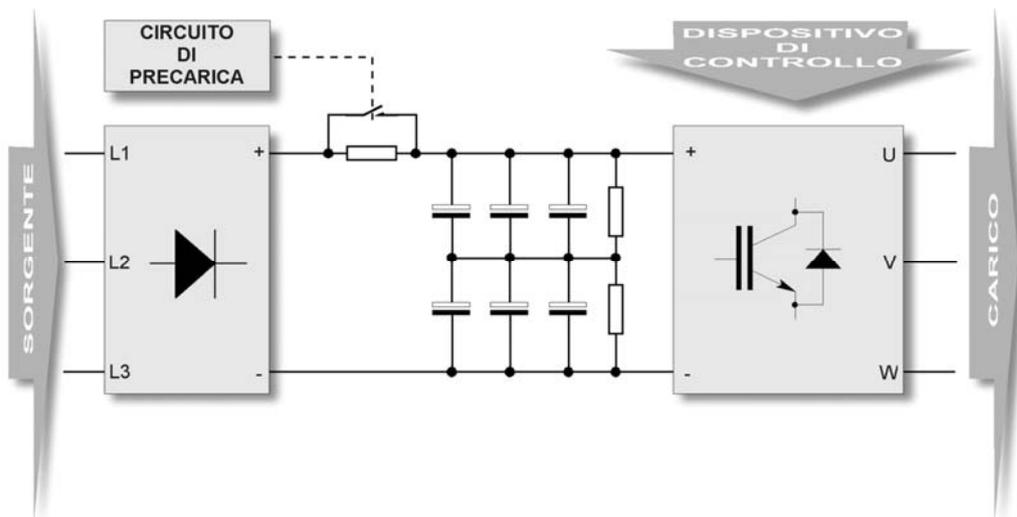


Fig. 5.8 Ponte raddrizzatore e circuito di precarica per un inverter di tipo commerciale per azionamento motori

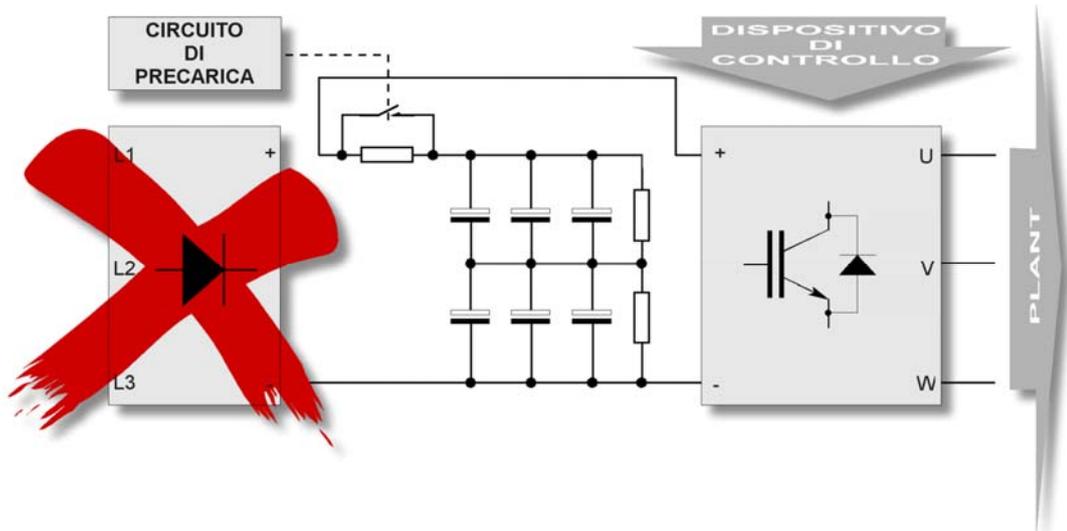


Fig. 5.9 *Rimozione del ponte raddrizzatore e spostamento del circuito di precarica nel convertitore modificato*

5.2.2 *Driver IGBT e circuiti ausiliari*

Gli interruttori statici (IGBT) dell'inverter ricevono i segnali di comando dalla scheda driver. Il driver che è il componente fondamentale di questa scheda è mostrato in Fig. 5.10.

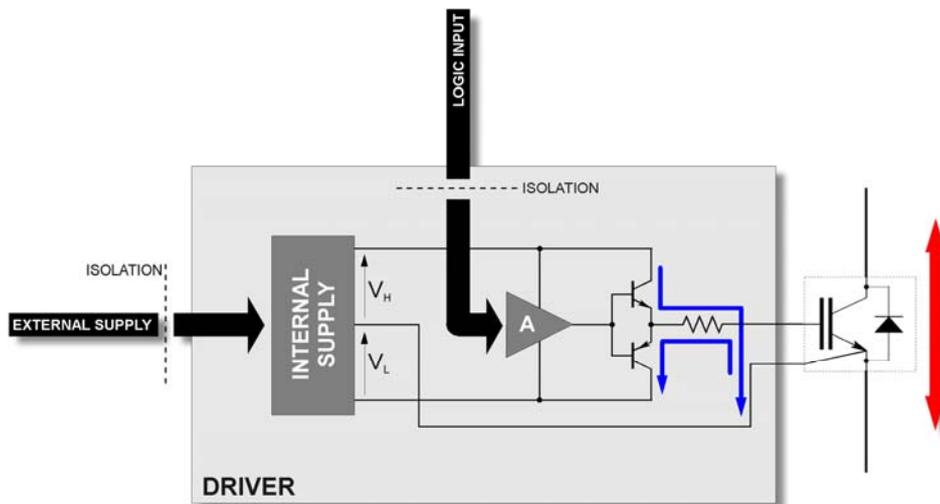


Fig. 5.10 *Schema di principio del funzionamento di un driver IGBT.*

Il circuito driver ha il compito di effettuare correttamente ed efficientemente l'accensione e lo spegnimento dell'IGBT a fronte di un segnale di ingresso di tipo logico proveniente dal dispositivo di controllo.

In particolare, il circuito driver deve comandare l'accensione e lo spegnimento dell'IGBT iniettando ed estraendo nel gate una quantità di carica dell'ordine del migliaio di nC in un

tempo inferiore al μs . Il driver quindi, deve essere in grado di fornire correnti istantanee dell'ordine di un ampere.

Il driver deve poter ricevere un segnale di comando di tipo logico a bassa potenza dal sistema di controllo.

Le connessioni con la sorgente di alimentazione e col segnale logico di ingresso devono essere isolate elettricamente per evitare le interferenze fra sezione di potenza e sezione di controllo.

Il blocco A di Fig. 5.10 ha il compito di adattare il segnale logico proveniente dal controllo e di pilotare lo stadio amplificatore che fornisce i transistori di corrente necessari a pilotare correttamente il gate dell'IGBT.

I valori di V_H e V_L indicati in Fig. 5.10 dipendono rispettivamente dai valori di tensione di gate necessari ad accendere (V_{GS}^{ON}) e spegnere (V_{GS}^{OFF}) il dispositivo, in particolare:

V_{GS}^{ON} dovrebbe essere elevata (maggiore della tensione di soglia V_{GS}^{TH} che è dell'ordine di 4-6V) per avere un basso valore di V_{CE}^{SAT} , ma deve rispettare il limite superiore che garantisca di non perforare l'ossido di gate.

Il valore della tensione di spegnimento V_{GS}^{OFF} sarà $\leq 0V$ in modo accelerare lo spegnimento del dispositivo.

La resistenza inserita fra gate e stadio di uscita ha il compito di introdurre delle perdite che in riducano le oscillazioni che potrebbero innescarsi a causa della presenza di componenti induttivi nelle maglie di collegamento e componenti capacitivi fra gate e gli altri terminali del dispositivo.

Tale resistenza, ha anche l'importante compito di poter variare, entro certi limiti, il tempo di ritardo dell'accensione, in modo da limitare gli effetti negativi derivanti da elevati di/dt delle correnti di spegnimento sulle induttanze parassite presenti nelle maglie dei circuiti di potenza.

Da notare che il segnale di riferimento delle tensioni non è collegato al terminale di potenza dell'emettitore ma ad un terminale secondario dell'IGBT appositamente realizzato per il circuito di comando.

Se così non fosse, avrei un tratto di collegamento con la sua inevitabile induttanza parassita, percorso da correnti di potenza con elevata di/dt in comune col driver e quindi soggetto a cadute di tensione, piccole rispetto alla tensione del bus dc, ma rilevanti rispetto V_{GE} (degrado del segnale fornito dal driver).

L'isolamento elettrico del segnale logico di ingresso, non dovendo trasportare energia, è realizzato con un optoisolatore internamente alla scheda driver.

Per garantire l'alimentazione separata ai sei driver IGBT, sono necessarie quattro alimentazioni esterne isolate ottenute da altrettanti avvolgimenti secondari di un trasformatore e collegate ai driver secondo come mostrato in Fig. 5.11.

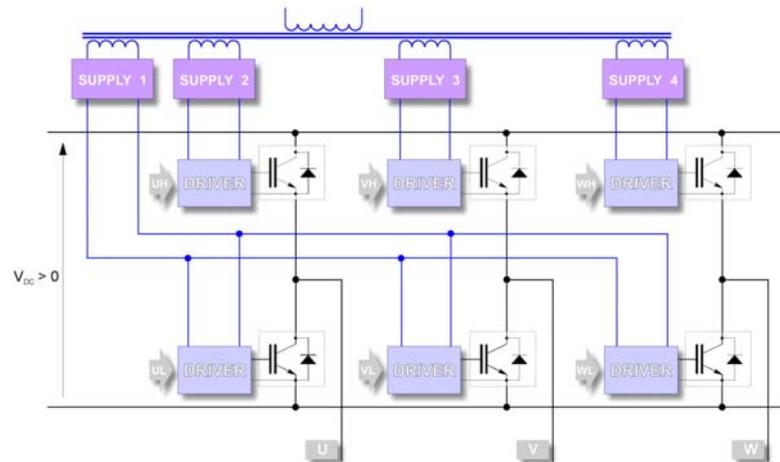


Fig. 5.11 Realizzazione dell'alimentazione separata ai driver IGBT.

Questo sistema di alimentazione multipla, dotato di isolamento tra le diverse uscite, può essere facilmente ottenuto con un convertitore DC/DC di tipo flyback schematicamente rappresentato in Fig. 5.12.

Caratteristiche principali di questo tipo di alimentatore sono

- semplicità circuitale e costo limitato
- si utilizza un unico trasformatore,
- si possono ottenere più uscite secondarie separate elettricamente fra di loro

Grazie a queste sue caratteristiche, un unico alimentatore fly-back è sufficiente ad alimentare in modo economico e relativamente semplice tutti i driver degli IGBT, contemporaneamente ad altri circuiti ausiliari necessari nell'inverter, garantendo l'isolamento elettrico di ciascuno di essi.

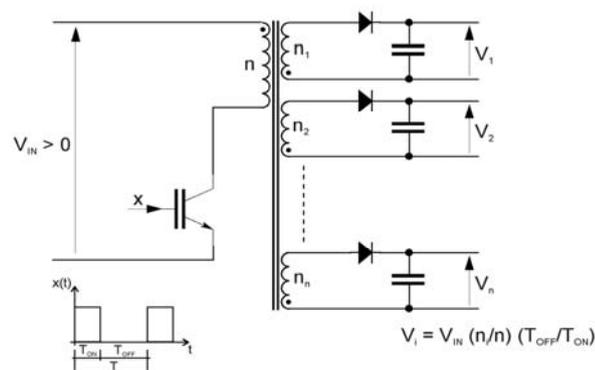


Fig. 5.12 Schema di principio di un convertitore DC/DC di tipo flyback

5.2.3 *Schemi del circuito di potenza*

In tavola 3 è visibile per esteso lo schema dei driver da cui si vede come a fronte di un segnale digitale 0 o 24V agli ingressi optoisolati (i terminali che fanno capo a CN11 pin 10, 12, 14, 16, 18, 20), si ha rispettivamente lo spegnimento o l'accensione del corrispondente IGBT.

Dallo stesso schema si evidenzia, su ogni driver, la presenza di un'uscita di tipo open-collector facente capo ad un circuito di rilevazione dell'errore basato sulla supervisione della V_{CE}^{SAT} dell'IGBT a cui è collegato. Questo circuito, in presenza di un errore V_{CE}^{SAT} mantiene l'uscita open-collector in saturazione, in assenza di errore l'uscita è in alta impedenza.

In tavola 2.1 è riportato lo schema dell'alimentatore unitamente ad altri circuiti ausiliari presenti sulla scheda ES714 (driver ed alimentatore). Sono presenti un circuito amplificatore non invertente realizzato con l'operazionale U3 per la misura della tensione sulla batteria di condensatori divisa per 100, ed il relè RL1 che pilota il contattore elettromeccanico di esclusione/inserimento della resistenza di precarica.

Le modifiche apportate all'inverter commerciale per essere utilizzato in questa applicazione, possono essere schematizzate dai seguenti punti:

- Si è eliminato il ponte raddrizzatore e cambiato le connessioni del circuito di precarica come mostrato in Fig. 5.9.
- Si è resa disponibile una coppia di morsetti facente capo al bus dc intermedio per poter eventualmente aumentare la capacità della batteria di condensatori interna all'apparecchiatura (dimensionata per un uso da inverter) e per consentire successivamente l'implementazione di sistemi per il mantenimento dell'energia (SMES, UPS, ...)
- L'alimentatore dei driver e dei circuiti ausiliari descritto nel Par. 5.2.2 ha come sorgente, nel funzionamento da inverter, il BUS DC (terminali VBR e -VB). Per il funzionamento da filtro attivo si devono apportare le modifiche indicato in tavola 2.2. Questo per rendere indipendente l'alimentazione dei driver (alimentatore fly-back), dal livello della tensione del bus dc.

Tutta la parte di potenza visibile per esteso in tavola 1.1 per il funzionamento da inverter, è stata riportata in tavola 1.2 integrandola con le modifiche necessarie al funzionamento da filtro attivo.

Il collegamento fra il controllo e la parte di potenza fin qui descritta avviene tramite il connettore CN11 della scheda ES714. Nel funzionamento da inverter, CN11 è connesso ad una scheda che implementa un controllo di tipo vettoriale per motori asincroni. Per realizzare

il sistema sperimentale desiderato, è stato realizzato il dispositivo di interfacciamento che a partire dal connettore CN11 sulla scheda ES714, permetta la connessione dei driver al sistema di controllo che genera i segnali di comando per gli IGBT. Questo sistema di interfacciamento sarà accuratamente descritto in Par. 5.4.

5.3 I sensori

Le grandezze elettriche relative al PCS che si intende realizzare, devono essere rese disponibili al sistema di controllo. A questo scopo si sono utilizzati opportuni trasduttori di tensione e corrente disposti nelle diverse sezioni dell'apparato sperimentale.

L'uso di tali dispositivi consente di adattare il range delle grandezze reali a quello accettabile dai convertitori analogico-digitali montati sulla scheda di controllo e di garantire il necessario isolamento elettrico tra la parte di potenza ed il circuito di controllo.

5.3.1 Trasduttori di corrente

Si è scelto di utilizzare i trasduttori ad effetto Hall per le loro caratteristiche di precisione e di larghezza di banda. Il cambio della scala si effettua semplicemente cambiando il valore della resistenza di misura, oppure avvolgendo il conduttore nel quale circola la corrente da misurare più volte intorno al nucleo del trasduttore.

Questi trasduttori inoltre, comprendono nella loro banda anche la componente continua. Questa proprietà scaturisce dall'utilizzo di un sistema ad effetto Hall. In Fig. 5.13 è mostrato uno schema di principio del circuito contenuto nell'involucro del trasduttore di corrente LA 100-P basato sull'utilizzo di un elemento ad effetto Hall che fa parte di un circuito in retroazione.

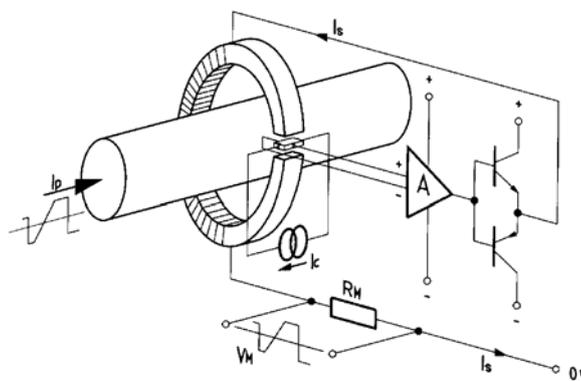


Fig. 5.13 Schema di funzionamento dei trasduttori di corrente ad effetto Hall

Il dispositivo rappresentato comprende:

- un avvolgimento primario;
- un avvolgimento secondario;
- un circuito magnetico con traferro in cui è inserita la cella Hall;
- Un amplificatore elettronico di corrente.

La corrente che circola nell'avvolgimento primario, è la corrente oggetto di misura, questo conduttore può essere avvolto attorno al nucleo in modo da formare 1 o più spire. La corrente da misurare, quindi produce un campo magnetico H_P nel nucleo che attraversa il piccolo traferro dove è inserita la sonda di Hall. La cella di Hall è alimentata dalla corrente di controllo costante I_C , il campo che attraversa la cella di Hall determina una tensione V_H tra le 2 facce opposte della piastrina. La tensione V_H è proporzionale al campo magnetico H_P attraverso una certa costante di proporzionalità propria della cella Hall. La misura della corrente si basa sull'annullamento del campo magnetico al traferro, questa condizione si realizza per mezzo di una corrente di bassa intensità che circola in un avvolgimento secondario, costituito da un numero elevato di spire (dell'ordine del migliaio), avvolto sullo stesso nucleo. A questo scopo la tensione V_H , che rappresenta esattamente l'ampiezza del campo magnetico al traferro, è riportata in retroazione per mezzo di un circuito di amplificazione che genera la corrente secondaria I_S , necessaria a creare nel nucleo magnetico un campo uguale ed opposto a quello generato dalla corrente da misurare, in modo che il campo risultante sia nullo.

Trascurando la corrente di offset dell'amplificatore e supponendo che questo abbia guadagno infinito, la relazione che lega la corrente primaria alla corrente secondaria è la seguente:

$$\text{Eq. 5.1} \quad N_P \cdot I_P + N_S \cdot I_S = 0$$

dove N_P e N_S sono rispettivamente il numero di spire primarie e secondarie. Si ricava quindi una corrente I_S che segue I_P tanto più fedelmente quanto più è veloce l'amplificatore impiegato.

Da questa relazione appare chiaro come l'amplificatore di corrente può lavorare con valori di corrente I_S ottimali per ottenere la massima precisione anche quando I_P è piccola semplicemente aumentando N_P .

La corrente I_S è fatta circolare su una resistenza di misura esterna, in questo modo si genera una caduta di tensione, che costituisce il segnale utile che è inviato ai convertitori analogico-digitali. Il valore della resistenza di misura R_M viene calcolato in base al range d'ingresso dei convertitori della scheda di controllo e dei limiti riscontrabili nei data-sheet del trasduttore

utilizzato. Si sceglie quindi R_M in modo da utilizzare tutto il range di ingresso del convertitore analogico-digitale utilizzato, minimizzando così l'errore di quantizzazione.

I vantaggi che è possibile conseguire con l'uso dei trasduttori ad effetto Hall sono la possibilità di misurare qualsiasi corrente (continua, alternata o impulsiva) e di ottenere il necessario isolamento galvanico tra il circuito di potenza ed il circuito di controllo. La linearità e la precisione ottenibili sono perfettamente adeguate per gli scopi del controllo, mentre l'errore d'offset sulla corrente d'uscita è superiore a quell'ottenibile con altri trasduttori di tipo puramente trasformatorico, ma comunque accettabile.

Nelle tabelle seguenti sono contenuti i dati forniti dal costruttore riguardanti i modelli utilizzati: LA 100-P LA 200-P e LF 306-S.

CARATTERISTICHE TECNICHE TRASDUTTORE DI CORRENTE LA 100-P	
Corrente nominale I_N	100A efficaci
Range di corrente misurabile	Da 0 a ± 150 A
Corrente nominale d'uscita	50 mA
Rapporto spire N_p/N_s :	1:2000
Accuratezza a 25 °C	± 0.5 % di I_N
Tensione d'alimentazione	± 15 V ± 5 %
Isolamento tra primario e secondario	2.5 kV efficaci a 50 Hz per 1 min.
Massima corrente d'offset	± 0.1 mA
Linearità	< 0.15 %
Tempo di risposta	< 1 μ s
di/dt accuratamente seguito	> 200 A/ μ s
Larghezza di banda	0-200 kHz
Resistenza R_M minima a ± 150 A	20 Ω
Resistenza R_M massima a ± 150 A	25 Ω
Resistenza interna secondaria a 70°C	120 Ω

Tab. 5.3 Caratteristiche dei trasduttori di corrente LA-100P

CARATTERISTICHE TECNICHE TRASDUTTORE DI CORRENTE LA 200-P	
Corrente nominale I_N	200A efficaci
Range di corrente misurabile	Da 0 a ± 300 A
Corrente nominale d'uscita	100 mA
Rapporto spire N_p/N_s :	1:2000
Accuratezza a 25 °C	± 0.4 % di I_N
Tensione d'alimentazione	± 15 V ± 5 %
Isolamento tra primario e secondario	3 kV efficaci a 50 Hz per 1 min.
Massima corrente d'offset	± 0.2 mA
Linearità	< 0.15 %
Tempo di risposta	< 1 μ s
di/dt accuratamente seguito	> 200 A/ μ s

Larghezza di banda	0÷200 kHz
Resistenza R _M minima a ±150 A	20 Ω
Resistenza R _M massima a ±150 A	25 Ω
Resistenza interna secondaria a 70°C	85 Ω

Tab. 5.4 Caratteristiche dei trasduttori di corrente LA-200P

CARATTERISTICHE TECNICHE TRASDUTTORE DI CORRENTE LF 306-S	
Corrente nominale I _N	300A efficaci
Range di corrente misurabile	Da 0 a ±500 A
Corrente nominale d'uscita	150 mA
Rapporto spire N _P /N _S :	1:2000
Accuratezza a 25 °C	±0.4 % di I _N
Tensione d'alimentazione	±15 V ± 5 %
Isolamento tra primario e secondario	6 kV efficaci a 50 Hz per 1 min.
Massima corrente d'offset	±0.2 mA
Linearità	<0.1 %
Tempo di risposta	<500 ns
di/dt accuratamente seguito	>100 A/μs
Larghezza di banda	0÷100 kHz
Resistenza R _M minima a ±300 A	10 Ω
Resistenza R _M massima a ±300 A	56 Ω
Resistenza interna secondaria a 70°C	34 Ω

Tab. 5.5 Caratteristiche dei trasduttori di corrente LF-306-S

Il tempo di risposta molto basso, l'elevata larghezza di banda e l'elevato valore di derivata di corrente inseguibile sono caratteristiche necessarie e desiderabili per i trasduttori da impiegare in questa applicazione, dato l'alto contenuto armonico delle correnti che circolano nel dispositivo quando opera come compensatore armonico.

5.3.2 Trasduttori di tensione

I trasduttori di tensione consentono di misurare tensione concatenata di rete e la tensione sul bus DC, necessarie per il controllo del filtro attivo. Anche questi trasduttori si basano sull'impiego di celle ad effetto Hall.

Essi operano in base allo stesso principio dei trasduttori di corrente, per questo in realtà misurano anch'essi una corrente, proporzionale alla tensione da misurare. Si differenziano dai trasduttori di corrente per la presenza di un avvolgimento primario integrato nel dispositivo, realizzato con un numero di spire dello stesso ordine di grandezza di quello delle spire secondarie, dell'ordine del migliaio. In questo modo, il campo magnetico al traferro necessario, è generato utilizzando una piccola corrente primaria, dell'ordine della decina di

mA. Questa corrente è ottenuta applicando la tensione da misurare ai capi di una resistenza di precisione.

Il trasduttore utilizzato è del tipo LV 25-P, che presenta le seguenti caratteristiche tecniche:

CARATTERISTICHE TECNICHE TRASDUTTORE DI TENSIONE LV 25-P	
Corrente nominale d'ingresso	10 mA
Range corrente d'ingresso	Da 0 a ± 14 mA
Rapporto spire NP/NS:	2500:1000
Accuratezza a 25 °C	± 0.6 % di IN
Tensione d'alimentazione	± 15 V ± 5 %
Isolamento tra primario e secondario	2.5 kV efficaci a 50 Hz per 1 min.
Massima corrente d'offset	± 0.1 mA
Massima deriva termica dell'offset	± 0.6 mA da 25 °C a +70 °C
Linearità	< 0.2 %
Tempo di risposta	40 μ s con $R_1 = 25$ k Ω
di/dt accuratamente seguito	> 50 A/ μ s
Larghezza di banda	0÷200 kHz
Resistenza RM minima a ± 14 mA	100 Ω
Resistenza RM massima a ± 14 mA	190 Ω
Resistenza interna primaria	250 Ω
Resistenza interna secondaria	110 Ω

Tab. 5.6 *Caratteristiche dei trasduttori di tensione LV 25-P*

I venti trasduttori utilizzati nell'apparato sperimentale sono disposti nei punti indicati in tavola 0, questa disposizione permette di identificare il sistema elettrico in ciascuna sezione del circuito. A seconda della funzionalità che il sistema sperimentale deve implementare, di tutte le misure disponibili, saranno utilizzate solo quelle necessarie alla funzionalità in esecuzione.

I trasduttori impiegati sono stati assemblati ciascuno su una scheda a circuito stampato, appositamente realizzata. Lo schema della scheda per il trasduttore di corrente e per il trasduttore di tensione sono riportate nelle tavole 4 e 5.

Su queste schede, è stato inserito un amplificatore operazionale che consente un ulteriore adattamento del segnale in uscita dal trasduttore vero e proprio per adattarlo con facilità al range di ingresso dei convertitori analogico - digitale presenti sulla scheda. Su queste schede sono infatti presenti una serie di jumper, mediante i quali è possibile cambiare l'amplificazione del segnale in uscita ai trasduttori, sui valori prefissati: 2 - 1 - 0,5, oppure escludere l'amplificatore ed utilizzare esternamente il segnale di corrente I_s , prodotto dal trasduttore.

5.4 Interfaccia tra controllo e sistema di potenza

5.4.1 Introduzione

Nei Paragrafi precedenti è stata descritta la struttura hardware dell'apparato sperimentale realizzato, in questa descrizione è già stata evidenziata la necessità di realizzare un dispositivo di connessione tra il circuito dei driver di potenza ed il dispositivo di controllo.

Per realizzare ciò, sarebbe sufficiente una scheda di interfaccia che realizzi la connessione fisica tra i due sistemi ed il necessario adattamento del livello dei segnali tra i due sistemi. Questa scelta, indubbiamente poco onerosa dal punto di vista progettuale, non è però la migliore dal punto di vista della sicurezza ed affidabilità dell'intero sistema.

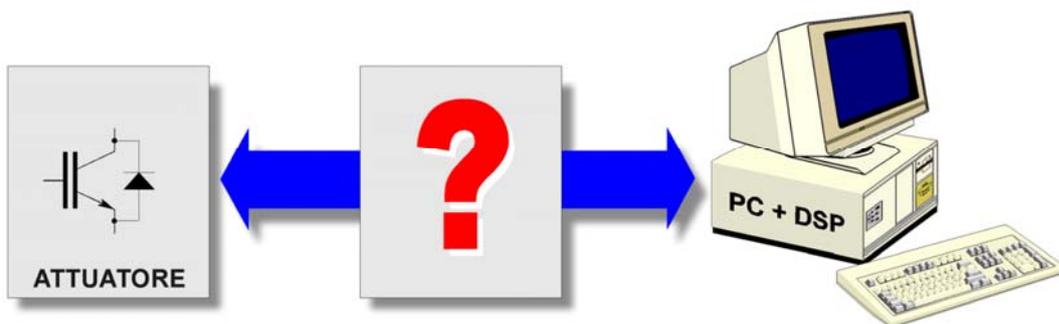


Fig. 5.14 Necessità di realizzare un dispositivo che permetta la connessione tra sistema di potenza e dispositivo di controllo

Il sistema di controllo risiede su una scheda DSP installata su Personal Computer (PC), in particolare:

- la scheda DSP è basata su una coppia di microprocessori che sono il PowerPC Motorola 333MHz ed il DSP Texas Instruments F240
- il PC è un personal computer di tipo commerciale (Intel Pentium II 350)
- il sistema operativo su cui vengono eseguiti i programmi di gestione/programmazione della scheda DSP è di tipo general purpose (MS-Windows 98)

Una tale combinazione offre vantaggi (☞), ma anche degli inevitabili svantaggi (☹) che devono essere attentamente valutati:

- ☞ sistema caratterizzato da una notevole potenza di calcolo ad un costo economico ragionevole
- ☞ possibilità di sfruttare la versatilità di un'interfaccia grafica di tipo "Windows"

- ☞ possibilità di programmare un sistema DSP sia con linguaggio ad alto livello che di tipo grafico
- ☞ possibilità di realizzare e modificare l'interfaccia operatore via software senza la necessità di modifiche hardware
- ☞ assenza di sistemi di protezione quali: dispositivi ridondanti, blocchi hardware/software in grado di gestire malfunzionamenti, ...
- ☞ sistema operativo e programmi non immuni da crash

Quindi se da un lato la scelta del sistema di controllo utilizzato si rivela formidabile per facilità e flessibilità di utilizzo in un apparato prototipale come questo, dall'altro è carente per quanto riguarda il livello di sicurezza e protezione della struttura di potenza da malfunzionamenti che possono verificarsi nel sistema di controllo.

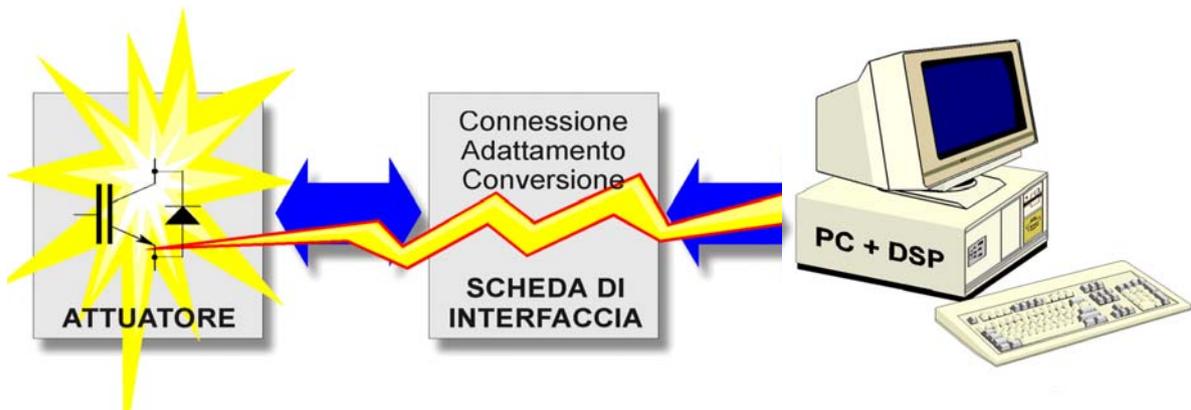


Fig. 5.15 Scheda di interfaccia priva di dispositivi di protezione non riesce a proteggere il sistema di potenza da malfunzionamenti del controllo

Il sistema interfaccia è stato progettato con lo scopo di minimizzare l'eventualità di guasti sulla trasmissione dei segnali tra controllo e potenza. Inoltre, si è inserita nel sistema di interfaccia una certa capacità di elaborazione, in modo da gestire convenientemente tutti i prevedibili casi di malfunzionamento del sistema di controllo che, altrimenti, potrebbero creare condizioni di comando anomale sui circuiti di potenza e quindi condizioni di guasto sui sistemi elettrici connessi.

La capacità di elaborazione sul dispositivo di interfaccia consente inoltre, di liberare il dispositivo di controllo da operazioni critiche ed onerose, come ad esempio il calcolo e controllo dei tempi di interblocco delle fasi dell'inverter, ed il monitoraggio delle condizioni di errore sugli interruttori statici.



Fig. 5.16 Scheda di interfaccia dotata di capacità di elaborazione che protegge la struttura di potenza da malfunzionamenti del sistema di controllo

5.4.2 Strategia di progetto della scheda di interfaccia SM-01

L'elemento principale del sistema di interfaccia è la scheda di interfaccia, cui è stata attribuita la sigla SM-01. La realizzazione di questa scheda è stata condotta secondo il metodo riportato in Fig. 5.17. Per prima cosa, è necessario dare una descrizione del problema (sistemi da connettere) esplicitando con precisione le caratteristiche dei segnali da gestire. Si ottiene così un vero e proprio modello dei sistemi da connettere su cui può essere compiuta l'analisi in che porta alla definizione delle specifiche che la scheda deve soddisfare. Solo a questo punto si può procedere con la sintesi della scheda. Qualora ciò non portasse ad un risultato soddisfacente (scheda troppo complicata od onerosa), è necessario ridefinire le specifiche adottate o, se ciò non fosse sufficiente, occorrerebbe agire esternamente alla scheda sui sistemi da connettere.

Realizzata la scheda, è necessario eseguire dei test per verificarne il funzionamento accertandosi che le specifiche siano rispettate, in caso negativo occorre ritornare alla fase di sintesi.

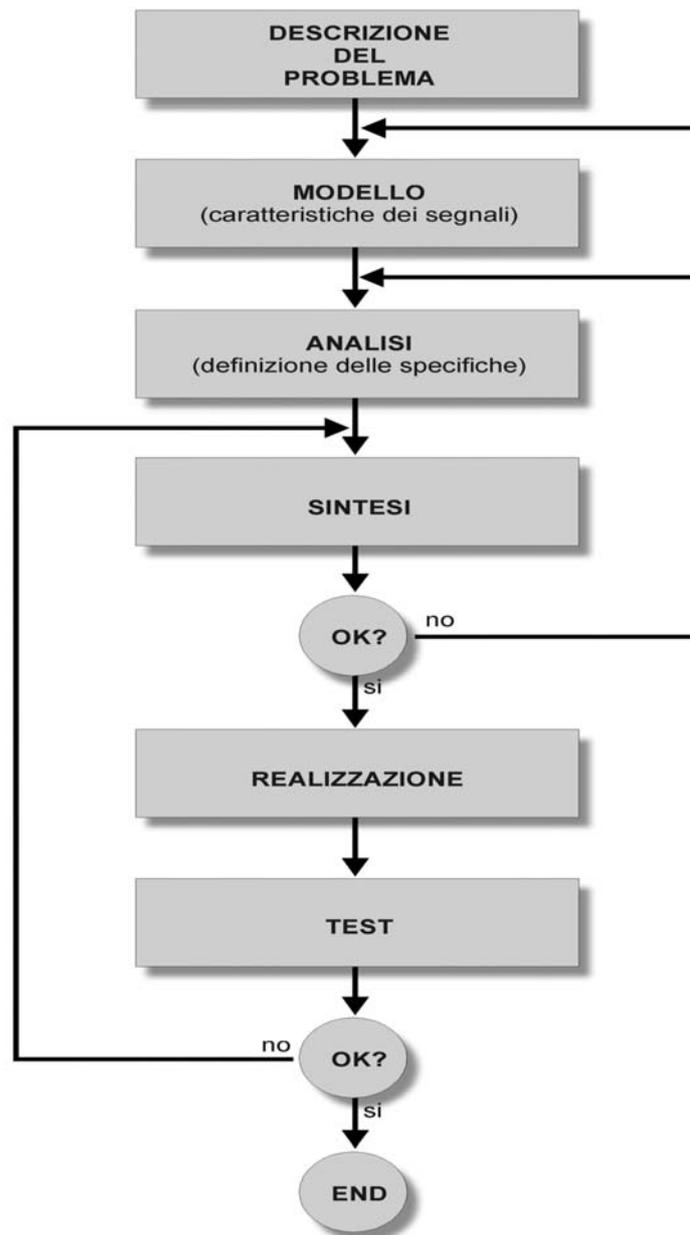


Fig. 5.17 Metodologia di progetto seguita per realizzare la scheda di interfaccia

5.4.3 Descrizione del problema

Il problema in oggetto è realizzare una scheda di interfaccia che connetta il sistema di potenza descritto nel Par.5.2 al dispositivo di controllo.

La connessione al sistema di potenza è realizzata tramite un unico connettore, riportato in Fig. 5.20, posto a monte dei circuiti driver descritti nel Par. 5.2.2 e schematizzati nelle tavole 2.2 e 3.

Dal dispositivo di controllo provengono, i segnali contenenti le informazioni sullo stato di accensione/spengimento degli IGBT dei tre rami dell'inverter trifase.

Al fine di garantire la sicurezza descritta in Par. 5.4.1 è opportuno che il dispositivo di controllo si limiti a fornire un solo segnale di comando per ogni fase dell'inverter.

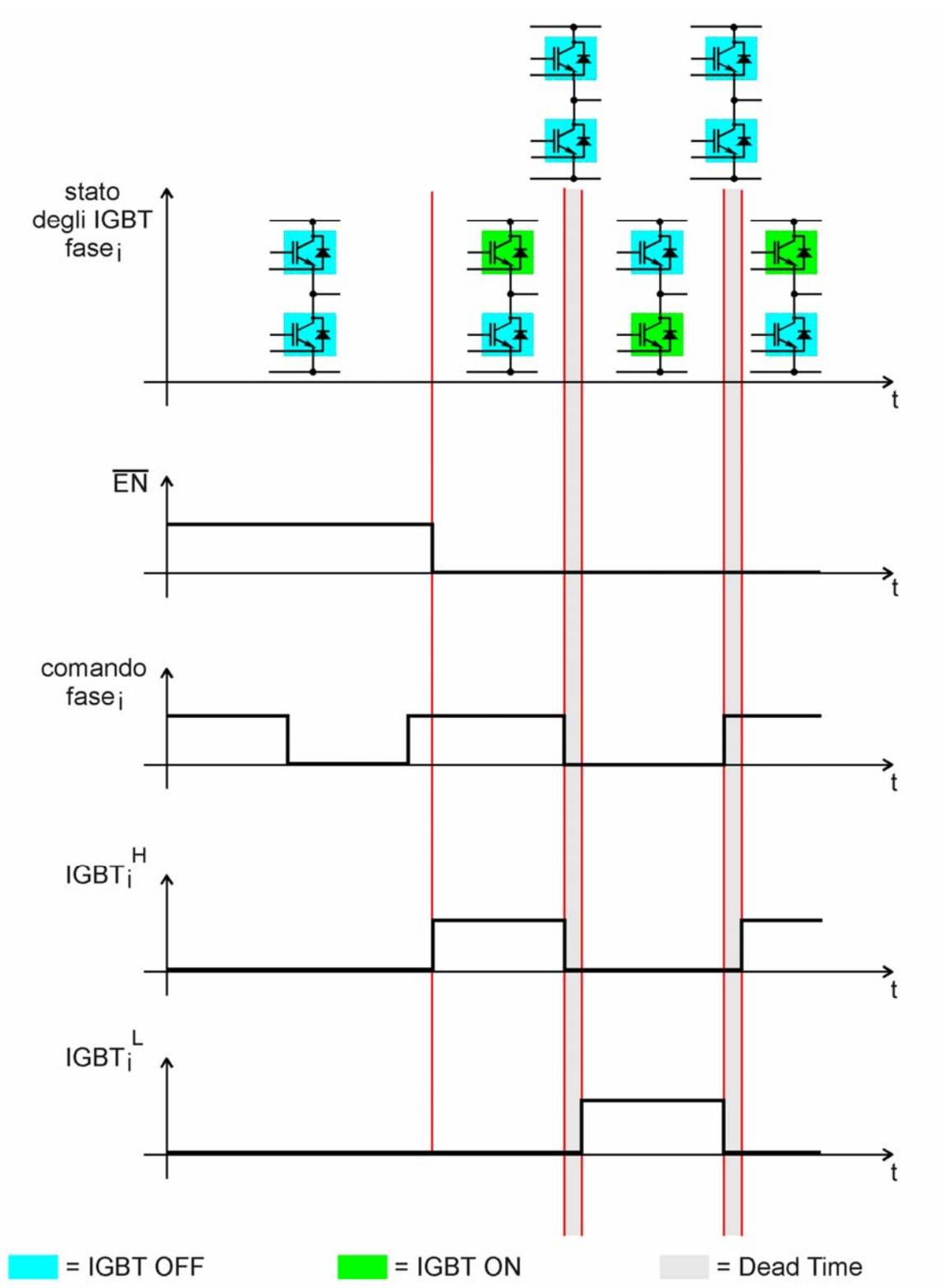


Fig. 5.18 *Temporizzazione tra i segnali in ingresso ed in uscita dalla scheda di interfaccia.*

Il compito principale della scheda SM-01 è descritto dal diagramma di temporizzazione di Fig. 5.18. Per ciascun ramo di inverter, la scheda riceve in ingresso il segnale di comando di ramo dal sistema di controllo, e generare i corrispondenti segnali di comando per i due componenti di ramo. Ciascun segnale di comando è poi inviato al circuito driver dell'interruttore statico di potenza corrispondente. I due segnali di componente, prodotti dalla scheda di interfaccia, dovranno inoltre essere interbloccati tra loro mediante l'interposizione di un tempo morto, durante il quale entrambi gli interruttori dello stesso ramo devono essere spenti.

Sempre nello schema di Fig. 5.18, è riportato che i tre segnali di fase sono condizionati da un quarto segnale, detto di enable (indicato con \overline{EN}). Questo segnale rappresenta l'abilitazione alle commutazioni degli interruttori. Cioè rappresenta il consenso per il sistema di potenza ad eseguire la sequenza di commutazioni stabilita dal dispositivo di controllo.

Al dispositivo di controllo è opportuno che giungano segnali sullo stato di funzionamento del sistema ed in particolare:

- stato della precarica ($\overline{PREC_OUT}$)
- presenza di errore di sovracorrente sugli IGBT (ERR_OUT)

È opportuno notare che d'ora in poi, quando possibile, per la nomenclatura dei segnali di tipo logico verrà adottato il seguente criterio:

- i segnali indicati senza segno di negazione vengono considerati *attivi alti*: la loro descrizione è vera per livello logico "1" e falsa per livello logico "0".
- i segnali indicati con segno di negazione sono considerati *attivi bassi*: la loro descrizione è vera per livello logico "0" e falsa per livello logico "1".

Ad esempio con il simbolo 'EN = segnale di enable' si indica che con livello logico "1" c'è abilitazione e con livello logico "0" c'è disabilitazione. Mentre con con il simbolo ' \overline{EN} = segnale di enable' si indica che con livello logico "0" c'è abilitazione e con livello logico "1" c'è disabilitazione.

5.4.4 Caratteristiche dei segnali

In virtù di quanto detto nel precedente paragrafo, in Fig. 5.19 è riportato il riepilogo di tutti i segnali che la scheda SM-01 deve gestire sia dal lato attuatore che dal lato dispositivo di controllo. In Fig. 5.19 i segnali diretti al sistema controllato sono rappresentati con una schematizzazione sul circuito di potenza che consente di individuare esattamente la loro funzione.

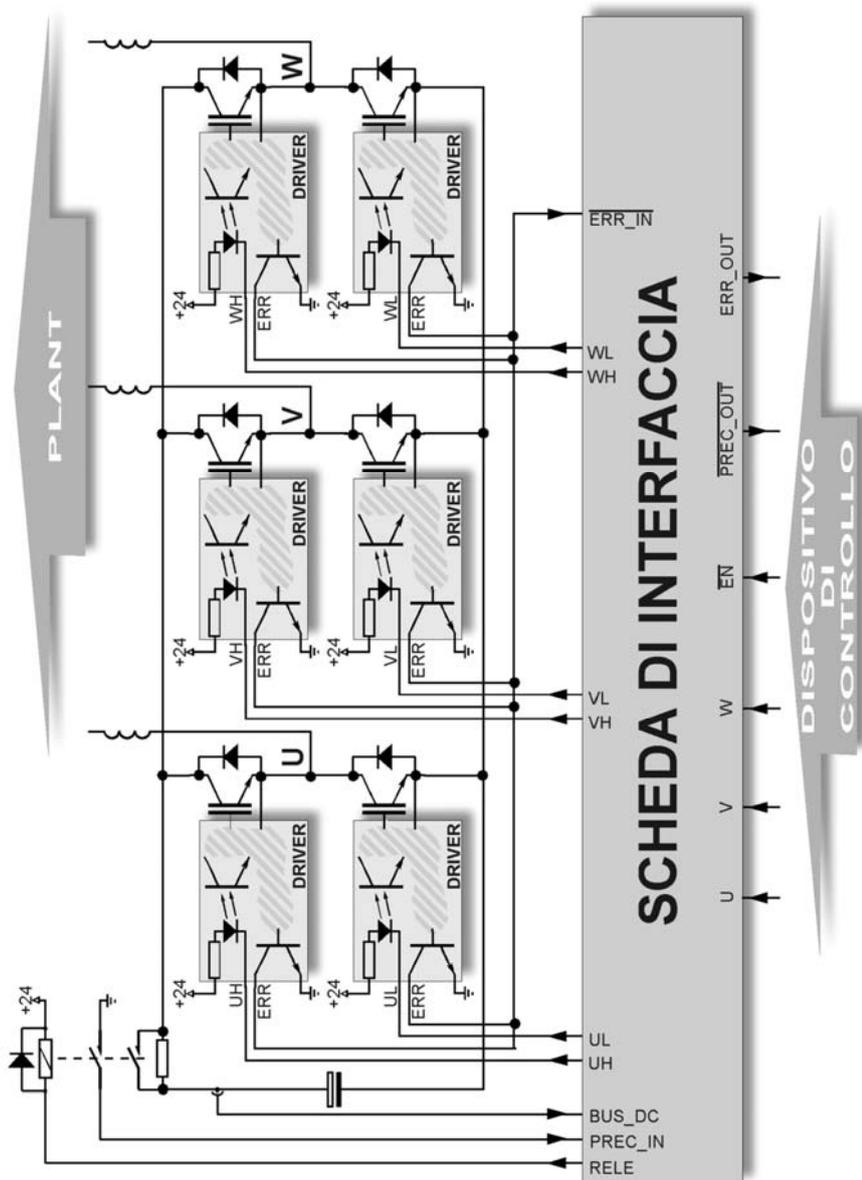


Fig. 5.19 Riepilogo dei segnali che la scheda di interfaccia SM-01 deve gestire

Nelle Tab. 5.7 e Tab. 5.8 sono riportate rispettivamente le caratteristiche elettriche e logiche dei segnali dal lato attuatore dove la desinenza OUT o IN della colonna “Tipo” è riferita alla scheda di interfaccia. Con “Corrente max” s’è indicata la massima corrente che la scheda di interfaccia deve fornire per segnali di tipo OUT e la massima corrente che è possibile prelevare per segnali di tipo IN.

Per i segnali logici è stata adottata la logica positiva per cui a livello logico alto corrisponde un livello di tensione alto e a livello logico basso corrisponde un livello di tensione basso.

SEGNALE	DESCRIZIONE	TIPO	TENSIONE	CORRENTE MAX
$\overline{U_L}$	Comando di accensione IGBT basso fase U	Digitale OUT	0, 24V	10mA
$\overline{U_H}$	Comando di accensione IGBT alto fase U	Digitale OUT	0, 24V	10mA
$\overline{V_L}$	Comando di accensione IGBT basso fase V	Digitale OUT	0, 24V	10mA
$\overline{V_H}$	Comando di accensione IGBT alto fase V	Digitale OUT	0, 24V	10mA
$\overline{W_L}$	Comando di accensione IGBT basso fase W	Digitale OUT	0, 24V	10mA
$\overline{W_H}$	Comando di accensione IGBT alto fase W	Digitale OUT	0, 24V	10mA
\overline{RELE}	Comando di accensione rele di precarica	Digitale OUT	0, 24V	50mA
BUS_DC	Tensione sul BUS DC / 100	Analogico IN	0 ÷ 15V	10mA
PREC_IN	Precarica in corso	Digitale IN	Open Collector	100mA
$\overline{ERR_IN}$	Errore di sovracorrente su IGBT	Digitale IN	Open Collector	10mA

Tab. 5.7 Segnali lato attuatore – Caratteristiche elettriche

SEGNALE	LIVELLO LOGICO “0”	LIVELLO LOGICO “1”
$\overline{U_L}$	IGBT acceso	IGBT spento
$\overline{U_H}$	IGBT acceso	IGBT spento
$\overline{V_L}$	IGBT acceso	IGBT spento
$\overline{V_H}$	IGBT acceso	IGBT spento
$\overline{W_L}$	IGBT acceso	IGBT spento
$\overline{W_H}$	IGBT acceso	IGBT spento
\overline{RELE}	Rele acceso	Rele spento
PREC_IN	Precarica terminata	Precarica in corso
$\overline{ERR_IN}$	Almeno un IGBT in errore	IGBT OK

Tab. 5.8 Segnali lato attuatore – Caratteristiche logiche

I segnali descritti nelle Tab. 5.7 Tab. 5.8 sono trasferiti su un unico cavo facente capo al connettore CN11 della scheda di driver dell'inverter. La distribuzione dei segnali su questo connettore è riportata in Fig. 5.20. In questa figura sono riportati tutti i segnali presenti sul connettore completi di descrizione, quelli evidenziati con un contrassegno sono quei segnali che sono presenti nella scheda driver dell'inverter commerciale utilizzato, ma che non sono utilizzati nel sistema prototipale realizzato.

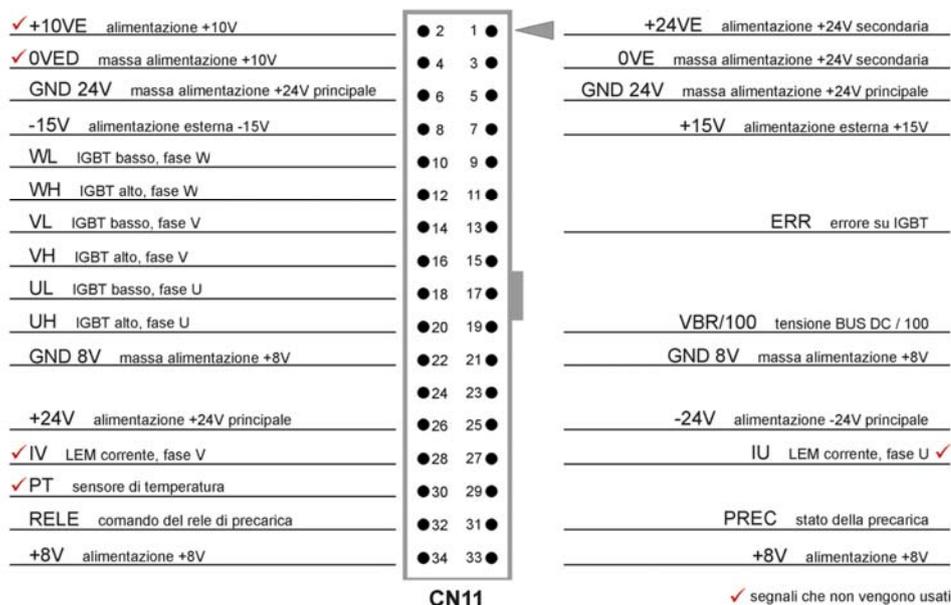


Fig. 5.20 Segnali presenti nel connettore CN11 lato circuiti driver

Nelle sono riportate rispettivamente le caratteristiche elettriche e logiche dei segnali dal lato dispositivo di controllo, le definizioni di “Tipo”, “Corrente max”, "Livello logico" sono le stesse delle precedenti due tabelle.

SEGNALE	DESCRIZIONE	TIPO	TENSIONE	CORRENTE MAX
$\overline{\text{EN}}$	Enable	Digitale IN	0, 5V	10mA
U	Fase U	Digitale IN	0, 5V	10mA
V	Fase V	Digitale IN	0, 5V	10mA
W	Fase W	Digitale IN	0, 5V	10mA
$\overline{\text{PREC_OUT}}$	Precarica in corso	Digitale OUT	0, 5V	10mA
ERR_OUT	Errore nel sistema	Digitale OUT	0, 5V	10mA

Tab. 5.9 Segnali lato dispositivo di controllo – Caratteristiche elettriche

SEGNALE	LIVELLO LOGICO “0”	LIVELLO LOGICO “1”
$\overline{\text{EN}}$	Sistema abilitato	IGBT tutti spenti
U	IGBT basso fase U acceso	IGBT alto fase U acceso
V	IGBT basso fase V acceso	IGBT alto fase V acceso
W	IGBT basso fase W acceso	IGBT alto fase W acceso
$\overline{\text{PREC_OUT}}$	Precarica in corso	Precarica terminata
ERR_OUT	Sistema funzionante	Sistema in errore

Tab. 5.10 Segnali lato dispositivo di controllo – Caratteristiche logiche

I segnali descritti sono disponibili su due connettori del dispositivo di controllo CN37 Slave I/O e CN50 Digital I/O. Le schede ed i cavi necessari per portare questi segnali al sistema di controllo, saranno mostrati in seguito.

5.4.5 Specifiche sulla scheda di interfaccia SM-01

Tra i compiti che la scheda deve realizzare c'è quello di interfacciare due sistemi elettricamente diversi, per fare ciò, deve rendere compatibili tra loro segnali che si trovano a livelli di tensione diversa.

Occorre inoltre considerare che tutto il sistema di controllo è localizzato nello stesso armadio dove si trova la struttura di potenza, ad una distanza di circa 1,5 m. Per evitare che anche in condizione di guasto di un isolamento sui driver o sull'alimentatore fly-back il sistema di controllo possa essere raggiunto da tensioni pericolose, è opportuno realizzare una separazione elettrica tra sistema di controllo ed interfaccia, quindi su tutti i segnali che sono collegati al sistema di controllo elencati in Tab. 5.9.

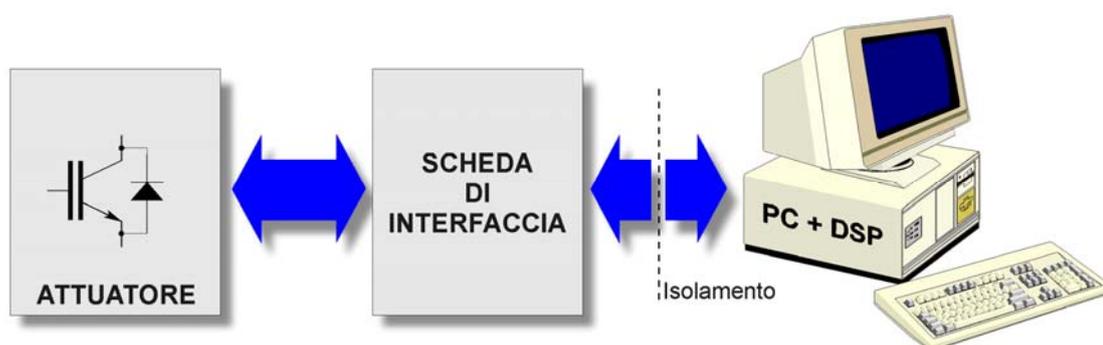


Fig. 5.21 Separazione elettrica per i segnali verso il dispositivo di controllo

I segnali quali \overline{EN} , U, V, W sono considerati estremamente critici, in quanto contengono le informazioni sullo stato dei rami del convertitore. Si è scelto di trasmettere questi segnali per fibra ottica in modo da ridurre al minimo l'accoppiamento elettromagnetico con l'ambiente circostante.

Diversamente, i segnali $\overline{PREC_OUT}$ ed $\overline{ERR_OUT}$ rappresentano solamente una informazione sullo stato del convertitore che giunge al controllo. Per questi segnali, è sufficiente adottare la separazione elettrica mediante fotoaccoppiatori, ed utilizzare un collegamento di tipo elettrico senza ricorrere alla fibra ottica che è più costosa.

Come già introdotto nella descrizione della Fig. 5.18 il compito della scheda di interfaccia è quello di generare i due segnali di ciascun ramo dell'inverter trifase a fronte di un segnale di fase gestendo correttamente la commutazione tra due IGBT.

Questo significa che a fronte di un cambiamento sul segnale di fase, si deve inviare un comando di spegnimento ad entrambi gli IGBT per un tempo (*tempo morto o di interblocco*) sufficiente a spegnere il dispositivo che era acceso, dopo di che si può accendere l'altro come mostrato nel diagramma di temporizzazione di Fig. 5.18.

Poiché il tempo morto altera il contenuto informativo dei segnali di accensione/spegnimento degli IGBT rispetto a quanto calcolato dal dispositivo di controllo, sarebbe opportuno che tale tempo fosse il più breve possibile per non peggiorare il comportamento del compensatore statico. Contemporaneamente, il tempo di spegnimento del dispositivo dipende dalla corrente che vi circola e quindi dall'entità del carico applicato al ponte trifase.

Per questo, sulla scheda realizzata, è possibile variare questo tempo sui valori preimpostati (2, 4, 6 μ s) in funzione delle condizioni di utilizzo che di volta in volta si possono presentare.

Oltre a queste funzionalità principali alla scheda spetta anche il compito di gestire le condizioni di malfunzionamento (cui si accennava all'inizio del capitolo) e la fase di precarica del bus dc.

Per cui, in sintesi, le specifiche assegnate alla scheda interfaccia SM-01 richiedono le seguenti azioni:

- integrare i dispositivi di connessione, attuare la conversione di potenza, adattare il livello dei segnali;
- separare elettricamente la sezione di controllo dalla sezione driver di potenza;
- convertire i tre segnali di fase provenienti dal controllo nei sei segnale di accensione/spegnimento degli IGBT del ponte trifase, e sottoporli al comando di abilitazione dato dal segnale di enable;
- generare i tempi morti tra le commutazioni dei due IGBT di ogni ramo del ponte trifase in modo selezionabile dall'operatore (2-4-6 μ s);
- gestire la fase di precarica del BUS DC del ponte trifase prevedendo due differenti soglie di intervento a fronte di due possibili tensioni di alimentazione di 230Vac e 400Vac; possibilità di disabilitare manualmente il circuito di precarica;
- gestire efficientemente e in sicurezza i segnali di protezione provenienti dalla parte di potenza: $\overline{\text{ERR_IN}}$ e PREC_IN ;

- visualizzare lo stato di segnali significativi quali lo stato degli IGBT, le condizioni di errore, lo stato della precarica;
- supervisionare il livello della tensione di alimentazione dei circuiti presenti sulla scheda;

5.4.6 Sintesi della scheda SM-01

Le specifiche sulla scheda SM-01, descritte nel Par.5.4.5 richiedono la realizzazione di un dispositivo che generi segnali logici caratterizzati da temporizzazioni di durata ben precisa (tempi morti) e sincronizzati con segnali logici esterni. Questo implica la necessità di misurare degli intervalli temporali e memorizzare degli eventi, ossia progettare una rete logica di tipo sequenziale che disponga di una base dei tempi (clock).

Per semplificare il più possibile la realizzazione fisica di una tale rete permettendo al tempo stesso la possibilità di modificarne la struttura in qualsiasi momento, s'è optato per l'uso di integrati CPLD (Complex Programmable Logic Devices).

A seguito delle considerazioni appena effettuate e in base a quanto specificato nei paragrafi 5.4.5 è possibile tracciare uno schema a blocchi dell'interfaccia da realizzare, riportato in Fig. 5.22.

È opportuno notare fin d'ora che, la scheda in oggetto sarà installata in prossimità dell'attuatore in posizione difficilmente accessibile, per cui è necessario portare esternamente alla scheda il tasto di reset, il selettore della precarica manuale, i dispositivi di visualizzazione. Questi dispositivi sono collocati su delle schede accessorie disposte in prossimità del sistema di controllo e quindi in posizione più facilmente visibile ed accessibile all'operatore.

Su tali schede sono installati anche i trasmettitori per le fibre ottiche, i ricevitori per i segnali $\overline{\text{PREC_OUT}}$ ed ERR_OUT : di fatto sono a tutti gli effetti delle schede di interfaccia che hanno il compito di rendere disponibili in modo comodo i segnali digitali della scheda di controllo necessari al controllo dei convertitori elettronici presenti.

Nei prossimi paragrafi saranno descritte tutte le diverse sezioni della scheda SM-01, così come sono rappresentate in Fig. 5.22.

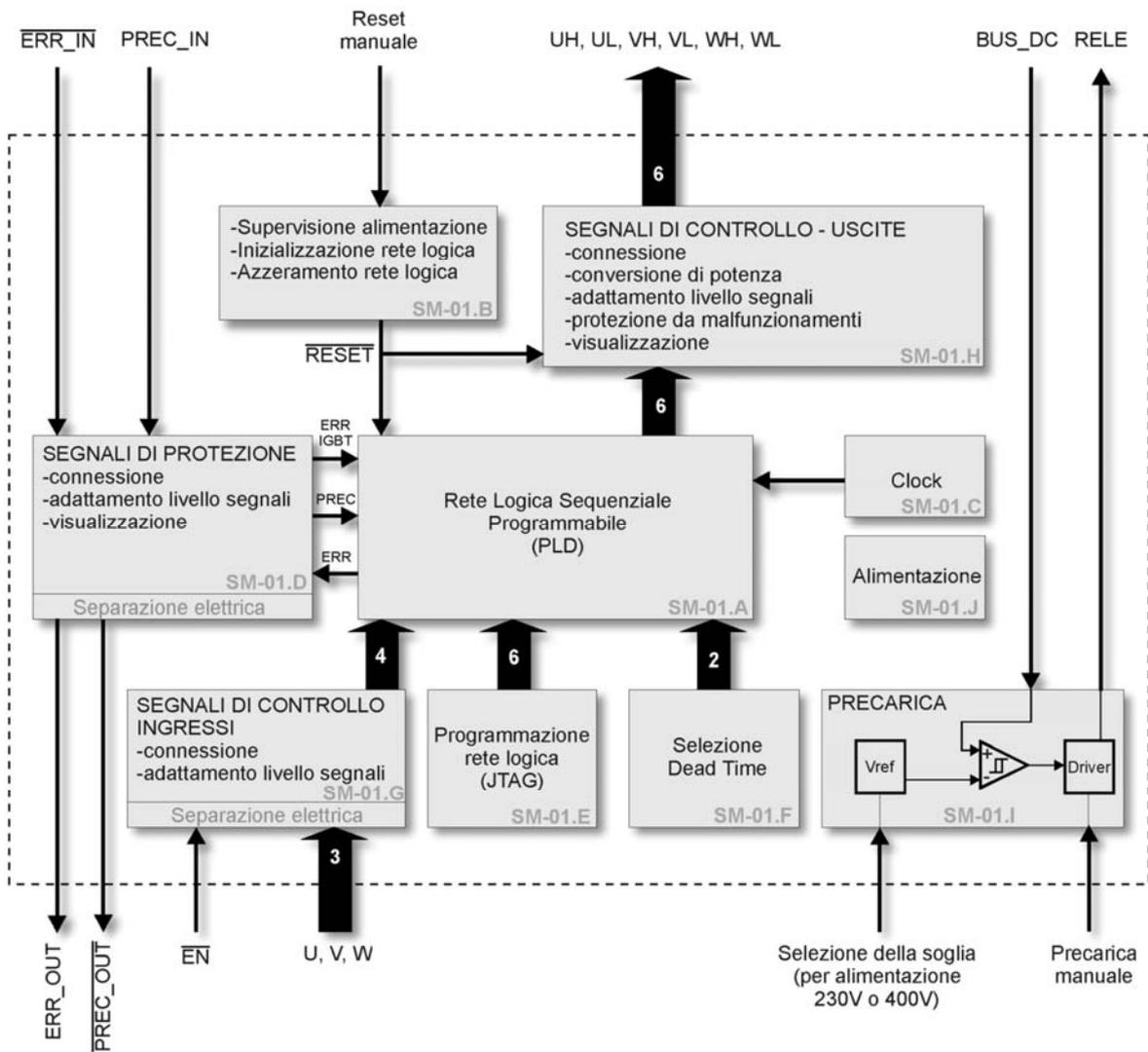


Fig. 5.22 Schema a blocchi della scheda di interfaccia SM-01.

5.4.6.1 *Blocco SM-01.A - Rete logica sequenziale*

Il dispositivo che si vuole realizzare, deve essere in grado di elaborare le informazioni di tipo logico provenienti dai segnali in ingresso riportando in uscita i risultati dell'elaborazione in forma di segnali ancora di tipo logico.

In questa applicazione, il vettore delle uscite y all'istante k dipende dal vettore degli ingressi u nel medesimo istante e in istanti precedenti, la rete logica che si realizza è detta di tipo *sequenziale*, e la funzione vettoriale algebrica che la rappresenta è

$$\text{Eq. 5.1} \quad y(k) = g(u(k), u(k-1), u(k-2), \dots) \quad u \in B^p, y \in B^q, B = \{0, 1\}$$

Se nella Eq. 5.1 non ci fosse la dipendenza dal tempo, la rete sarebbe solamente combinatoria. Comunque, qualunque sia la realizzazione della rete, inevitabilmente la risposta $y(k)$ si presenterà con un certo ritardo e con un certo transitorio rispetto alla sollecitazione $x(k)$.

Data la tabella della verità, la funzione che esprime ogni uscita, mostrata in

$$\text{Eq. 5.2} \quad y_i = g_i(x_1, x_2, \dots, x_N) \quad \text{con } i = 1, \dots, M$$

può essere ricavata dalle *mappe di Karnaugh* che consistono nel riportare sugli assi gli ingressi e nelle caselle i corrispondenti valori dell'uscita.

Applicando opportune regole è possibile raggruppare gli 1 ottenendo la funzione rappresentante l'uscita come somma di prodotti oppure, dualmente, raggruppando gli 0 è possibile ottenere una funzione espressa da prodotto di somme.

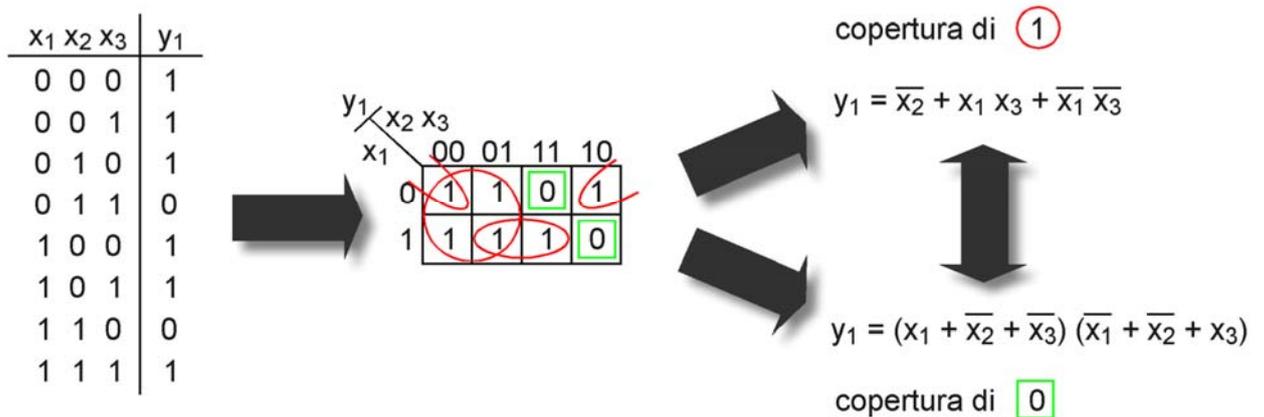


Fig. 5.23 *Uso delle mappe di Karnaugh per ricavare le funzioni logiche*

Per descrivere analiticamente una rete sequenziale, è opportuno introdurre il concetto di *stato*. Lo stato è un elemento che varia nel tempo e rappresenta la situazione in cui si trova il sistema ad un certo istante (rappresenta la "memoria del sistema" o, detto in altri termini, il "riassunto della storia passata del sistema").

Dati il vettore di stato x ed il vettore degli ingressi u all'istante k si ottiene il corrispondente vettore delle uscite al medesimo istante

$$\text{Eq. 5.3} \quad y(k) = g(x(k), u(k)) \quad x \in B^n, u \in B^p, y \in B^q, B = \{0, 1\}$$

Appare evidente, che per dare una descrizione completa del sistema si deve esplicitare anche l'espressione dell'evoluzione dello stato. A questo scopo è opportuno indicare con *stato presente* $x(k)$ lo stato in un istante k e con *stato futuro* $x(k+\tau)$ lo stato che diventerà presente all'istante successivo a k .

Da notare che si è usata una notazione generica in cui k e τ sono numeri reali che rappresentano rispettivamente un istante ed un intervallo temporali. Quando si parla di reti logiche si considerano normalmente segnali discreti nel tempo per cui k è un numero intero e l'istante successivo a k si indica con $k+1$, gli istanti sono tutti riferiti ad un intervallo di campionamento T . Ciò precisato, quando si passa all'istante $k+\tau$, dove lo stato che prima era futuro ora diventa presente, si avrà un nuovo stato futuro funzione di quello presente e della configurazione di ingresso attuale.

Se stato futuro e stato presente hanno valori identici e l'ingresso rimane costante, si ha una *configurazione di equilibrio* del sistema (anche l'uscita rimane costante) e si parla di situazione di regime. Da questa situazione, un cambiamento dell'ingresso produrrà dopo un certo ritardo (dipende da come è realizzata la rete) dei cambiamenti all'uscita e allo stato futuro il quale a sua volta provocherà ulteriori cambiamenti fino ad arrivare ad una nuova situazione di regime.

Come mostrato in Fig. 5.24 si può schematizzare una rete sequenziale come una rete di tipo combinatorio, che in ingresso ha i segnali di ingresso u e lo stato presente x^P e come uscita i segnali di uscita y e lo stato futuro x^F : lo stato futuro diventa presente dopo il tempo τ .

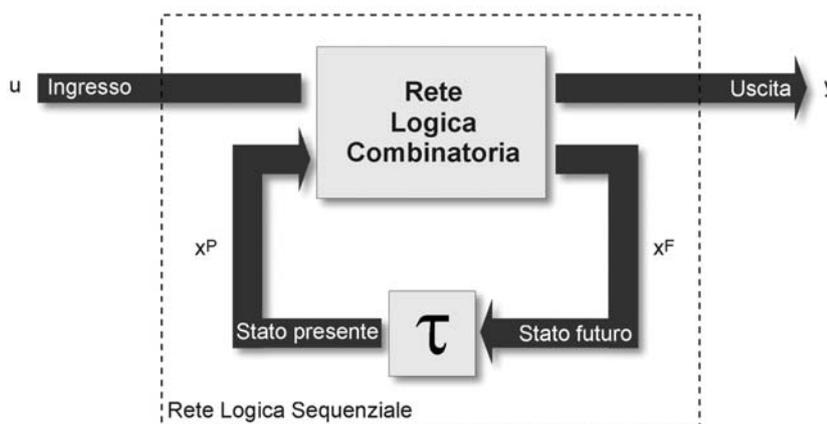


Fig. 5.24 *Struttura di una rete logica di tipo sequenziale*

La scelta di τ consente di fare una prima ed importante classificazione delle reti sequenziali.

Si parla di *rete sequenziale asincrona* quando τ è determinato dai soli ritardi, inevitabilmente presenti, nella rete, ciò comporta:

- prontezza nel rispondere ad una variazione della configurazione di ingresso
- difficoltà ad interpretare correttamente i valori ricevuti di cui s'è già detto nel caso dei segnali asincroni
- problemi delle corse critiche.

In particolare, i problemi alle corse critiche si hanno quando lo stato presente raggiunto dipende dall'ordine con cui variano le variabili logiche che codificano lo stato futuro. Tipico è il caso in cui, due o più variabili che codificano lo stato futuro devono variare contemporaneamente il proprio valore. Questi valori, arriveranno dopo un certo ritardo (mediamente τ) inevitabilmente disallineati alla rete che deve interpretarli come stato presente, dando origine a transizioni spurie che possono alterare il corretto funzionamento della rete.

Si parla di *rete sequenziale sincrona* quando τ è fissato ad un valore ben preciso (da un apposito segnale di clock) e ciò comporta:

- la transizione da stato futuro a stato presente avviene solo ad istanti ben precisi in cui il valore dello stato è certo (gli istanti devono essere tali che i transitori dovuti alla rete combinatoria che calcola lo stato futuro siano estinti)
- certezza nella corretta interpretazione dei valori ricevuti (qualora i segnali siano sincronizzati con il clock della rete)
- perdita di prontezza

Quindi la generica rete sequenziale, sia essa sincrona o asincrona, è esprimibile con due equazioni vettoriali che descrivono rispettivamente le transizioni dello stato e l'uscita:

$$\begin{aligned} \text{Eq. 5.4} \quad & x(k + \tau) = f(x(k), u(k)) \\ & y(k) = g(x(k), u(k)) \quad x \in \mathbf{B}^n, u \in \mathbf{B}^p, y \in \mathbf{B}^q, \mathbf{B} \in \{0, 1\} \end{aligned}$$

dove τ ha il significato visto prima.

Questo modello matematico è solitamente denominato *modello di Mealy* e rappresenta un sistema non puramente dinamico in cui l'uscita in ogni istante, oltre che dallo stato presente, dipende anche dall'ingresso al medesimo istante.

Un diverso modello è

$$\begin{aligned} \text{Eq. 5.5} \quad & x(k + \tau) = f(x(k), u(k)) \\ & y(k) = g(x(k)) \quad x \in \mathbf{B}^n, u \in \mathbf{B}^p, y \in \mathbf{B}^q, \mathbf{B} \in \{0, 1\} \end{aligned}$$

denominato *modello di Moore* e che rappresenta un sistema puramente dinamico in cui l'uscita in ogni istante dipende solo dallo stato presente.

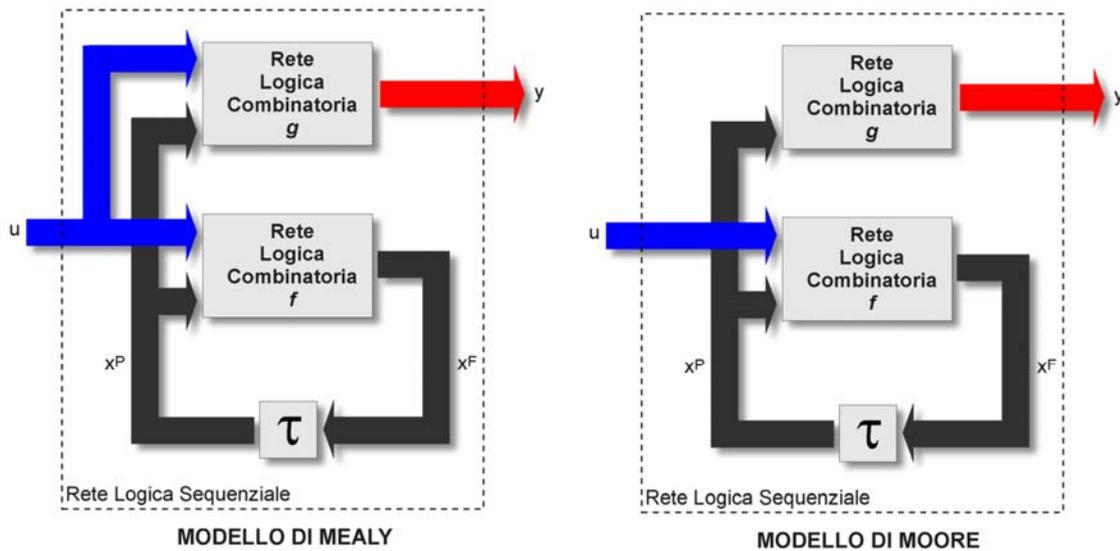


Fig. 5.25 Rappresentazione di una rete logica secondo i modelli di Mealy e di Moore

Questa distinzione è importante perché una rete del tipo di Mealy è caratterizzata da

- prontezza a variazioni degli ingressi;
- maggiore sensibilità a variazioni indesiderate presenti nell'ingresso.

Mentre una rete del tipo di Moore è caratterizzata da

- minore sensibilità a variazioni indesiderate presenti nell'ingresso in quanto possono essere "filtrate" dalla rete che ha il compito di calcolare lo stato futuro;
- minore prontezza alle variazioni degli ingressi.

Anziché come modello di tipo matematico, la descrizione di reti sequenziali è più efficacemente fornita dai grafi di transizione, mostrati in Fig. 5.26.

Ad ogni nodo del grafo corrisponde uno stato e su ogni ramo che collega due nodi è indicata la configurazione degli ingressi associata alla corrispondente transizione. L'uscita è indicata sul ramo qualora si consideri un modello di Mealy oppure è indicata nel nodo qualora il modello sia secondo Moore. Per chiarezza grafica, sul grafo di Fig. 5.26 sono riportati solo i valori logici mentre la corrispondenza tra segnali e valori è riportata in un riquadro adiacente al grafo.

Dal grafo si può passare alla *tabella di flusso* (al centro di Fig. 5.26) dove ad ogni riga corrisponde uno stato presente e ad ogni colonna corrisponde una configurazione degli ingressi, nelle celle sono indicati i corrispondenti stato futuro e configurazione dell'uscita.

Qualora la rappresentazione ottenuta non sia in forma minima, applicando opportuni procedimenti di riduzione (per cui si rimanda alla letteratura specializzata) è possibile minimizzare il numero degli stati necessari alla descrizione della rete.

Dalla tabella di flusso, dopo aver codificato gli stati con numeri binari (per la codifica, dati un numero M di stati è necessario un numero z di bit tale che $M \leq 2^z$), si ottiene la *tabella delle transizioni* riportata in basso nella Fig. 5.26.

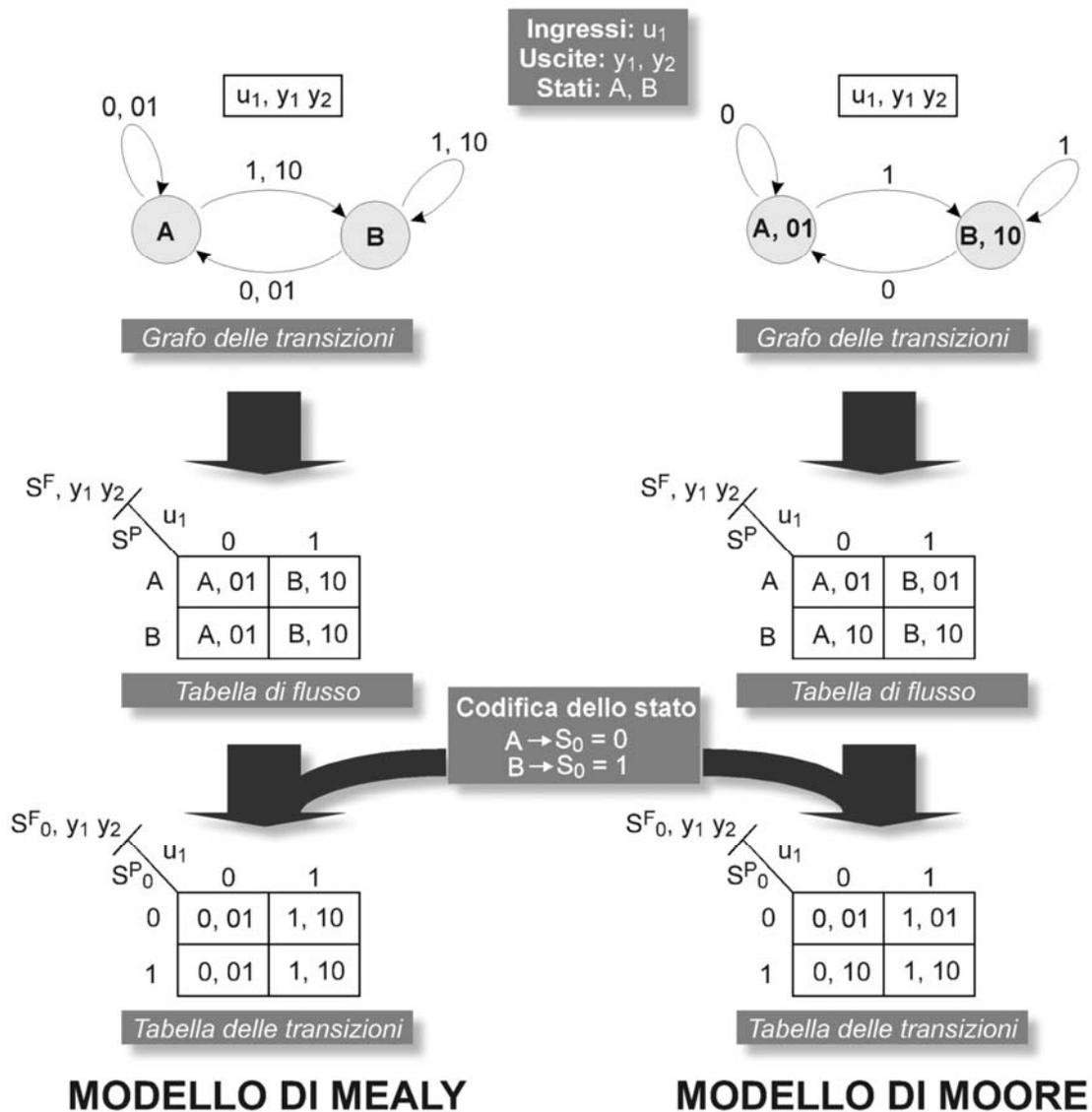


Fig. 5.26 *Grafi delle transizioni, tabelle di flusso, tabelle delle transizioni secondo il modello di Mealy e secondo il modello di Moore*

Con l'ausilio delle mappe di Karnaugh, dalla tabella delle transizioni si possono ottenere le funzioni che da stato presente ed ingressi forniscono uscite e stato futuro.

Per il corretto funzionamento di una rete sequenziale asincrona è fondamentale risolvere il problema delle corse critiche che invece non sono presenti nel caso delle reti sincrone.

Per la realizzazione delle reti sequenziali sincrone, è bene fare notare che tipicamente il blocco τ di Fig. 5.25 è realizzato da un flip flop di tipo D come quello mostrato in Fig. 5.27, che è applicato ad ogni bit delle variabili di stato.

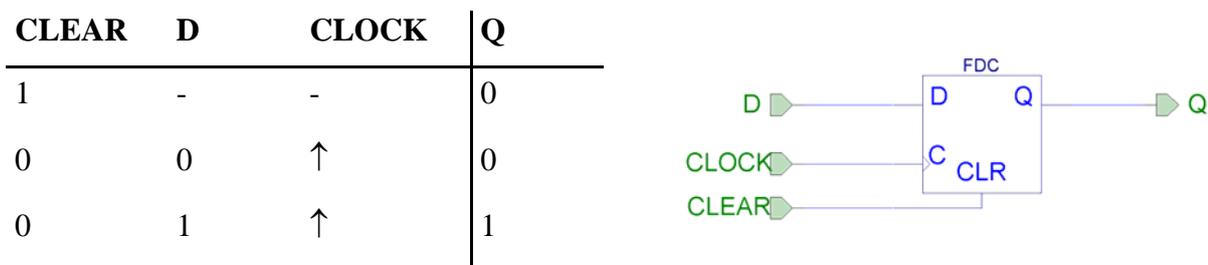


Fig. 5.27 Funzionamento del flip flop di tipo D

In questo flip flop, sull'uscita Q c'è il bit relativo allo stato presente e in D quello relativo allo stato futuro, il passaggio da stato futuro a stato presente avviene in corrispondenza del fronte di salita del clock C.

Il segnale di clear, normalmente è di tipo asincrono, per cui una sua variazione si propaga immediatamente all'uscita, è utile per inizializzare la rete logica durante la fase di accensione fissando lo stato da cui partire: per le scelte adottate sarà lo stato codificato con bit tutti a 0.

Questa panoramica sulle reti logiche (per i dettagli si rimanda alla letteratura specializzata) ha lo scopo di mettere in evidenza i punti salienti su cui porre maggiore attenzione durante la progettazione della rete sequenziale su cui si basa la scheda di interfaccia SM-01.

Al fine di semplificare la fase di sintesi, s'è optato per suddividere la rete in cinque blocchi principali.

La prima scelta effettuata riguarda il valore da assegnare al clock. Poiché la rete deve essere in grado di misurare tempi dell'ordine del μ s appare corretto scegliere un periodo di clock dell'ordine di 100ns a cui corrisponde una frequenza di 10MHz.

5.4.6.2 Riepilogo segnali

L'obiettivo principale della rete logica che si deve progettare e realizzare è quello di elaborare i 3 segnali di fase più uno di enable provenienti dal controllo, secondo la temporizzazione illustrata in Fig. 5.17.

Le uscite di questa rete sono sei segnali che pilotano l'accensione/spegnimento dei sei driver per IGBT dell'inverter trifase.

Le altre funzioni che la rete deve essere in grado di eseguire, sono:

- la gestione dei segnali di protezione provenienti dal sistema di potenza
- l'implementazione di meccanismi supplementari di protezione (rilevazione se un IGBT rimane per troppo tempo in una configurazione fissa).

Di seguito è schematizzato l'insieme dei segnali che la rete riceve in ingresso e i corrispondenti segnali resi disponibili all'uscita. In Tab. 5.11 c'è il riepilogo delle caratteristiche logiche di tali segnali.

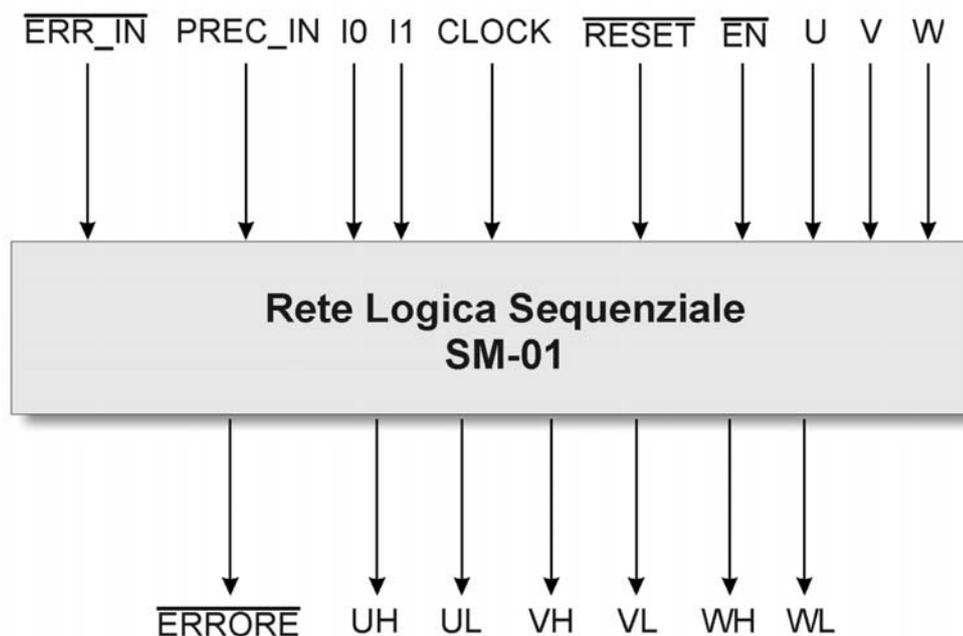


Fig. 5.28 Segnali facenti capo alla rete logica della scheda SM-01

INGRESSI		
SEGNALE	LIVELLO LOGICO "0"	LIVELLO LOGICO "1"
U	IGBT basso fase U acceso	IGBT alto fase U acceso
V	IGBT basso fase V acceso	IGBT alto fase V acceso
W	IGBT basso fase W acceso	IGBT alto fase W acceso
$\overline{\text{EN}}$	Sistema abilitato	IGBT tutti spenti
$\overline{\text{ERR_IN}}$	Almeno un IGBT in errore	IGBT OK
PREC_IN	Precarica terminata	Precarica in corso
I0	Selezione del dead time	
I1		
$\overline{\text{RESET}}$	Azzeramento	Funzionamento normale
CLOCK	Segnale di clock	
USCITE		
SEGNALE	LIVELLO LOGICO "0"	LIVELLO LOGICO "1"
UH	IGBT acceso	IGBT spento
UL	IGBT acceso	IGBT spento
VH	IGBT acceso	IGBT spento
VL	IGBT acceso	IGBT spento
WH	IGBT acceso	IGBT spento
WL	IGBT acceso	IGBT spento
$\overline{\text{ERRORE}}$	Sistema in errore	Sistema funzionante

Tab. 5.11 Riepilogo dei segnali di ingresso e uscita della rete logica

5.4.6.3 Blocco phase displacement

Il primo blocco ad essere sintetizzato, denominato *phase displacement*, è quello relativo alla realizzazione dei due segnali di accensione/spegnimento dei due IGBT di un ramo del ponte trifase a partire dal relativo segnale di fase.

Nella rete logica complessiva saranno presenti tre blocchi *phase displacement*, uno per ogni fase.

In Fig. 5.29 è riportato lo schema della rete relativa al *phase displacement* per cui s'è optato ad una realizzazione di tipo asincrono secondo il modello di Moore, mentre in Fig. 5.30 sono riportati i relativi segnali di IN/OUT.

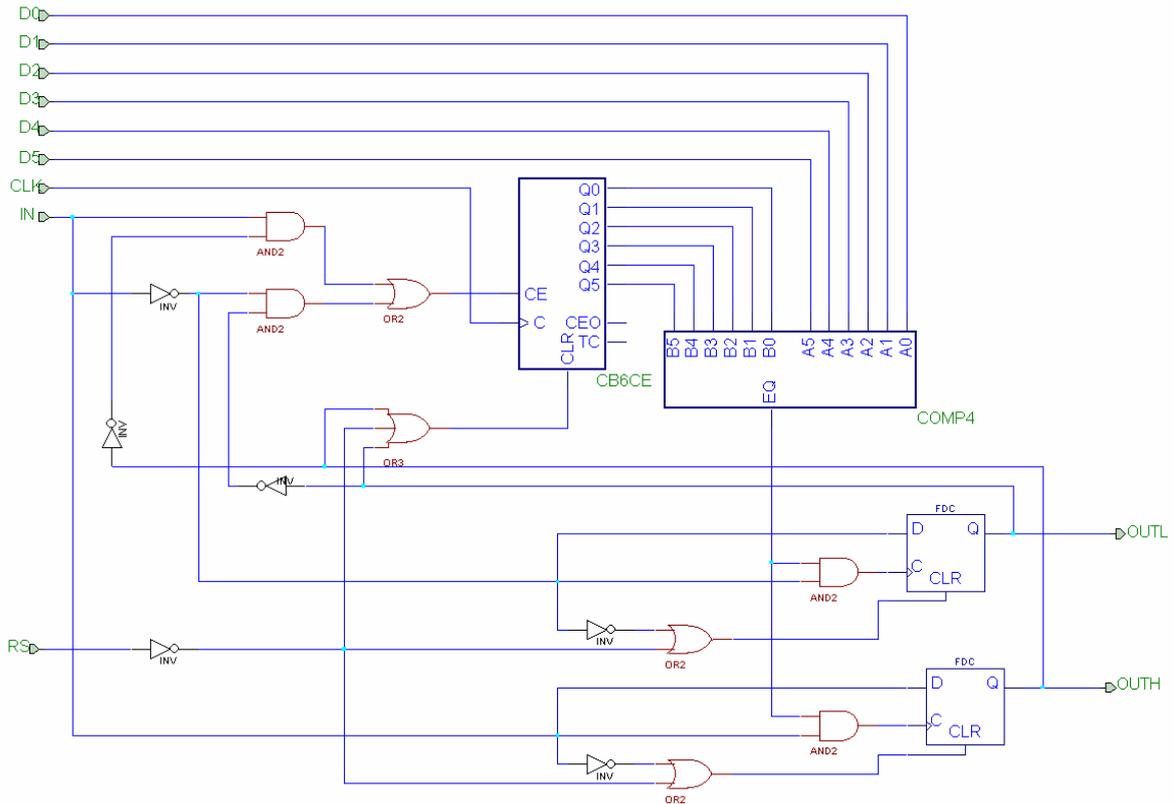


Fig. 5.29 Rete logica relativa al blocco phase displacement

INGRESSI	
SEGNALE	DESCRIZIONE
CLK	Clock a 10MHz
D0	Selezione del dead time
D1	
D2	
D3	
D4	
D5	
IN	Comando di fase 0 = IGBT L ON, IGBT H OFF 1 = IGBT L OFF, IGBT H ON
RS	Segnale di reset 0 = azzeramento e IGBT OFF 1 = sistema funzionante
USCITE	
SEGNALE	DESCRIZIONE
OUTH	Comando per driver IGBT H 0 = IGBT OFF, 1 = IGBT ON
OUTL	Comando per driver IGBT L 0 = IGBT OFF, 1 = IGBT ON

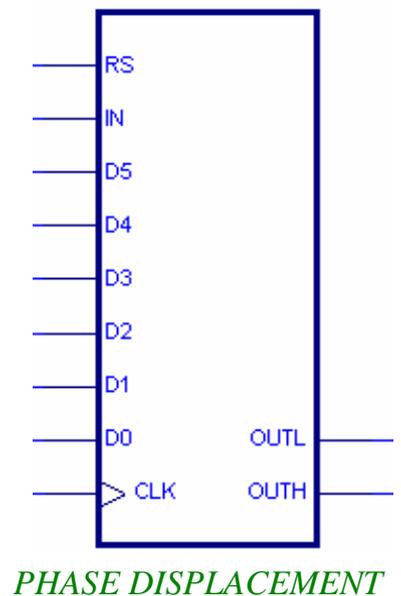


Fig. 5.30 Segnali gestiti dal blocco phase displacement

Come richiesto dalle specifiche riassunte in Fig. 5.17, la rete relativa al blocco phase displacement di Fig. 5.29 può essere così descritta.

Con ingresso RS al valore logico basso i valori di OUTL e OUTH sono bloccati a 0 (IGBT della corrispondente fase spenti) indipendentemente dal valore assunto da IN. In questo modo RS può essere usato per azzerare la rete durante la fase di accensione oppure per bloccare la rete in presenza di errore.

Quando RS va al valore logico alto, dopo un intervallo pari al tempo morto, va alta la sola uscita compatibile con lo stato del segnale IN: se IN è alto allora andrà alto OUTH e se IN è basso andrà alto OUTL.

Quando IN cambia di valore l'uscita che era alta viene immediatamente portata al valore logico basso e il contatore CB6CE viene abilitato a contare.

Il contatore CB6CE, mostrato in Fig. 5.31, è un contatore a 6 bit che conta alla frequenza del clock per cui, da quando è abilitato, è possibile misurare un intervallo massimo di tempo pari a $2^6 \cdot 100\text{ns} = 6.4\mu\text{s}$ ed è quindi sufficiente per realizzare i tempi morti prefissati di 2/4/6 μs .

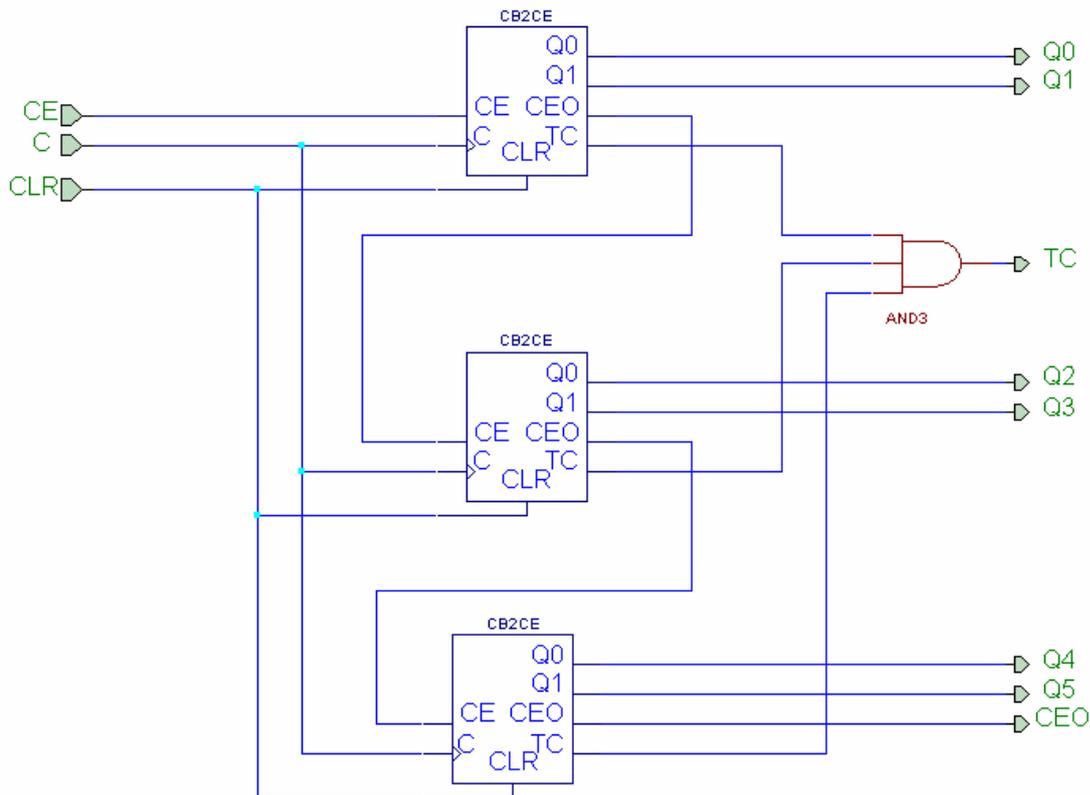


Fig. 5.31 Contatore a 6 bit CB6CE presente nel blocco phase displacement col compito di misurare il tempo morto

Ciascuno dei tre blocchi CB2CE che costituisce il contatore a 6 bit CB6CE, è costituito da un contatore a due bit, ed è riportato in Fig. 5.32.

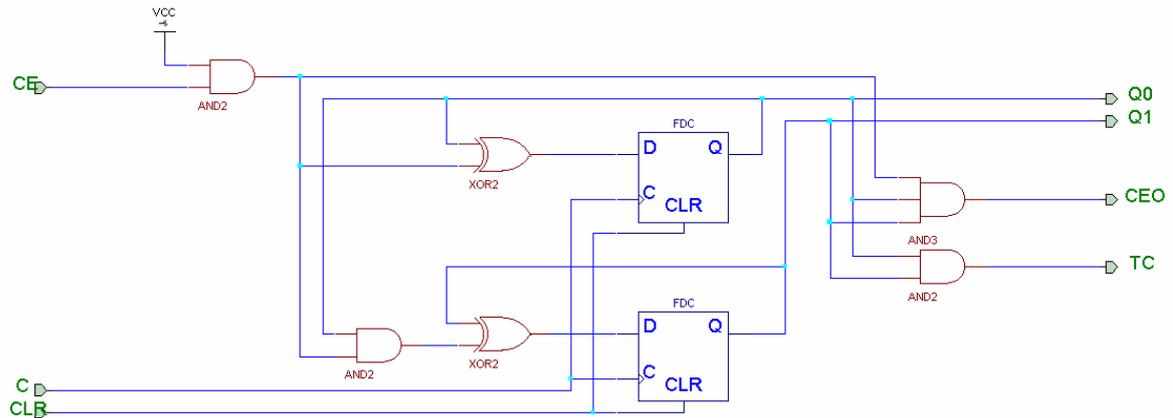


Fig. 5.32 Contatore a 2 bit CB2CE utilizzato nel contatore CB6CE

Quando le uscite del contatore CB6CE hanno raggiunto il valore impostato in D0/D1/D2/D3/D4/D5, l'uscita del comparatore COMP4, mostrato in Fig. 5.33 cambia stato mandando alta l'uscita OUT corrispondente al valore di IN (al solito se IN è alta andrà alto OUTH, se IN è bassa andrà alto OUTL) e contemporaneamente azzerando il contatore che è così pronto a ripartire per un nuovo ciclo.

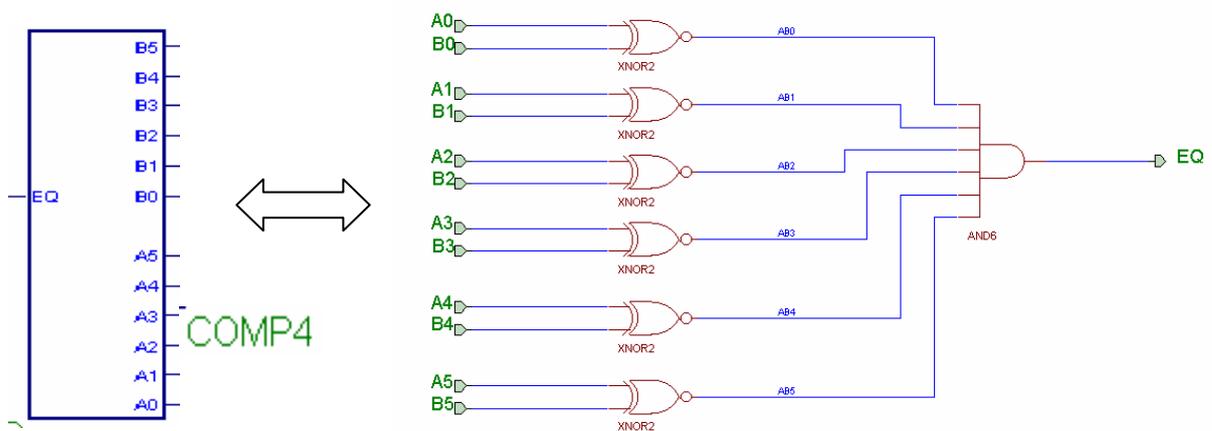


Fig. 5.33 Comparatore a 6 bit COMP4 presente nel blocco phase displacement col compito di confrontare l'uscita di CB6CE ai bit di selezione D0/D1/D2/D3/D4/D5 per realizzare il dead time voluto

I segnali D0-D5 rappresentano quindi il valore del tempo morto selezionato.

5.4.6.4 Blocco delay time

Il secondo blocco descritto è quello denominato *delay time* e relativo alla realizzazione della selezione del tempo morto o dead time.

L'esigenza è quella di avere tre soli valori di tempo da selezionare (2-4-6 μ s) da cui segue che sono sufficienti due bit per la loro codifica. Il comparatore che fissa il dead time ha però bisogno di sei bit e quindi è necessario realizzare una rete che, a partire dai due bit di selezione, passi ai sei necessari a rappresentare l'intervallo voluto.

La rete è di tipo combinatorio e quindi può essere sintetizzata con l'ausilio della tabella della verità e delle mappe di Karnaugh. Tenendo presente che il dead time è ottenuto da un contatore a sei bit con clock a 10MHz, i valori da impostare nei sei bit D0-D5 del blocco phase displacement per ottenere i tempi di 2-4-6 μ s sono i seguenti:

Dead time	D5	D4	D3	D2	D1	D0	I0	I1
2 μ s	0	1	0	1	0	0	1	0
4 μ s	1	0	1	0	0	0	0	1
6 μ s	1	1	1	0	1	1	1	1

Tab. 5.12 Rappresentazione della selezione del tempo morto attraverso i bit D0-D5 ed I0_I1

Appare ora semplice scrivere i valori da assegnare alla tabella della verità che descrive il blocco delay time, caratterizzato da I0 e I1 in ingresso e da sei bit J0-J5 in uscita che andranno rispettivamente a D0-D5 dei blocchi phase displacement.

I0	I1	J5	J4	J3	J2	J1	J0
1	1	1	1	1	0	1	1
1	0	0	1	0	1	0	0
0	1	1	0	1	0	0	0
0	0	-	-	-	-	-	-

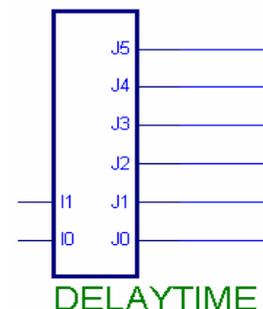


Fig. 5.34 Tabella della verità descritta implementata nel blocco delay time

Per determinare le sei espressioni logiche delle uscite J0, J1, J2, J3, J4 e J5 in funzione degli ingressi I0 e I1, basta esplicitare sulle sei tabelle della verità, le corrispondenti mappe di Karnaugh come mostrato in Fig. 5.35.

Dalle espressioni ricavate in Fig. 5.35, è immediato ricavare lo schema della rete logica del blocco delay time, che è mostrato in Fig. 5.36.

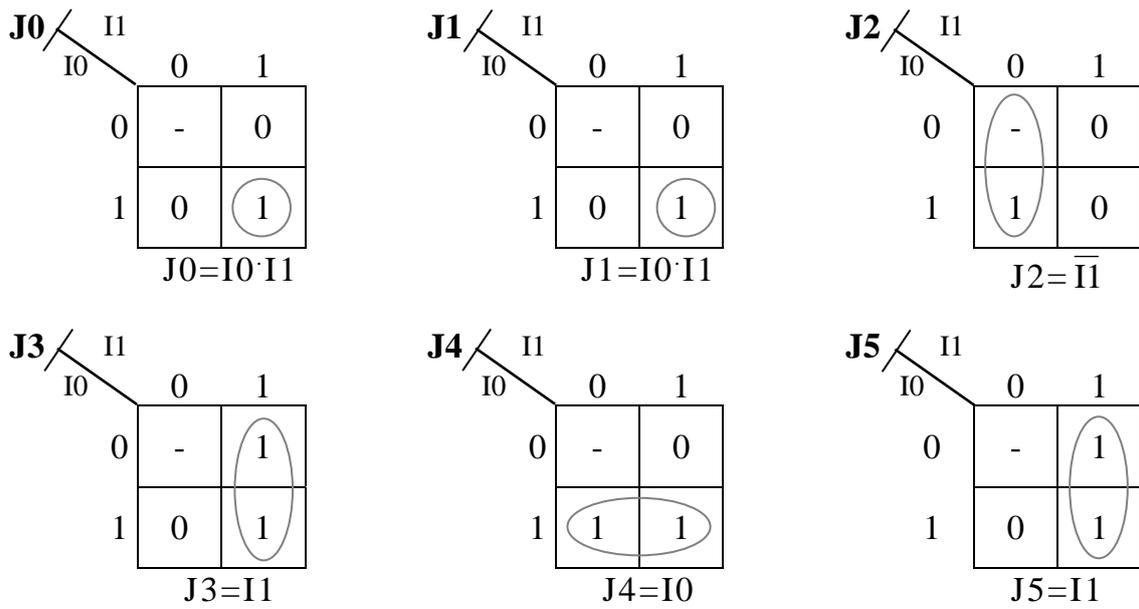


Fig. 5.35 Mappe di Karnaugh relative al blocco delay time

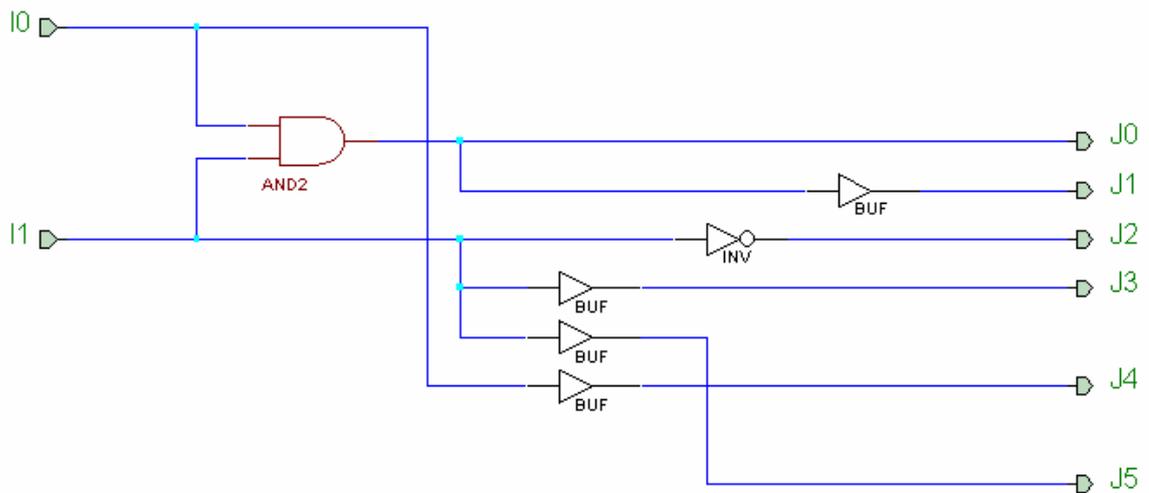


Fig. 5.36 Rete logica relativa al blocco delay time

5.4.6.5 Blocco enable

Il terzo blocco, denominato *enable*, ha il compito di condizionare le uscite di comando dei driver IGBT provenienti dal blocco phase displacement col segnale di abilitazione enable proveniente dal controllo.

Quando enable è al livello logico basso, tutte le uscite del blocco devono essere a livello logico basso (IGBT tutti spenti); quando enable è a livello alto, le uscite riportano i valori dei segnali provenienti da phase displacement.

In Fig. 5.37 sono riportati i segnali elaborati dal blocco e in Fig. 5.38 è riportata la rete di tipo combinatorio che realizza la funzione voluta.

INGRESSI	
SEGNALE	DESCRIZIONE
UH	Comando in uscita da phase displacement per IGBT fase U <i>0 = IGBT OFF, 1 = IGBT ON</i>
UL	
VH	Comando in uscita da phase displacement per IGBT fase V <i>0 = IGBT OFF, 1 = IGBT ON</i>
VL	
WH	Comando in uscita da phase displacement per IGBT fase W <i>0 = IGBT OFF, 1 = IGBT ON</i>
WL	
ENABLE	Comando di enable <i>0 = sistema abilitato</i> <i>1 = IGBT tutti OFF</i>
USCITE	
SEGNALE	DESCRIZIONE
UHO	Comando per IGBT fase U <i>0 = IGBT OFF, 1 = IGBT ON</i>
ULO	
VHO	Comando per IGBT fase V <i>0 = IGBT OFF, 1 = IGBT ON</i>
VLO	
WHO	Comando per IGBT fase W <i>0 = IGBT OFF, 1 = IGBT ON</i>
WLO	

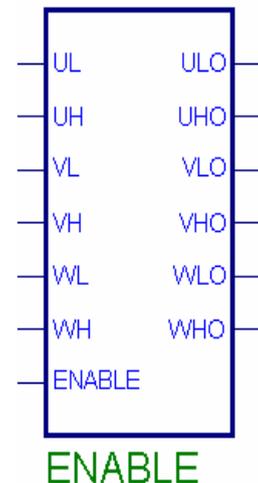


Fig. 5.37 Segnali gestiti dal blocco enable

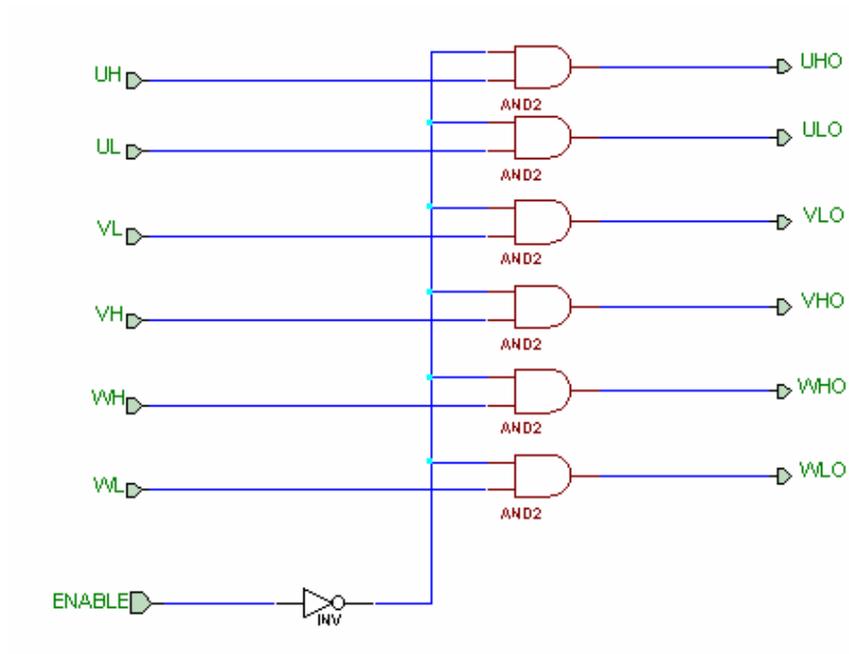


Fig. 5.38 Rete logica relativa al blocco enable

5.4.6.6 Blocco fault manager

Il quarto blocco, denominato *fault manager*, ha il compito di gestire i segnali di protezione e di azzeramento.

Tale blocco ha il compito di elaborare i segnali di precarica e di errore (sono segnali di protezione) provenienti dall'attuatore ed il segnale di reset. In uscita sono generati i segnali di azzeramento e i consensi di abilitazione per il phase displacement oltre ad un segnale che informi sulla presenza di errore.

INGRESSI	
SEGNALE	DESCRIZIONE
RESET	Segnale di reset <i>0 = azzeramento</i> <i>1 = sistema funzionante</i>
PC	Stato della precarica <i>0 = precarica terminata</i> <i>1 = precarica in corso</i>
ERR	Protezione IGBT <i>0 = errore su IGBT</i> <i>1 = IGBT OK</i>
CLK	Clock a 10MHz
USCITE	
SEGNALE	DESCRIZIONE
RS	Segnale di reset <i>0 = azzeramento</i> <i>1 = sistema funzionante</i>
LEDERROUT	Segnale di errore <i>0 = sistema bloccato</i> <i>1 = sistema OK</i>



Fig. 5.39 Segnali gestiti dal blocco fault manager

Il segnale di RESET è al livello logico 1 durante il funzionamento normale, mentre va a 0 nei seguenti casi:

- durante la fase di accensione per azzerare le reti sequenziali (in modo che partano dallo stato iniziale corretto)
- in presenza di buchi nella tensione di alimentazione
- per effetto di un comando manuale esterno che azzeri le reti sequenziali cancellando una eventuale condizione di blocco a seguito di un errore

L'informazione associata a tale segnale deve quindi giungere integralmente a tutte le reti sequenziali presenti nel sistema ed in particolare al segnale RS del phase displacement.

Il segnale PC di precarica si trova a livello logico basso in presenza di precarica, durante questa fase il sistema deve avere tutte le uscite di comando dei driver IGBT a 0 (IGBT spenti).

Diversa è la gestione del segnale di errore ERR che quando va 0 indica una condizione di errore (sovracorrente) in almeno un IGBT. Questa condizione deve essere immediatamente rilevata e memorizzata, in modo da bloccare il sistema in una condizione di IGBT tutti OFF.

A differenza dei segnali di RESET e PC, che quando cambiano stato lo mantengono per un tempo sufficientemente lungo, il segnale di ERR può andare a 0 anche per intervalli di tempo brevissimi che devono comunque essere rilevati. Si è quindi impostato l'intervallo minimo al di sopra del quale considerare significativa la variazione presente in ERR al valore di 100ns.

In virtù di quanto detto, mentre i segnali di RESET e PC possono essere gestiti da una rete di tipo combinatorio, il segnale di ERR deve essere prima elaborato da una rete sequenziale che rilevi e memorizzi la condizione di errore.

Questa rete sequenziale è stata realizzata in modalità sincrona secondo il modello di Mealy. In Fig. 5.40 è mostrato il grafo di transizione a due stati A e B che a partire da ERR fornisce i segnali LEDERRROUT e OUT, dove:

- OUT a livello logico basso indica che tutto funziona regolarmente
- OUT a livello logico alto indica che è stata intercettata e memorizzata una condizione di errore

Il segnale di OUT verrà poi utilizzato dalla rete combinatoria che genera RS.

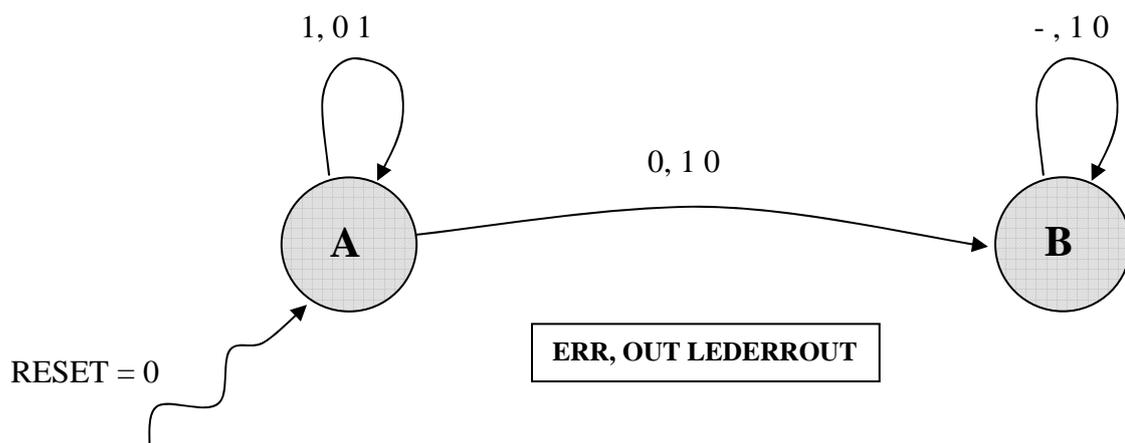


Fig. 5.40 Grafo delle transizione della rete che elabora il segnale ERR

Di seguito è riportata la tabella di flusso in cui è indicato con S^F lo stato futuro e con S^P lo stato presente:

S^F, OUT LEDERROUT

		ERR	
		0	1
S ^P	A	B, 10	A, 01
	B	B, 10	B, 10

Fig. 5.41 Tabella di flusso relativa al grafo delle transizioni di Fig. 5.40

Per codificare gli stati serve un solo bit e dovendo essere lo stato A quello di partenza a fronte di una situazione di azzeramento, è immediato associare A al valore 0 del bit di stato e B al valore 1.

Da qui segue la tabella delle transizioni e le relative mappe di Karnaugh per sintetizzare S^F₀, OUT e LEDERROUT a partire da ERR e S^P₀

S^F₀, OUT LEDERROUT

		ERR	
		0	1
S ^P ₀	0	1, 10	0, 01
	1	1, 10	1, 10

S^F₀/ERR

		ERR	
		0	1
S ^P ₀	0	1	0
	1	1	1

$S^F_0 = S^P_0 + \overline{ERR}$

OUT/ERR

		ERR	
		0	1
S ^P ₀	0	1	0
	1	1	1

$OUT = S^P_0 + \overline{ERR} = S^F_0$

LEDERROUT/ERR

		ERR	
		0	1
S ^P ₀	0	0	1
	1	0	0

$LEDERROUT = \overline{S^P_0} \cdot ERR = \overline{S^F_0}$

Fig. 5.42 Tabella delle transizioni e relative mappe di Karnaugh per sintetizzare S^F₀, OUT e LEDERROUT

La rete combinatoria che a partire da RESET, PC e OUT fornisce il segnale RS, segue la tabella della verità di Fig. 5.43, da cui è immediato scrivere la funzione logica senza dover ricorrere alla mappa di Karnaugh. Il risultato della combinazione della rete sequenziale con la rete combinatoria fornisce la rete complessiva di Fig. 5.44 che realizza il blocco fault manager.

RESET	PC	OUT	RS
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

$$\Rightarrow RS = \text{RESET} \cdot \overline{\text{PC}} \cdot \overline{\text{OUT}} = \text{RESET} \cdot (\overline{\text{PC} + \text{OUT}})$$

Fig. 5.43 Tabella della verità e corrispondente funzione logica che genera il segnale RS

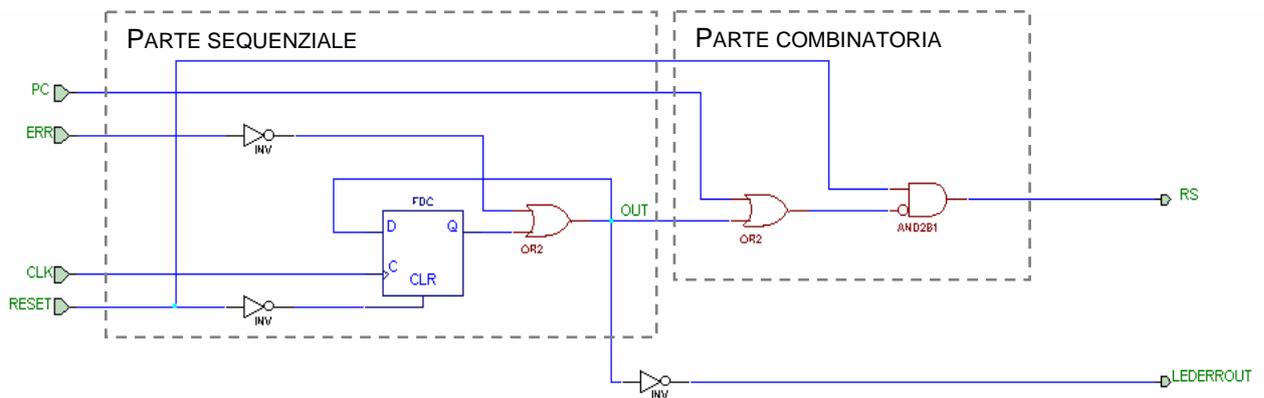


Fig. 5.44 Rete logica relativa al blocco fault manager

5.4.6.7 Sistema di protezione supplementare

Questo paragrafo riguarda la descrizione di una rete logica che implementa una protezione supplementare a quelle viste precedentemente nel blocco fault manager.

La protezione supplementare consiste nel rilevare se uno qualsiasi dei tre segnali di fase in ingresso alla CPLD ha un livello logico che rimane fisso per più di un intervallo di tempo prefissato.

Questa situazione è particolarmente pericolosa nell'inverter connesso in parallelo alla rete perché, come mostrato in Fig. 5.45, il blocco delle commutazioni degli IGBT, per un tempo sufficientemente lungo, potrebbe provocare un cortocircuito tra il BUS DC e la rete, che si richiude sugli IGBT stessi determinandone una probabile rottura.

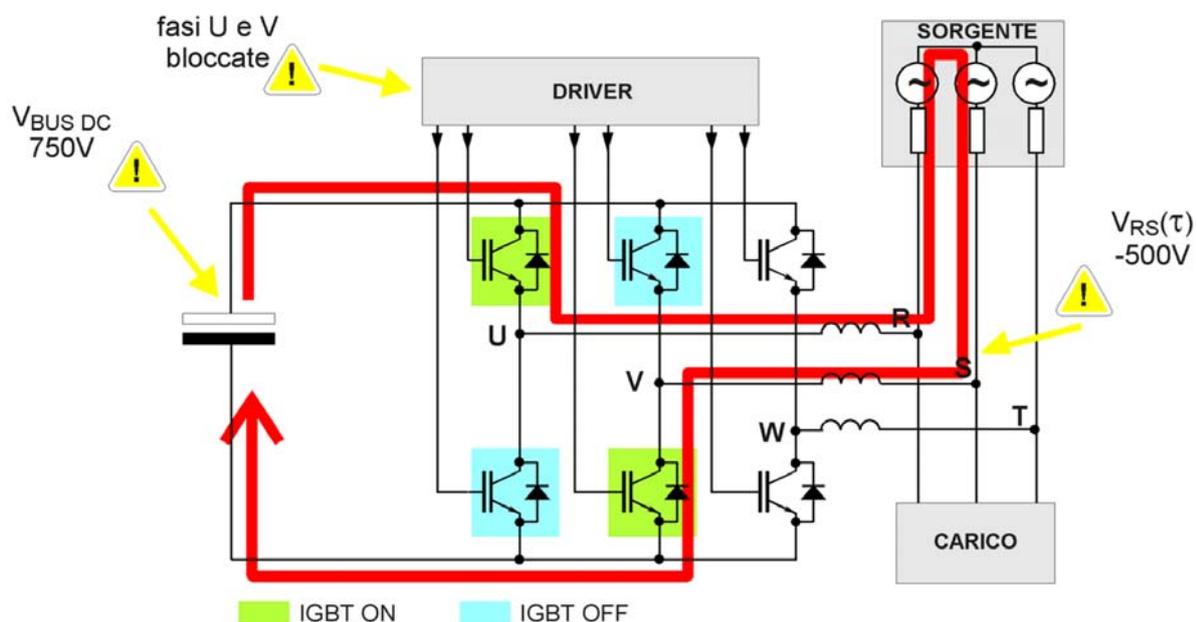


Fig. 5.45 Effetti distruttivi dovuti al blocco delle commutazioni negli IGBT in una configurazione con più di un interruttore chiuso.

L'introduzione della protezione non pone limitazioni al controllo in quanto, essendo i segnali di fase di tipo PWM a frequenza fissa dell'ordine di 10KHz, l'assenza di commutazione su una fase in un intervallo di tempo dell'ordine di 100 μ s significherebbe un malfunzionamento nel dispositivo di controllo o un guasto nel collegamento tra controllo e sistema di potenza.

L'approccio da seguire per risolvere il problema potrebbe essere questo: appena è presente l'enable al sistema, verificare separatamente se su ognuna delle tre fasi, in un dato intervallo di tempo denominato time-out, si presentano commutazioni.

Appena sulla fase si presenta la commutazione entro il tempo limite, un contatore di time-out associato a quella fase viene azzerato, se invece si supera il tempo limite il contatore raggiunge il valore di time out e viene segnalato errore.

Questa soluzione si rivelerebbe eccessivamente ridondante per le funzioni realizzate e dispendiosa in termini di componenti utilizzati in quanto richiede l'uso di tre circuiti separati di conteggio, uno per ciascuna fase.

La soluzione adottata richiede invece un solo contatore di time-out, insieme ad un circuito che segnali quando su tutte e tre le fasi c'è stata una commutazione prima di aver raggiunto il time out. Se entro il tempo limite tutte le tre fasi hanno avuto la commutazione si azzerava sia il contatore di time-out, sia il circuito che rileva le commutazioni dopodiché si riprende il monitoraggio. Non appena si supera il tempo limite con almeno una delle fasi che non ha avuto commutazioni si genera errore.

Questa soluzione è stata rappresentata in Fig. 5.46 dove si è indicato:

- EN il segnale di enable
- U, V e W i tre segnali di fase
- COM l'uscita del dispositivo che rileva l'avvenuta commutazione sulle tre fasi
- ER il segnale che indica presenza di errore quando si supera il tempo di time-out senza una commutazione su almeno una fase
- CONT è una grandezza fittizia che mostra graficamente in Fig. 5.46 lo stato del contatore di time-out avendo in ordinata un tempo che va da 0 (contatore azzerato) a TIME-OUT (limite di time-out raggiunto).

Data la sua complessità, il sistema supplementare di protezione sarà suddivisa in tre blocchi principali opportunamente connessi e denominati s_protect, r_comm, timeout.

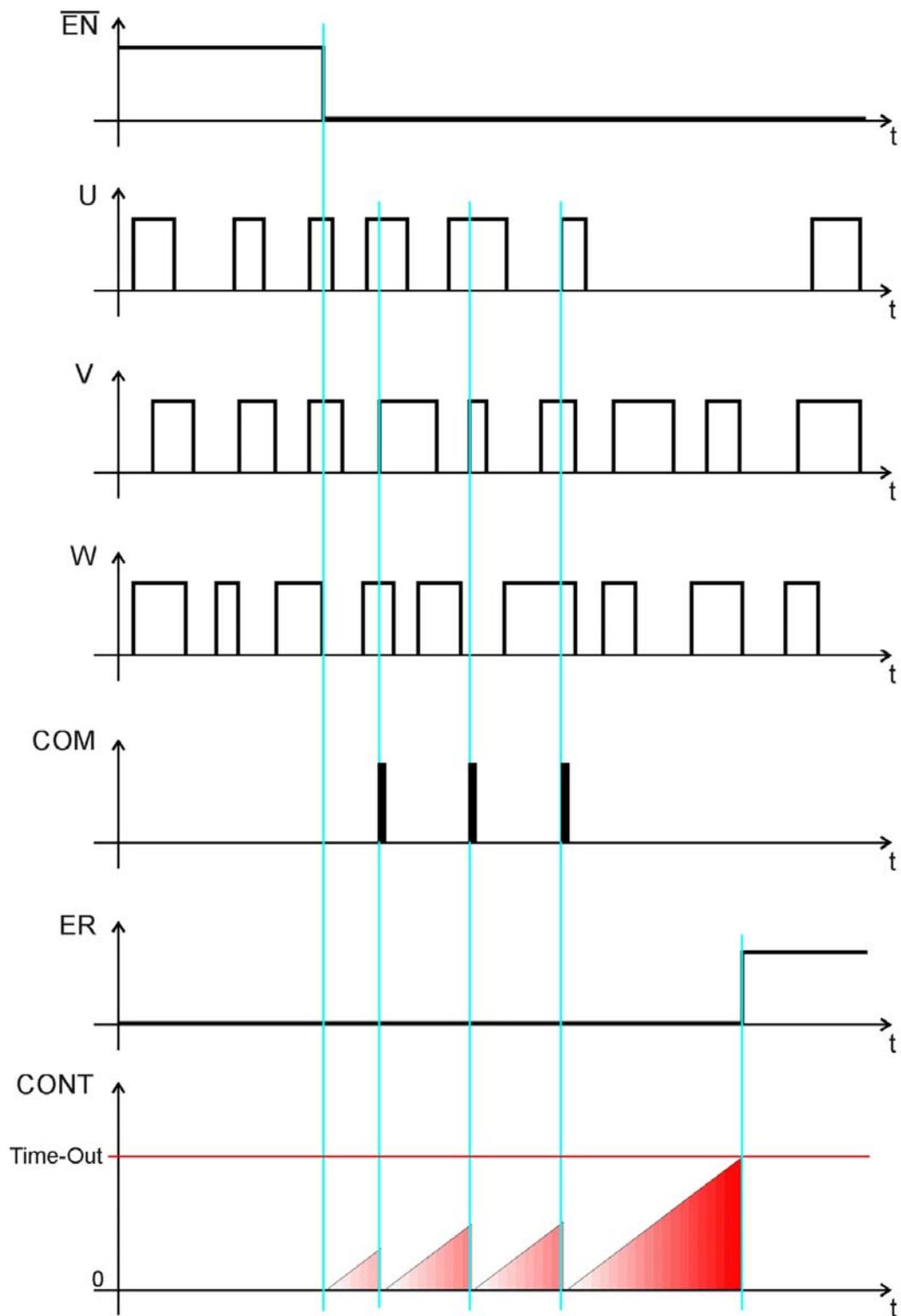


Fig. 5.46 Descrizione del comportamento temporale del sistema di protezione supplementare

Il circuito di rilevazione delle commutazioni – blocco *r_comm*

La rete logica atta a rilevare la presenza delle commutazioni sulle tre fasi costituisce quello che è stato denominato blocco *r_comm* ed è mostrato in Fig. 5.47.

Tale rete consiste in tre flip flop di tipo D collegati in modo che ognuno sia in grado di memorizzare l'avvenuta transizione da livello logico basso ad alto del segnale di fase a cui sono collegati, portando la propria uscita a livello logico alto.

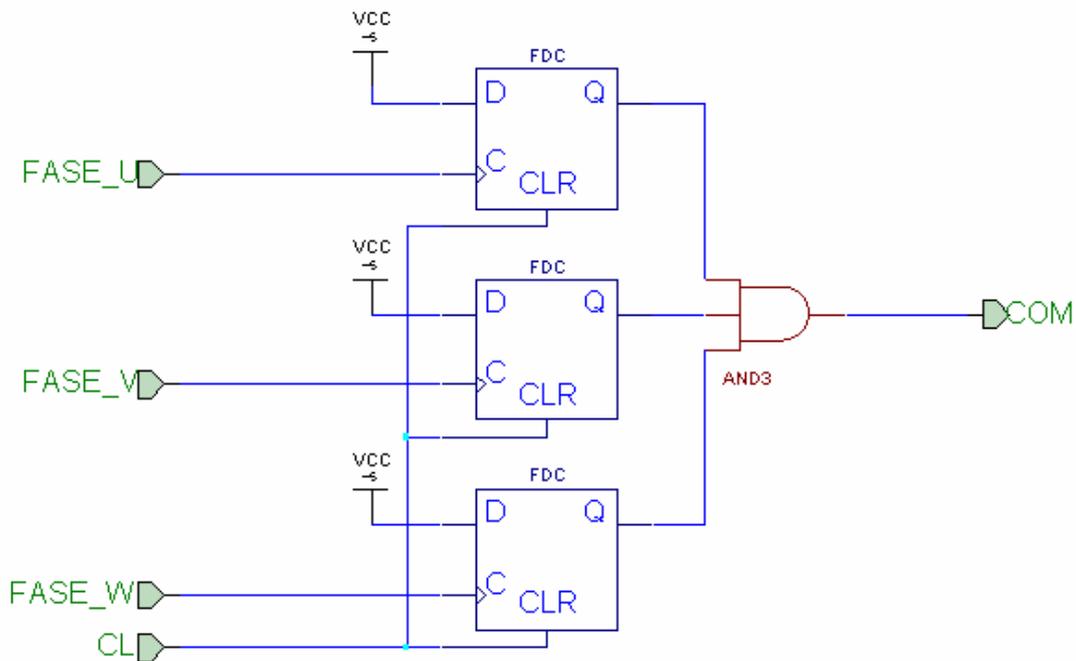


Fig. 5.47 Circuito di rilevazioni delle commutazioni sui segnali di fase – blocco *r_comm*

Da notare che è sufficiente rilevare la sola transizione da livello basso ad alto in quanto si stanno monitorando dei segnali di tipo PWM dove nell'intervallo considerato deve necessariamente esserci una commutazione completa e quindi sia un fronte di salita che uno di discesa.

Sulle tre uscite dei flip flop è eseguito il prodotto logico per avere l'informazione complessiva sull'avvenuta commutazione nei tre segnali di fase. All'uscita della porta and è disponibile il segnale COM:

- COM a livello logico 0 indica che almeno una fase non ha ancora avuto commutazioni
 - COM a livello logico 1 indica che tutte e tre le fasi hanno avuto almeno una commutazione
- Per iniziare una nuova rilevazione, il circuito viene azzerato agendo sull'ingresso clear CL dei tre flip flop.

Il contatore di time-out – blocco timeout

Considerando le specifiche dell'inverter in oggetto e le applicazioni a cui è destinato, si considera sufficientemente cautelativo un tempo dell'ordine di $800\mu\text{s}$ come tempo di time-out.

Avendo a disposizione un tempo di clock pari a 100ns serve un contatore binario che riesca a contare almeno fino a

$$\text{Eq. 5.6} \quad 800\mu\text{s} / 100\text{ns} = 8000$$

il che corrisponde a scegliere un contatore con numero N di bit tale che

$$\text{Eq. 5.7} \quad 2^N \geq 8000$$

da cui N vale:

$$\text{Eq. 5.8} \quad N \geq \log_2 8000$$

ovvero:

$$\text{Eq. 5.9} \quad N \geq \frac{\log_{10} 8000}{\log_{10} 2} = 12.966$$

Per realizzare il blocco *timeout* schematizzato in Fig. 5.48 si sceglie un contatore binario a 13 bit, caratterizzato in ingresso dai segnali di clock CLK e di azzeramento CL ed in uscita dal segnale di fine conteggio TC tale che:

- TC a livello logico basso indica che il contatore non ha ancora raggiunto il valore di time out
- TC a livello logico alto indica che il contatore ha raggiunto il valore di time-out

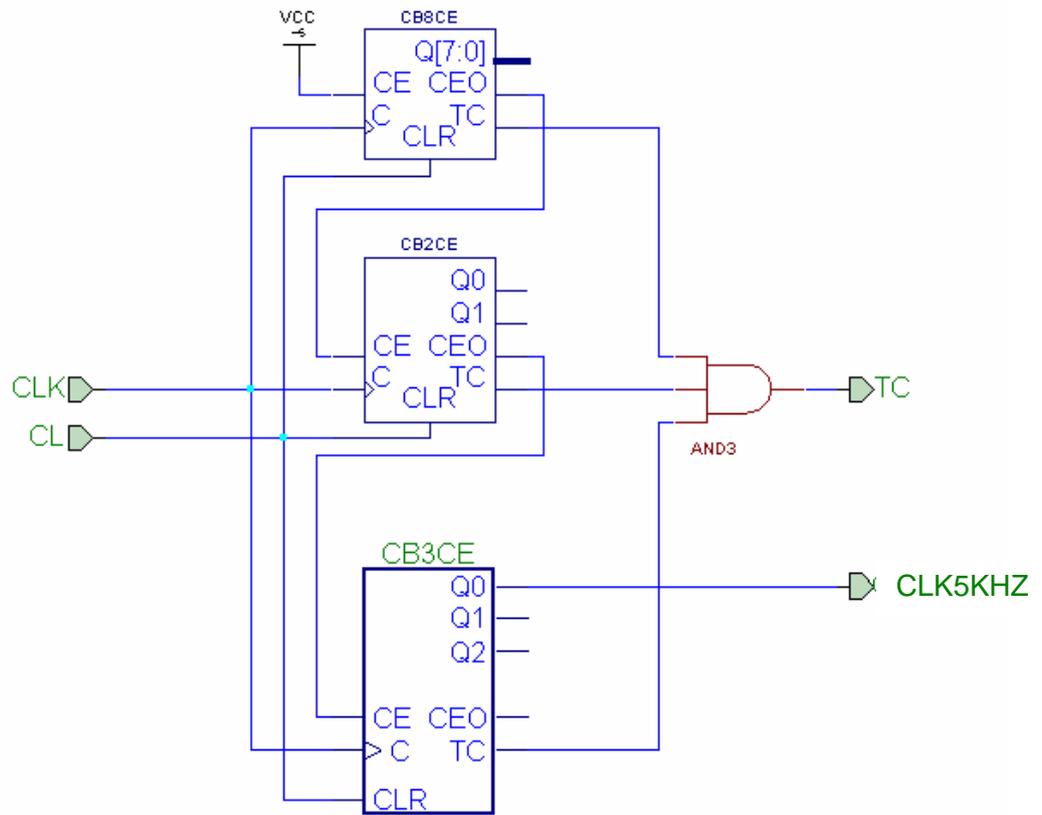


Fig. 5.48 Contatore di time-out – blocco timeout

Rete logica sequenziale della protezione supplementare – blocco s_protect

A questo punto, si procede nella sintesi della rete sequenziale che a partire dai segnali forniti dai circuiti r_comm e timeout, rappresentati nelle Fig. 5.47, Fig. 5.48 realizzi il blocco s_protect.

Si è scelta la realizzazione di tipo sincrono secondo il modello di Mealy ed in Fig. 5.49 ne sono riportati i segnali che devono essere gestiti.

INGRESSI	
SEGNALE	DESCRIZIONE
RESET	Segnale di reset <i>0 = azzeramento</i> <i>1 = sistema funzionante</i>
TC	Termine di conteggio time-out <i>0 = conteggio</i> <i>1 = time-out raggiunto</i>
COM	Rilevamento commutazioni <i>0 = almeno 1 fase senza commutazioni</i> <i>1 = almeno 1 commutazione in tutte le fasi</i>
EN	Comando di enable <i>0 = sistema abilitato</i> <i>1 = IGBT tutti OFF</i>
CLK	Clock a 10MHz
USCITE	
SEGNALE	DESCRIZIONE
CL	Segnale di clear <i>0 = azzeramento</i> <i>1 = in funzione</i>
ER	Segnale di errore <i>0 = sistema OK</i> <i>1 = sistema in errore</i>

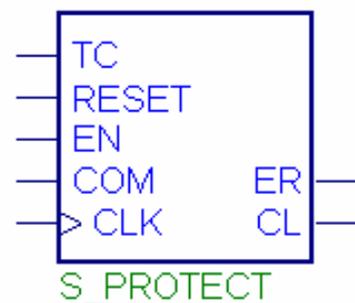
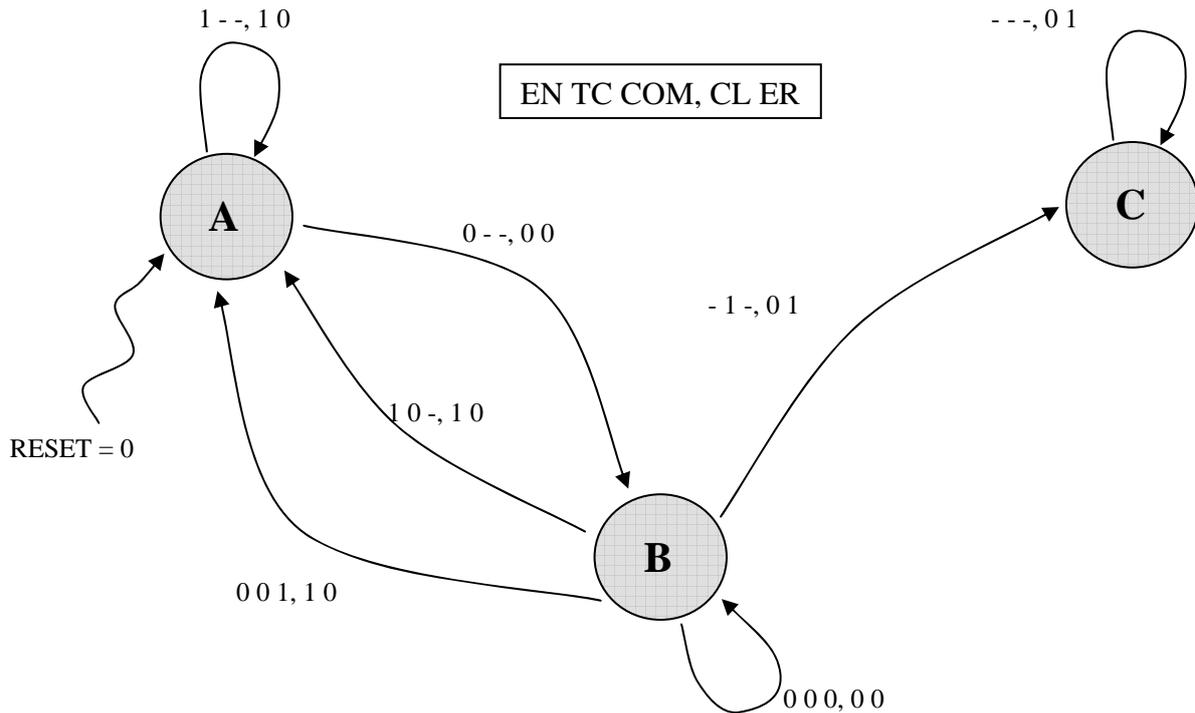


Fig. 5.49 Segnali gestiti dal blocco s_protect

Si procede ora a descrivere la rete del blocco s_protect mediante il grafo delle transizioni e la relativa tabella di flusso mostrate in Fig. 5.50.



$S^F, CL ER$	S^P / EN TC COM							
	000	001	011	010	100	101	111	110
A	B, 00	B, 00	B, 00	B, 00	A, 10	A, 10	A, 10	A, 10
B	B, 00	A, 10	C, 01	C, 01	A, 10	A, 10	C, 01	C, 01
C	C, 01	C, 01	C, 01	C, 01	C, 01	C, 01	C, 01	C, 01

Fig. 5.50 Grafo delle transizioni e corrispondente tabella di flusso del blocco *s_protect*

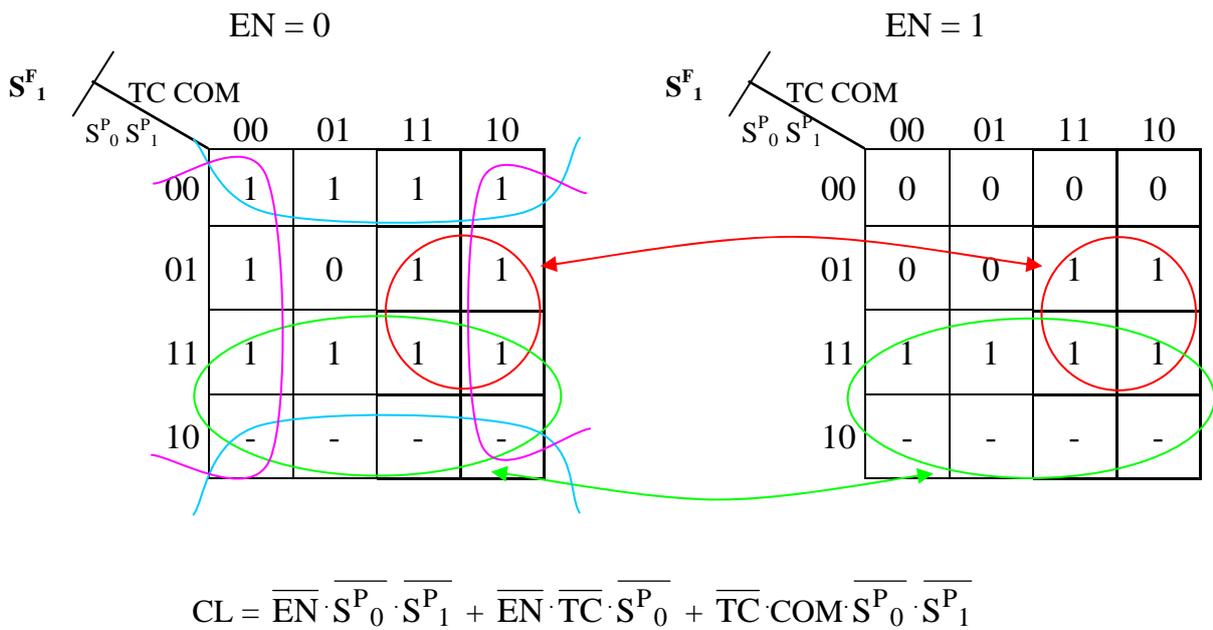
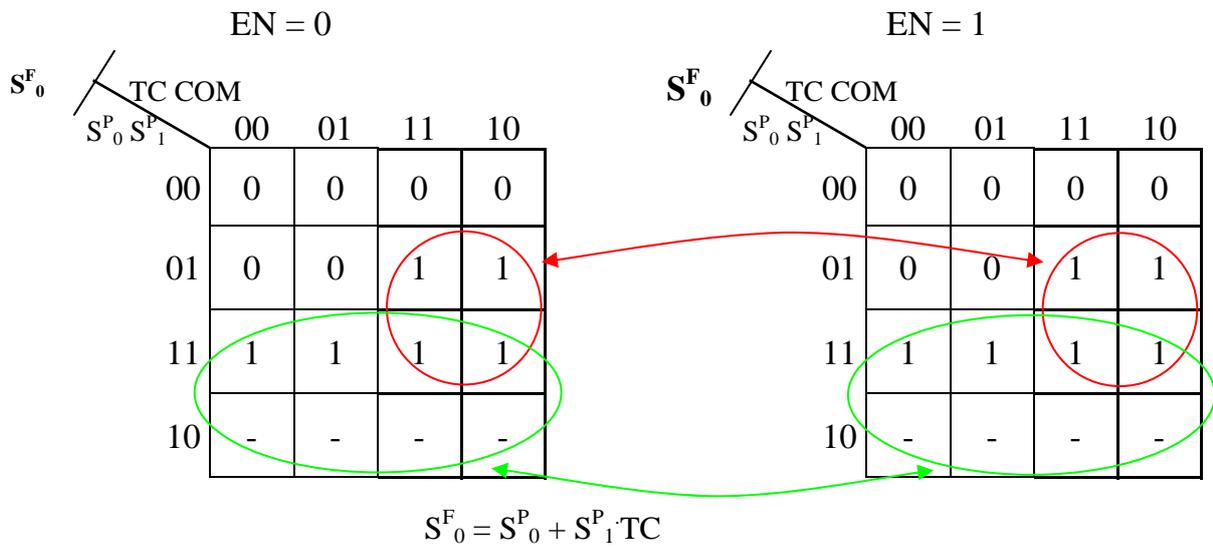
Avendo tre stati da codificare sono necessari due bit di stato S_0 ed S_1 e mentre ad A si deve obbligatoriamente associare la codifica 00 (è lo stato associato a reset), per i rimanenti due si opta per

$$B \longleftrightarrow S_0 = 0, S_1 = 1 \quad C \longleftrightarrow S_0 = 1, S_1 = 1.$$

Ora è possibile scrivere la tabella delle transizioni e le conseguenti mappe di Karnaugh per determinare le funzioni dei due bit di stato futuro S^F_0, S^F_1 e le due uscite CL ed ER.

S_0^F, S_0^F, CL, ER / EN TC COM

S_0^P, S_0^P	000	001	011	010	100	101	111	110
00	01, 00	01, 00	01, 00	01, 00	00, 10	00, 10	00, 10	00, 10
01	01, 00	00, 10	11, 01	11, 01	00, 10	00, 10	11, 01	11, 01
11	11, 01	11, 01	11, 01	11, 01	11, 01	11, 01	11, 01	11, 01



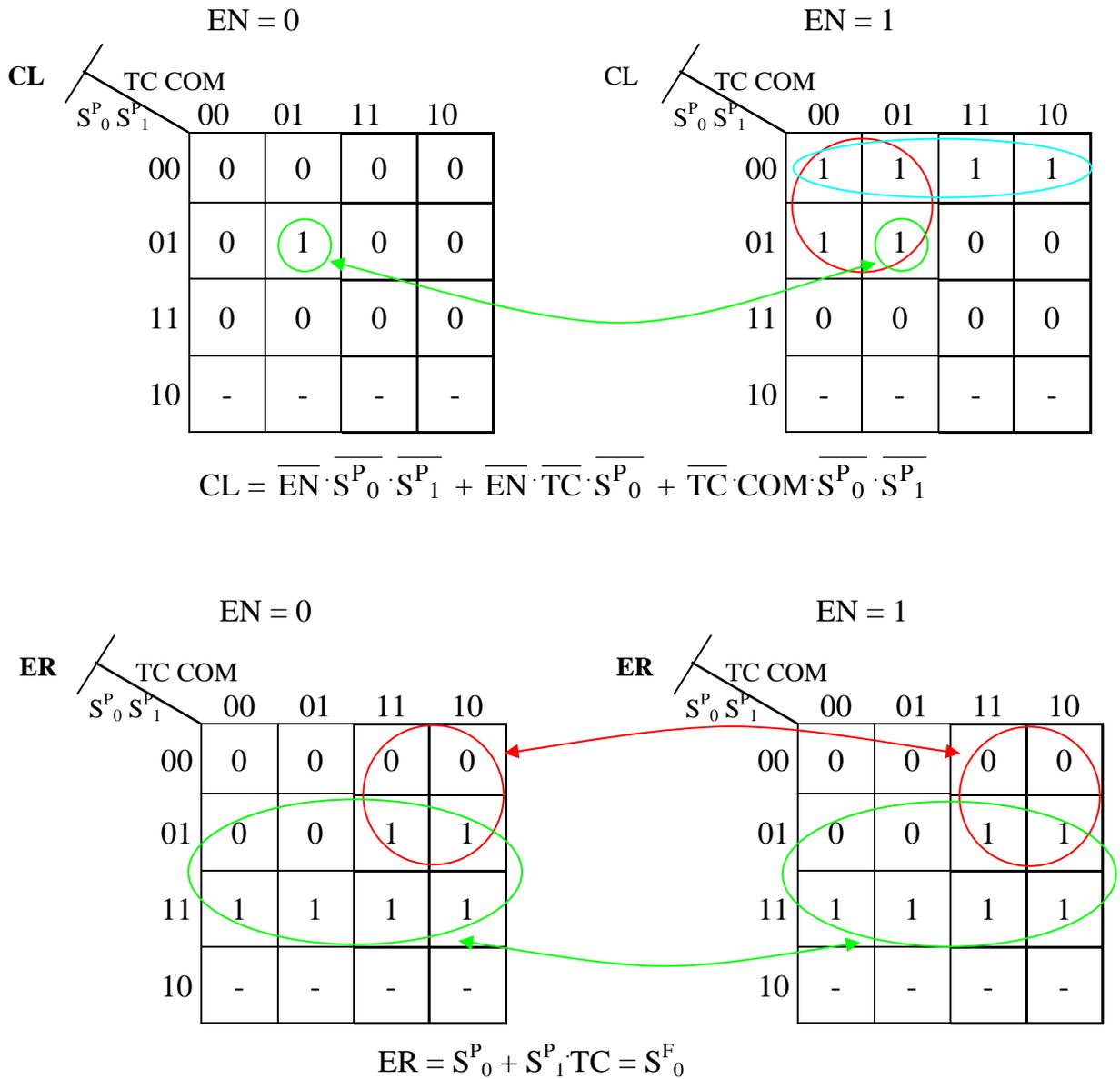


Fig. 5.51 Mappe di Karnaugh per le funzioni di stato S^F_0 , S^F_1 e le uscite CL ed ER

Il corrispondente schema della rete logica che realizza le quattro funzioni appena determinate è rappresentato in Fig. 5.52.

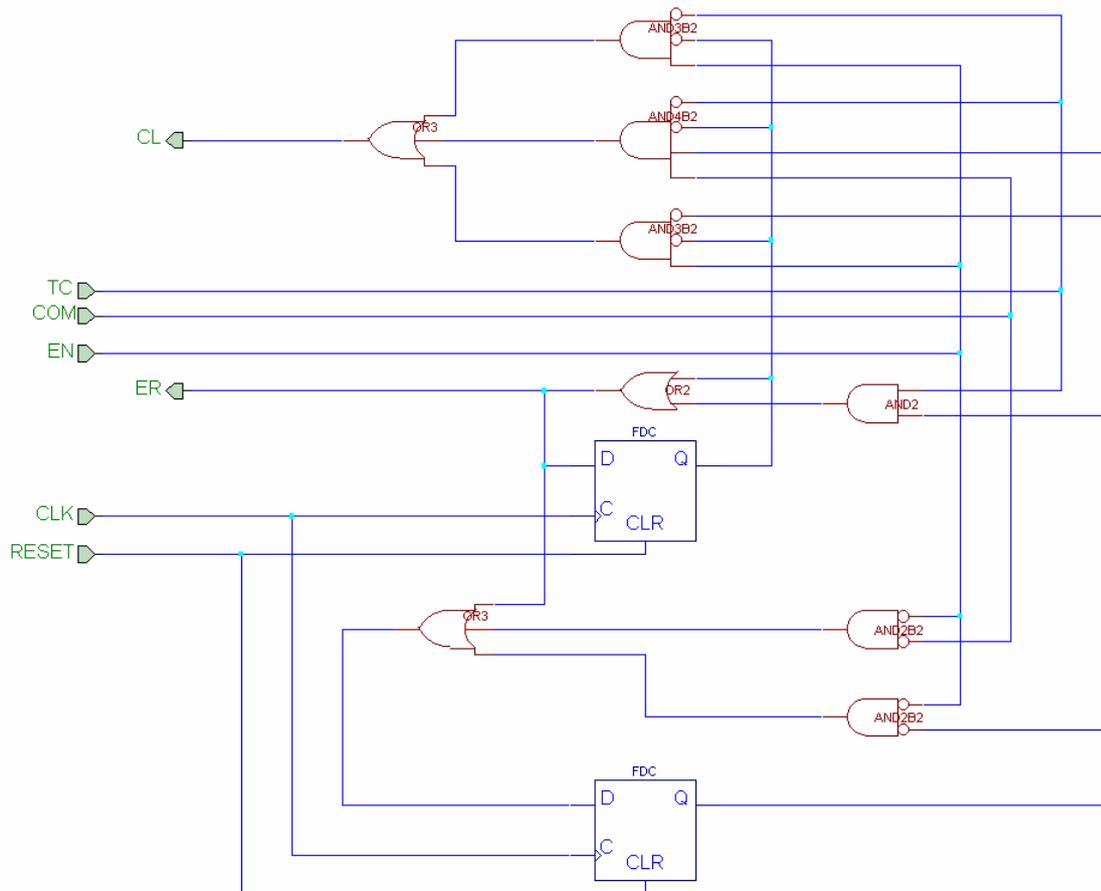


Fig. 5.52 Rete logica relativa al blocco s_protect

Integrazione del sistema di protezione supplementare

Il segnale di errore ER fornito dal blocco s_protect deve interagire con gli altri blocchi che compongono la rete logica della scheda SM-01, ed in particolare con phase displacement e fault manager.

Al fine di spegnere gli IGBT in presenza di errore per superamento del time-out, si deve fare il prodotto logico fra il segnale ER ed il segnale RS fornito dal fault manager ottenendo il nuovo segnale RS da inviare ai blocchi phase displacement.

Per la visualizzazione esterna dei diversi errori si utilizza un unico segnale chiamato ERRORE nel quale sono opportunamente codificati i segnali di LEDERROUT del blocco fault manager ed ER del blocco s_protect.

Volendo discriminare i due tipi di errore si ha:

- ERRORE a livello logico 1 in assenza di errore
- ERRORE fisso a livello logico basso in presenza di errore su LEDERROUT dal blocco fault manager (sovracorrente su IGBT)

- ERRORE a frequenza di 5KHz in presenza di errore su ER dal blocco s_protect (mancanza di commutazioni per un intervallo di tempo superiore a 800µs)

Una tale scelta si rivela vantaggiosa per l'occupazione di risorse da parte del dispositivo che realizzerà la rete logica, infatti si utilizza un solo segnale per trasmettere più informazioni. La decodifica del tipo di errore da parte del sistema di controllo risulta relativamente semplice da implementare.

Precisando che il segnale a 5KHz CLK_{5KHz} è prelevato da un terminale di uscita del contatore di time out, la rete che realizza la codifica è di tipo combinatorio ed è descritta completamente dalla tabella della verità sotto riportata, unitamente alla mappa di Karnaugh che fornisce la relativa funzione logica.

LEDERROUT	ER	CLK_{5KHz}	ERRORE
0	-	-	0
1	0	-	1
1	1	0	0
1	1	1	1

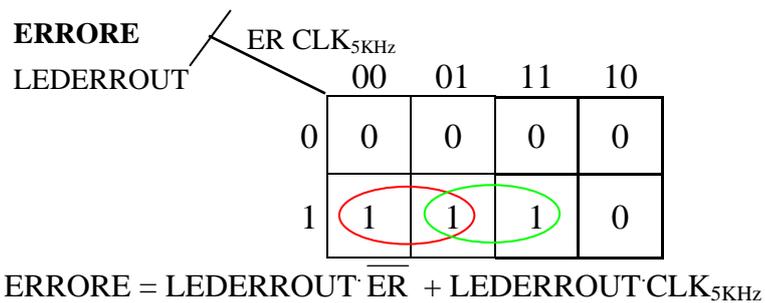


Fig. 5.53 Tabella della verità, mappa di Karnaugh, funzione logica del circuito di codifica dell'errore

In Fig. 5.54 è riportata, nella sua totalità, la rete logica che realizza la protezione supplementare composta dai blocchi r_comm, timeout, s_protect oltre che dalle porte logiche che permettono la connessione al resto della rete logica della scheda SM-01

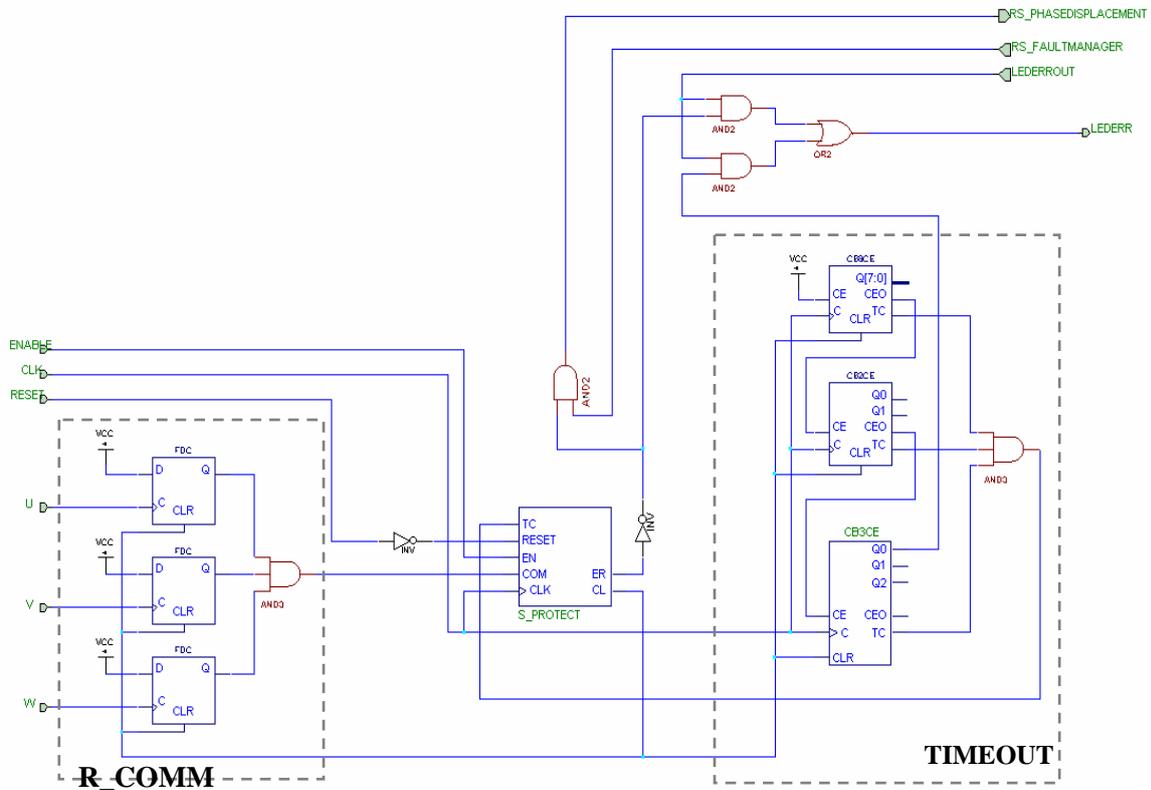


Fig. 5.54 Rete logica che realizza la protezione supplementare

5.4.6.8 *L'intera rete logica della scheda SM-01*

La sintesi della rete logica della scheda SM-01 si conclude con l'unione delle diverse sezioni fino ad ora presentate nell'unico schema riportato in Fig. 5.55.

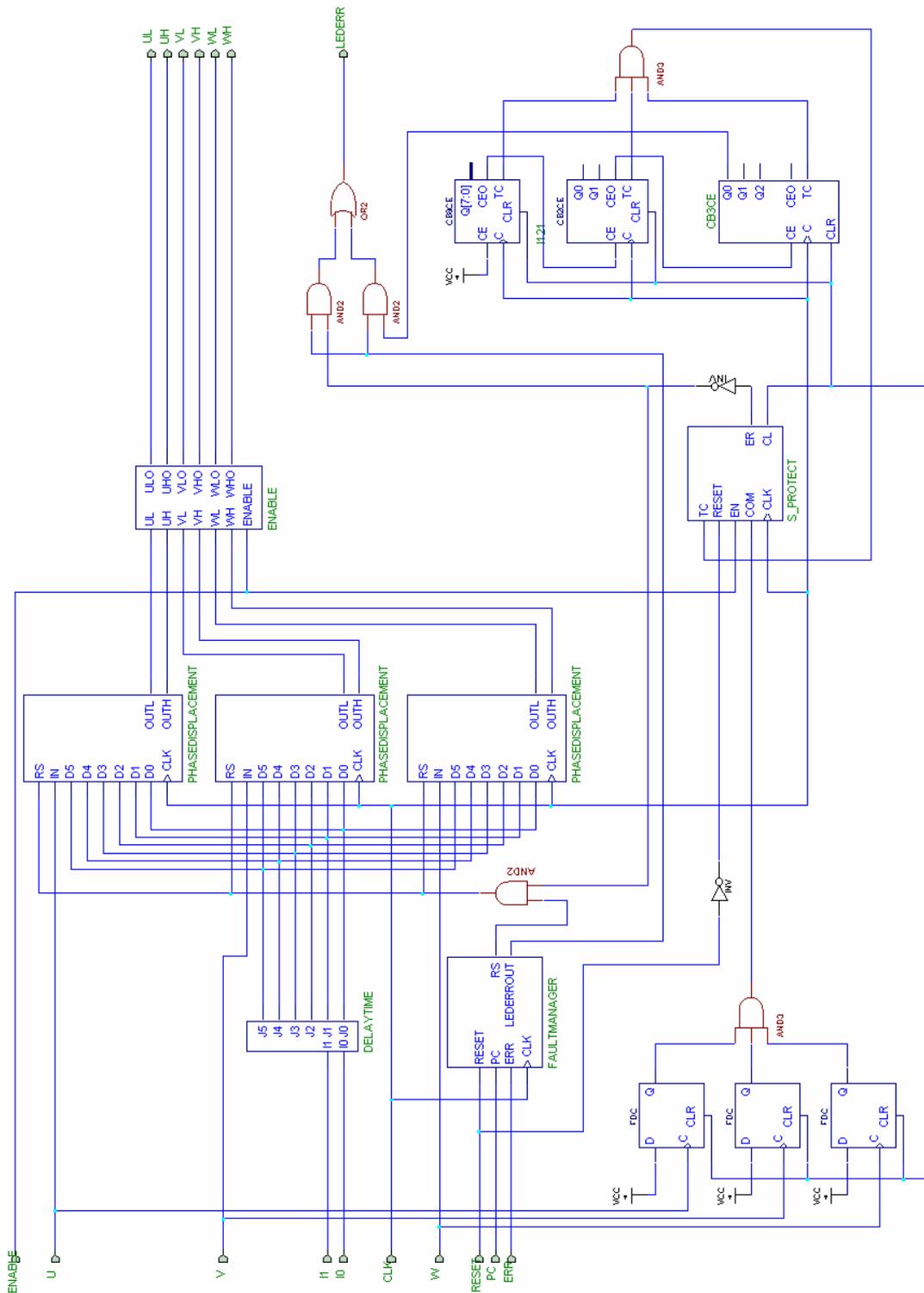


Fig. 5.55 *Schema generale della rete logica presente sulla scheda SM-01*

5.4.6.9 *Realizzazione della rete logica*

Per la realizzazione della rete logica progettata ai paragrafi precedenti si è fatto ricorso a dispositivi PLD ed in particolare ad una CPLD (Complex Programmable Logic Device) XC9572 prodotta da Xilinx.

La ragione di tale scelta è giustificata dalle peculiari caratteristiche di questo dispositivo, che possono essere così riassunte:

- riprogrammabile a piacere (sono garantiti 10000 cicli di programmazione/cancellazione)
- possibilità di programmazione in-system
- semplicità di passaggio dalla fase di progettazione a quella di implementazione attraverso software dedicati, con cui l'operatore può interagire e tenere sotto controllo le varie fasi

La corrispondenza che si è adottata tra pin della CPLD XC9572 e segnali di ingresso e uscita indicati in Fig. 5.55 è mostrata in tavola 6.

5.4.6.10 *Blocco SM-01.B - Inizializzazione rete logica e Supervisione*

Una delle principali funzioni che il blocco SM-01.B deve realizzare, è l'*inizializzazione delle reti logiche sequenziali* presenti sulla scheda SM-01.

Dal paragrafo precedente, si è visto come una rete logica di tipo sequenziale possa essere modellata da un grafo delle transizioni per cui il modo di funzionare è strettamente legato alla sequenza in cui avvengono le transizioni da uno stato all'altro. Affinché una rete sequenziale svolga le funzioni per cui è stata progettata, è fondamentale che nel momento in cui inizia a funzionare parta dallo stato giusto, quale sia tale stato lo si deve stabilire in fase di progettazione della rete logica.

Nella scheda SM-01 tutte le reti di tipo sequenziale sono allocate all'interno della CPLD in cui è stato appositamente previsto, per l'inizializzazione, un terminale denominato $\overline{\text{RESET}}$.

Da notare che tale segnale non è stato scelto casualmente attivo basso, cioè con la funzione di azzeramento corrispondente ad un livello basso di tensione applicato al terminale di $\overline{\text{RESET}}$.

Non conoscendo il tempo impiegato dai vari circuiti della scheda ad essere operativi, dal momento in cui si fornisce l'alimentazione e volendo assicurarsi che durante la fase di accensione non ci siano comportamenti anomali è opportuno che il segnale che pilota i terminali di $\overline{\text{RESET}}$:

- sia presente col livello logico di azzeramento il prima possibile

- abbia livello logico scelto per la funzione di azzeramento il più possibile indipendente dalla tensione di alimentazione
- mantenga il livello logico di azzeramento per un tempo sufficientemente lungo da garantire che tutti i dispositivi siano andati a regime dopo l'accensione.

Le specifiche possono essere soddisfatte adottando un segnale che abbia un livello di tensione basso durante la fase di accensione in modo che la differenza di potenziale rispetto alla massa di tutti i segnali digitali sia inferiore a 0,8V. Oltre a ciò, il segnale deve rimanere basso per un tempo sufficientemente lungo (tipicamente qualche decina di millisecondi) in modo da attendere che il livello della tensione di alimentazione sia andato a regime e che tutti i circuiti siano diventati operativi.

Deve essere inoltre prevista un monitoraggio sulla tensione di alimentazione dei circuiti della scheda SM-01, in modo da verificare che la tensione rimanga entro i limiti accettabili di specifica dei suoi vari componenti.

Basti pensare al caso in cui la tensione di alimentazione, scendendo al di sotto del livello raccomandato per l'integrato CPLD XC9572, determini una condizione di incertezza sui valori dei segnali UL/UH/VL/VH/WL/WH e quindi comando errato sugli IGBT con conseguente possibilità di generare un cortocircuito sull'inverter!

Pertanto l'altra funzione che il blocco SM-01.B deve svolgere, è la *supervisione della tensione di alimentazione*: la diminuzione del livello della tensione di alimentazione sotto un certo valore di soglia, determina la generazione di un segnale utilizzabile per prendere i provvedimenti del caso. In commercio esistono diversi circuiti integrati capaci di realizzare le specifiche sopra riportate e sono classificati come *Supply Voltage Supervisor*.

Le caratteristiche principali dei circuiti integrati appartenenti a questa famiglia sono:

- rilevamento della tensione di alimentazione;
- attivazione del segnale di reset in corrispondenza di un calo del livello della tensione di alimentazione al di sotto di un valore di soglia prestabilito;
- possibilità di generare reset a fronte di un comando manuale (manual reset);
- possibilità di avere reset sia attivo alto, che attivo basso;
- possibilità di regolare la soglia di intervento del circuito.

Per la scheda SM-01, si è scelto un integrato MAX814K, prodotto da Maxim appartenente alla serie MAX814/MAX815/MAX816 le cui principali caratteristiche, sono:

- soglia di reset prestabilita di 4.8V, 4.7V, 4.55V, 3.03V (MAX814/MAX815) oppure regolabile (MAX816);

- $\pm 1\%$ di precisione sul valore di soglia;
- tipico intervallo di reset di 200ms;
- basso consumo ($75\mu\text{A}$ max di corrente di alimentazione);
- comparatore interno di reset progettato per ignorare i transitori rapidi (glitch) sulla tensione di alimentazione;
- segnale di $\overline{\text{RESET}}$ garantito per tensione di alimentazione fino a 1V;

In Fig. 5.56 è mostrato il tipico andamento delle forme d'onda riscontrabili in questa tipologia di integrati. In Fig. 5.57 è mostrata la connessione adottata per realizzare il blocco SM-01.B con il circuito integrato MAX814K.

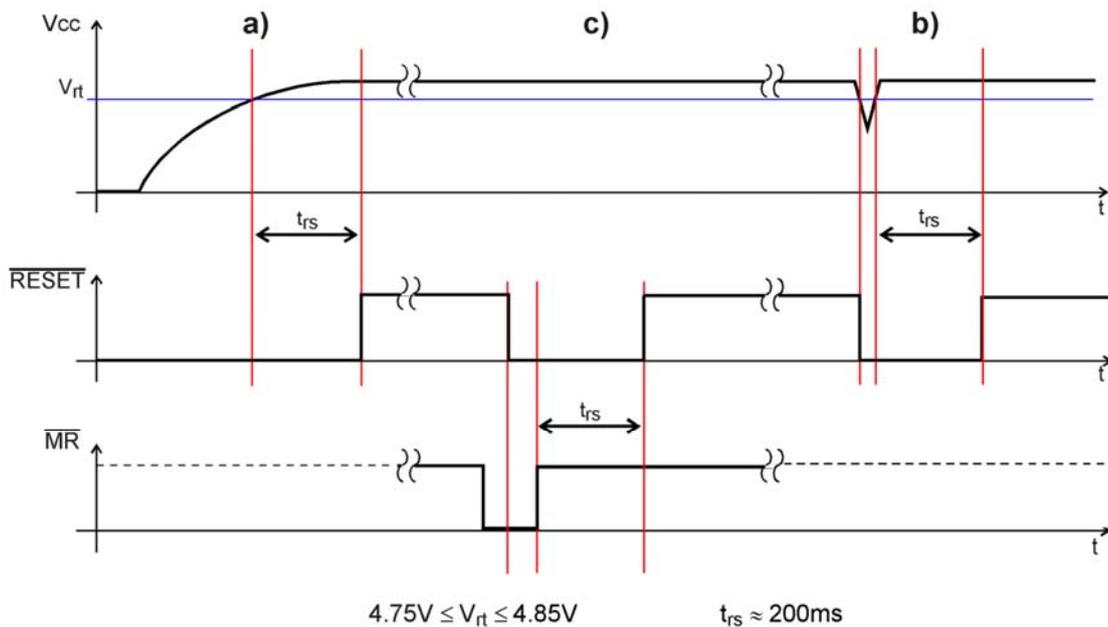


Fig. 5.56 *Tipiche forme d'onda riscontrabili in integrati Supervisory durante le fasi di a)accensione, b)buco di tensione, c)reset manuale*

La scelta verso questa famiglia di integrati MAXIM è dovuta all'assenza di componenti esterni per realizzare la soglia di reset, l'immunità a glitch sulla tensione di alimentazione, la validità del $\overline{\text{RESET}}$ per tensioni di alimentazioni fino ad 1V.

È possibile estendere fino a 0V il range di validità del $\overline{\text{RESET}}$, inserendo la resistenza R4 visibile in Fig. 5.57.

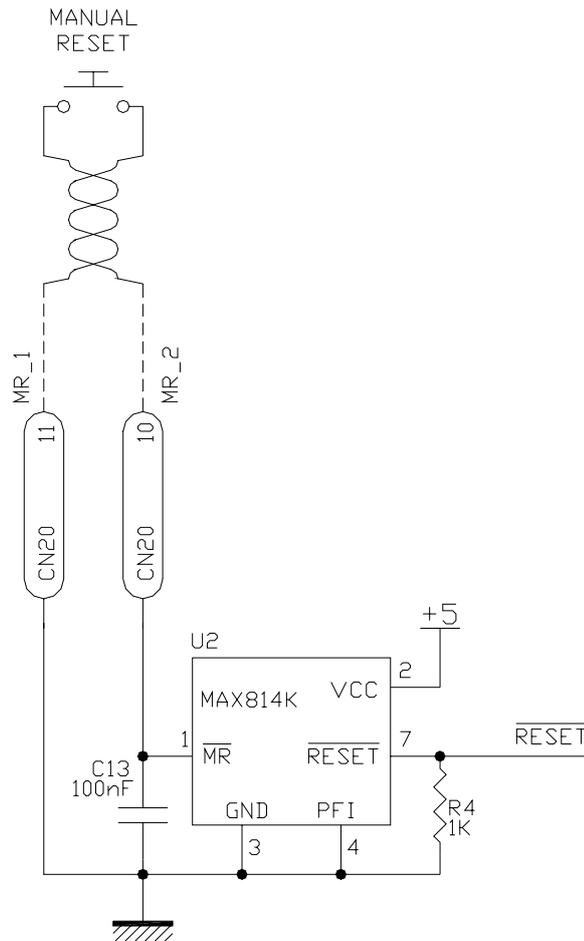


Fig. 5.57 Realizzazione del blocco SM-01.B con l'integrato MAX814K– Inizializzazione rete logica e Supervisione

L'uso del modello MAX814K a cui corrisponde una tensione di soglia di 4,8V (può variare di $\pm 1\%$ corrispondente a 4.75-4.85) è stata dettata dalle caratteristiche estremamente stringenti sul livello inferiore della tensione di alimentazione consigliato per il normale funzionamento della CPLD e corrispondente a 4.75V.

Il comando di Manual reset è ottenuto mettendo a massa tramite pulsante il terminale 1 dell'integrato; il condensatore da 100nF in parallelo è consigliato come filtro per ridurre gli effetti di eventuali disturbi causati da dispositivi particolarmente rumorosi, cavi lunghi tra pulsante e terminali dell'integrato

L'integrato MAX814K rileva la tensione di alimentazione a 5V e fornisce un segnale di $\overline{\text{RESET}}$ che viene inviato alla rete logica nella CPLD e al blocco SM-01.H che verrà illustrato in seguito.

5.4.6.11 Blocco SM-01.C - Clock

Questa sezione del circuito deve realizzare il generatore di clock a 10MHz per la rete sequenziale sincrona implementata nella CPLD.

A questo scopo si è utilizzato un circuito integrato oscillatore ad onda quadra HA7210 della Harris Semiconductor controllato da quarzo esterno.

Il vantaggio di una tale soluzione, a differenza di altre basate sull'uso di componenti discreti, consiste nel disporre di un dispositivo che integra al suo interno tutti i componenti adatti ed ottimizzati per un uso da oscillatore. Inoltre, questo componente si dimostra estremamente versatile in quanto programmabile per operare a diversi intervalli di frequenza (da 10KHz a 10MHz).

Di seguito sono riassunte le principali caratteristiche dell'integrato utilizzato:

- uso di una sola alimentazione con range da 2V a 7V
- possibilità di operare a diverse frequenze con range da 10KHz a 10MHz tramite selezione dagli appositi terminali FREQ1 (pin6) e FREQ2 (pin7)
- basso consumo di corrente (130µA a 1MHz, 1.5mA a 10MHz)
- possibilità di pilotare direttamente 2 porte di tipo CMOS
- per il funzionamento necessita del solo quarzo come componente esterno
- elevata stabilità rispetto a variazioni della tensione di alimentazione e della temperatura

In Fig. 5.58 è riportato il circuito adottato per implementare l'oscillatore HA7210 sulla scheda SM-01.

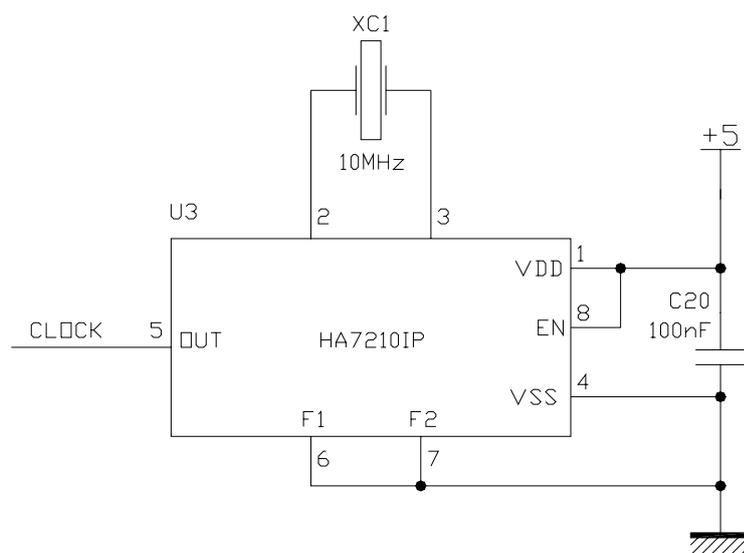


Fig. 5.58 Realizzazione del blocco SM-01.C con l'integrato HA7210 - Clock

5.4.6.12 Blocco SM-01.D – Segnali di protezione

Compito di questa parte del circuito è

- a) realizzare la connessione tra sistema di potenza e scheda SM-01 dei segnali indicanti lo stato della precarica (PREC_IN) e di errore sugli IGBT ($\overline{\text{ERR_IN}}$)
- b) adattare il livello dei segnali PREC_IN e $\overline{\text{ERR_IN}}$ per essere utilizzati dalla rete logica
- c) realizzare i circuiti che permettano di inviare al dispositivo di controllo informazioni sullo stato della precarica ($\overline{\text{PREC_OUT}}$) e sulla presenza di errori (ERR_OUT) garantendo al tempo stesso la separazione elettrica
- d) realizzare la connessione tra scheda SM-01 e dispositivo di controllo dei segnali ERR_OUT e $\overline{\text{PREC_OUT}}$

Tenendo presente che le connessioni fra le varie schede saranno descritte dettagliatamente al Par. 5.4.9, il punto **a)** è soddisfatto realizzando un connettore 34 poli per flat cable sulla scheda SM-01 e denominato CN11. Tale connettore, è l'omologo del connettore CN11 del sistema di potenza visibile in Fig. 5.19 a cui sarà connesso tramite un cavo flat cable a 34 poli.

Analogamente, il punto **d)** è soddisfatto utilizzando un connettore 15 poli denominato CN20 che ha il compito di stabilire le connessioni fra scheda SM-01 e dispositivo di controllo attraverso le schede SM-02, SM-03, SM-04 descritte ai Par. 5.4.8.2 e 5.4.9.

Per realizzare il punto **b)**, si deve tenere presente che il segnale PREC_IN disponibile al pin 31 di CN11 è un terminale di un contatto ausiliario NO del relè di precarica, il segnale di $\overline{\text{ERR_IN}}$ disponibile al pin 13 di CN11 è il comune di tutte le uscite open-collector del circuito di rilevazione dell'errore di sovracorrente negli IGBT vedi tavola 3. Entrambi i potenziali dei segnali sono riferiti alla massa dei 24V (pin 6 e 5 di CN11) che a sua volta è in comune con la massa della scheda SM-01.

I segnali sono già stati separati elettricamente dal sistema di potenza sulla scheda ES 714, per cui è sufficiente realizzare un circuito che assegni un livello logico alto quando si trovano in alta impedenza (open-collector in condizione di alta impedenza per $\overline{\text{ERR_IN}}$ oppure interruttore aperto per PREC_IN).

Per fare ciò è sufficiente una resistenza di pull-up verso i 5V dell'alimentazione di valore tale

da non sovraccaricare il transistor open-collector che fornisce $\overline{ERR_IN}$ (l'interruttore ausiliario non pone problemi) in presenza di valore logico basso (transistor in saturazione) da non degradare il livello logico alto (transistor interdetto o interruttore aperto) per effetto delle correnti di carico, a questo scopo è stato giudicato corretto un valore di 4.7K Ω . I segnali di $\overline{ERR_IN}$ e $PREC_IN$ così adattati vengono inviati direttamente alla rete logica nella CPLD (pin 44 e 37 rispettivamente).

La fase di test ha messo in evidenza la necessità di aggiungere i condensatori C9 e C10 (si veda Fig. 5.59) per diminuire il livello di disturbi presenti sui due segnali: considerando lo spettro di frequenza relativamente alto di tali disturbi e non volendo peggiorare eccessivamente la dinamica dei segnali è stato sufficiente scegliere condensatori ceramici da 10nF.

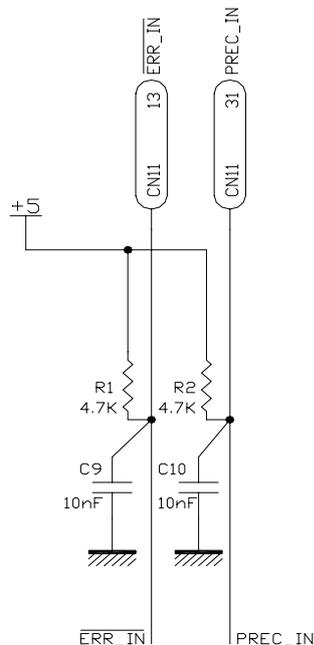


Fig. 5.59 Adattamento dei segnali di $PREC_IN$ ed $\overline{ERR_IN}$

Per realizzare il punto c), si devono inviare al dispositivo di controllo il segnale di $PREC_IN$ proveniente dal sistema di potenza e adattato nel modo visto prima, ed il segnale di \overline{ERRORE} proveniente dalla rete logica. Ciò deve essere eseguito, mediante la separazione elettrica col dispositivo di potenza. Per ottenere la separazione, s'è optato per l'uso di optoisolatori al posto delle costose fibre ottiche, in quanto i segnali inviati hanno solo scopo di visualizzazione e informazione dello stato di eventi che sono già stati gestiti dalla scheda SM-01 e quindi non più critici per la sicurezza del sistema.

Gli optoisolatori scelti sono HCPL-4503 della Hewlett Packard in quanto caratterizzati da elevate prestazioni dinamiche.

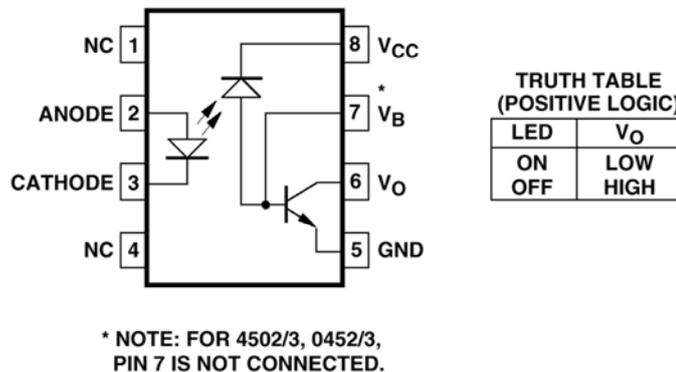


Fig. 5.60 Il circuito integrato optoisolatore HCPL-4503

Il circuito secondario di tali optoisolatori è formato da fotodiode e transistor open-collector, separati per ottenere l'alta velocità di cui si diceva, a scapito della necessità di dover fornire un segnale di alimentazione da parte del circuito ricevente.

Come indicato dal costruttore, per ottenere le migliori prestazioni in termini di rapporto fra corrente in ingresso e corrente in uscita, è necessario accendere il led del circuito primario con una corrente dell'ordine di 15mA. Tra segnale logico da trasmettere ed optoisolatore si deve quindi inserire uno stadio amplificatore di corrente realizzato con un transistor MOSFET del tipo BS170. È stato scelto un MOSFET al posto del classico BJT per la semplicità d'uso, in quanto non richiede il dimensionamento di resistenze esterne per ottenere il giusto livello di saturazione: quando la tensione di gate è superiore alla tensione di soglia $V_T=3V$ si ha bassissima resistenza tra i terminali di drain e source, mentre in caso contrario si ha alta impedenza.

La resistenza di accensione del led viene dimensionata per ottenere circa 15mA per le ragioni dette prima. Trascurando la caduta di tensione sul transistor ed indicando con I_F la corrente e con V_F la caduta di tensione che si hanno sul diodo in polarizzazione diretta e con V_{CC} la tensione di alimentazione, segue

$$\text{Eq. 5.10} \quad R_{19,20} = \frac{V_{CC} - V_F}{I_F} = \frac{5 - 1.5}{15 \cdot 10^{-3}} \cong 233\Omega$$

a cui corrisponde un valore commerciale di resistenza pari a 220Ω.

In Fig. 5.61 è visibile il circuito complessivo che realizza le specifiche assegnate al blocco SM-01.D.

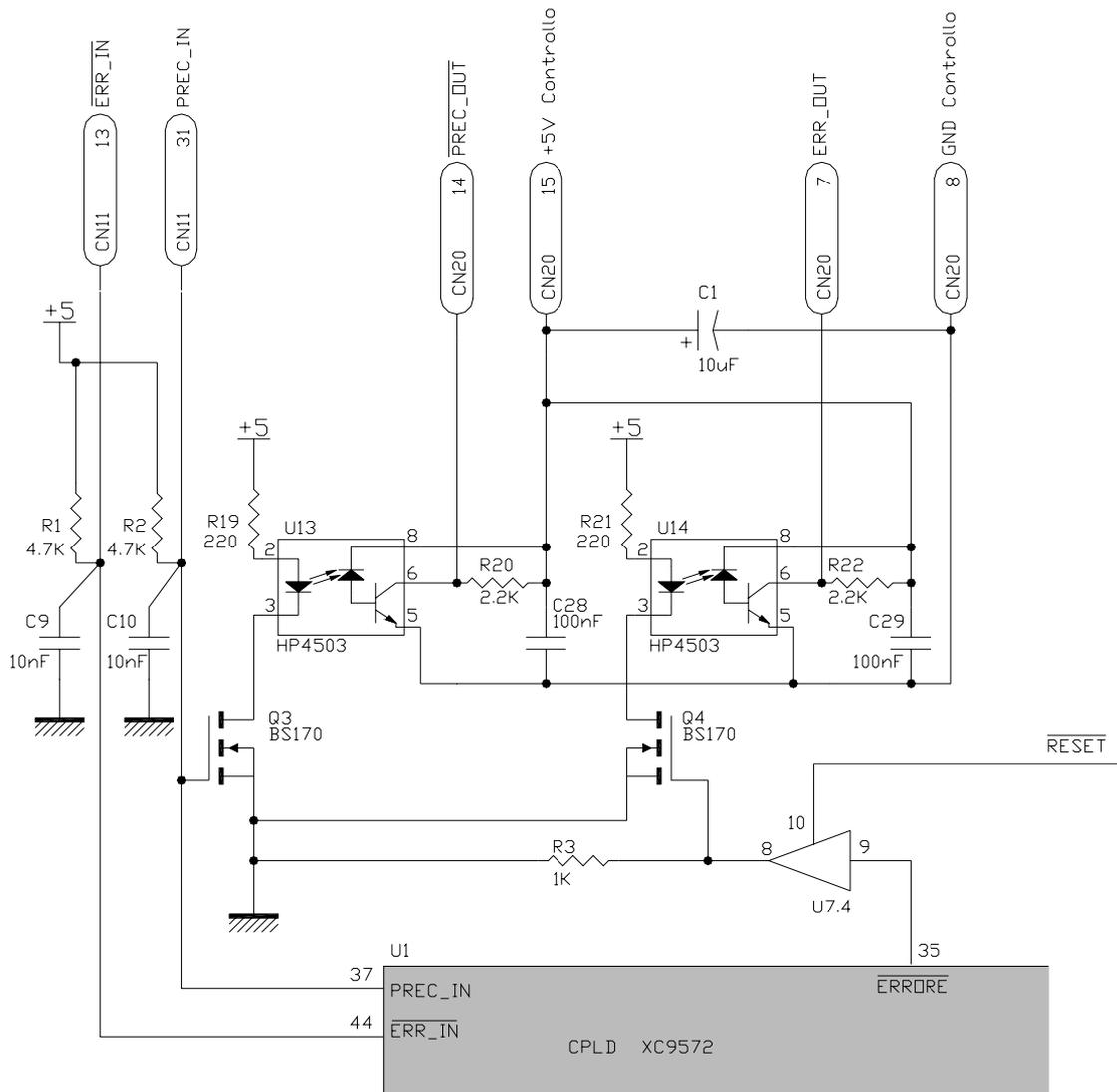


Fig. 5.61 Realizzazione del blocco SM-01.D – Segnali di protezione

Per dimensionare la resistenza di pull-up del transistor open-collector si deve considerare:

- Un limite inferiore legato al fatto che il rapporto fra le correnti di collettore e del diodo è inferiore all'unità. Se ciò non fosse rispettato, si otterrebbe un drastico peggioramento del livello di saturazione del transistor compromettendo il corrispondente livello logico basso.
- Un limite superiore dovuto alla corrente assorbita dal circuito pilotato dall'uscita dell'optoisolatore. Un valore troppo elevato degraderebbe il corrispondente valore logico alto.

Tenendo conto, inoltre, che la tensione di alimentazione dei circuiti del ricevitore è 5V, si sono scelte resistenze R20 ed R22 di 2.2KΩ. Per non sovraccaricare l'optoisolatore, sulla scheda SM-02 di ricezione è installato in ingresso un circuito buffer. Prima di inviare il

segnale $\overline{\text{ERRORE}}$ al controllo, al fine di permettere il riconoscimento di un blocco temporaneo di sistema dovuto ad un buco di tensione, è stata inserita una porta con terminale di tree-state pilotato dal segnale di $\overline{\text{RESET}}$; l'uscita di tale porta viene optoisolata ed inviata a SM-02 come ERR_OUT.

Per i test di questa sezione di circuito si è utilizzato lo schema di Fig. 5.62 dove l'optoisolatore è stato pilotato da un driver di corrente, costituito da una porta TTL di tipo 7407, collegato ad un generatore di onda quadra alla frequenza di 80KHz e duty-cycle del 50%. Come carico è stata usata una porta CMOS implementata nella CPLD.

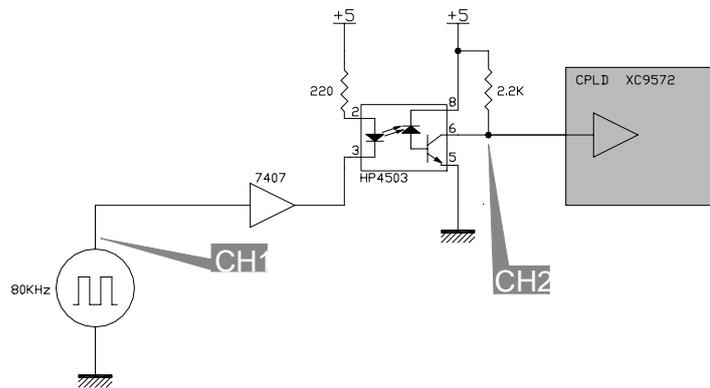


Fig. 5.62 Circuito di prova dell'optoisolatore

In Fig. 5.63 sono riportate le forme d'onda che rappresentano la risposta dell'optoisolatore ad un gradino in ingresso. I tempi di ritardo nella risposta così rilevati, sono pienamente accettabili per i segnali ERR_OUT ed $\overline{\text{PREC_OUT}}$.

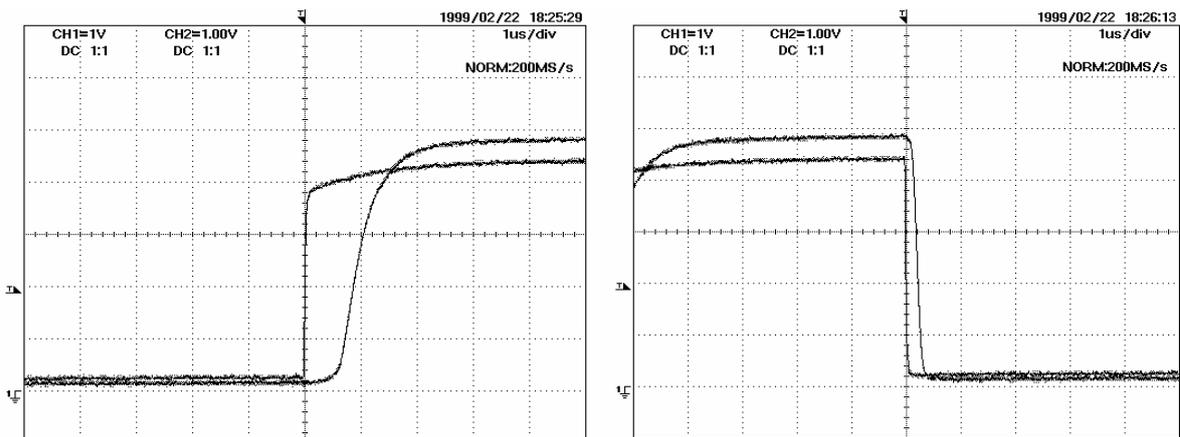


Fig. 5.63 Prova dell'optoisolatore – Fronte di salita e di discesa delle forme d'onda in ingresso (CH1) ed in uscita all'optoisolatore (CH2).

5.4.6.13 Blocco SM-01.E - Programmazione ISP della rete logica

Ogni CPLD Xilinx della famiglia XC9500 è dotata di quattro terminali TCK, TDI, TDO, TMS che ne permettono la *programmazione in-system* (ISP) secondo il protocollo *JTAG IEEE 1149.1*.

La programmazione ISP, offre in modo molto efficiente la possibilità di modificare in qualsiasi momento la rete logica implementata sulla propria scheda, senza dover apportare modifiche all'hardware o compiere pericolose manipolazioni dei chip da programmare.

Per compiere la programmazione è sufficiente connettere, tramite il download cable, la porta JTAG della scheda su cui sono alloggiati i componenti CPLD da programmare ad una porta parallela di un PC equipaggiato con il programma di sviluppo/programmazione.

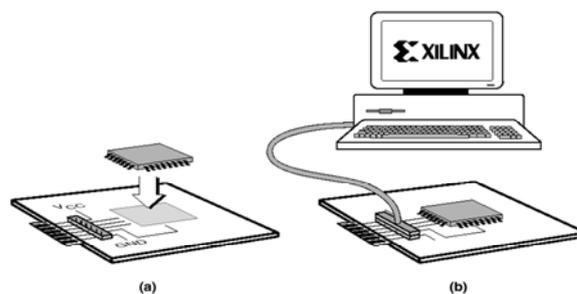


Fig. 5.64 Esempio di programmazione in-system: anche dopo aver installato il chip CPLD sulla propria scheda a), è possibile programmarlo in qualsiasi momento b).

Ogni chip CPLD è garantito per un numero minimo di 10000 cicli di programmazione/cancellazione. Quando il chip è programmato, la permanenza in memoria del programma è garantita per un numero minimo di 20 anni. Al fine di sfruttare le potenzialità offerte dalla modalità ISP, sulla scheda SM-01 è stato installato l'apposito connettore 8 pin per la connessione al download-cable.

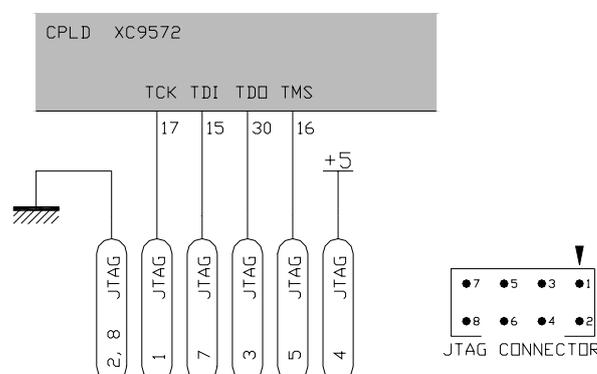


Fig. 5.65 Connettore JTAG sulla scheda SM-01 per la programmazione ISP della CPLD

5.4.6.14 Blocco SM-01.F – Selezione del dead time

Scopo del circuito, è ottenere due segnali elettrici, aventi livello logico selezionabile dall'utente, da inviare ai terminali I0 ed I1 della CPLD e facenti capo al circuito visto al paragrafo Par. 5.4.6.4.

Il circuito che realizza la funzione voluta è visualizzato in Fig. 5.66 dove la selezione è possibile tramite jumper la cui posizione dà luogo a tre possibili combinazioni. Non è presente alcun elemento di memoria, per cui un cambiamento dei jumper determina l'immediato cambiamento del dead time. Ciò consiglia di attuare questa manovra solo a sistema spento. In ogni caso nel decidere la corrispondenza tra configurazione dei jumper e corrispondenti livelli logici ai terminali I0 e I1, s'è fatta una scelta prudentiale: jumper tutti aperti corrispondono a dead time di $6\mu\text{s}$.

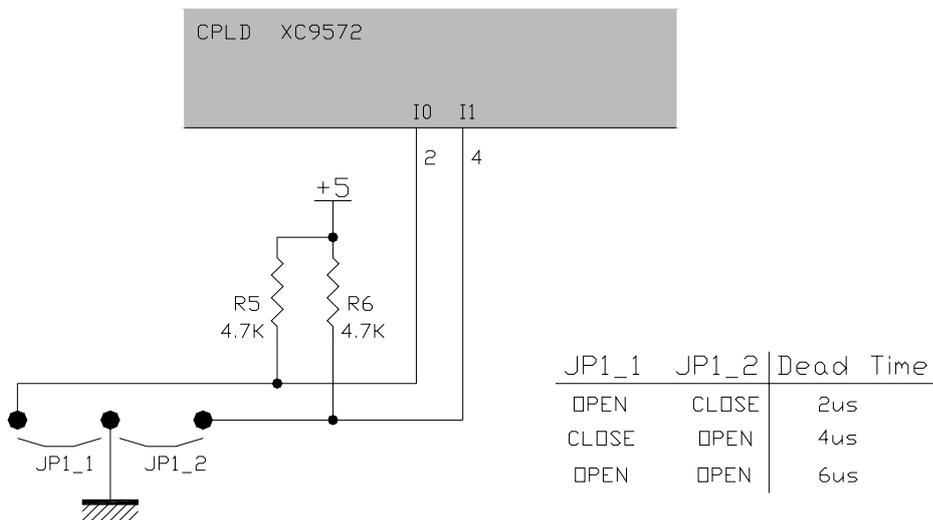


Fig. 5.66 Circuito di selezione del dead time

Per dimensionare le resistenze di pull-up di Fig. 5.66 si deve tener conto essenzialmente di un limite superiore, legato alla corrente di perdita in ingresso della CPLD (dell'ordine di $10\mu\text{A}$), per non degradare eccessivamente il livello logico alto. Il valore scelto è di $4.7\text{K}\Omega$.

5.4.6.15 Blocco SM-01.G – SEGNALI DI CONTROLLO - INGRESSI

Al circuito implementato in questo blocco spetta il compito di convertire i segnali ottici, provenienti dal dispositivo di controllo per il tramite della scheda SM-02, e comprendenti il segnale di enable \overline{EN} e i tre segnali di fase U, V, W.

Come ricevitore si usa il componente HFBR-2521 della Hewlett Packard, complementare al dispositivo trasmettitore HFBR-1521 usato nella scheda SM-02 e descritto dettagliatamente al Par. 5.4.7.2.

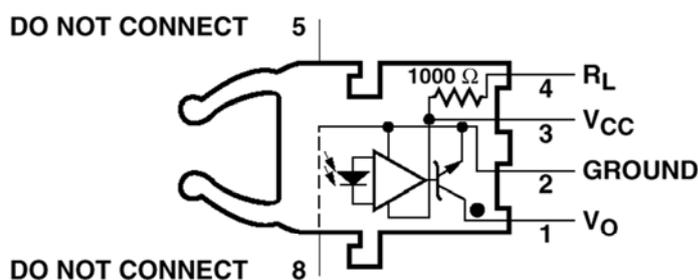


Fig. 5.67 Ricevitore HFBR-2521

I quattro segnali \overline{EN} , U, V, W forniti dai quattro ricevitori sono inviati rispettivamente ai terminali 6, 8, 7, 9 della CPLD. Poiché la tensione di alimentazione è di 5V e la corrente di perdita in ingresso della CPLD è molto contenuta, si è preferito come resistenza di pull-up quella integrata all'interno del ricevitore avente valore di circa 1000Ω.

In questo modo nessun componente esterno, ad eccezione dei condensatori di disaccoppiamento, è necessario al funzionamento del ricevitore.

Da notare che la scelta di avere \overline{EN} come segnale logico attivo basso non è stata casuale ma dettata da ragioni di sicurezza. Infatti, in presenza di guasto nel trasmettitore o nel ricevitore, in caso di rottura della fibra ottica, qualsiasi evento che interrompa il flusso luminoso, determinerebbero livello logico alto per \overline{EN} e quindi sistema bloccato.

In Fig. 5.68 è riportato il circuito completo relativo al blocco SM-01.G comprendente i quattro ricevitori.

In questi ricevitori, quando il diodo fotorivelatore è investito dai fotoni in arrivo si producono nel dispositivo coppie elettrone-lacuna che danno origine ad una corrente che, opportunamente amplificata, giunge nel terminale di base del transistor di uscita. In questa condizione, il transistor è saturato dalla corrente di base, perciò la tensione d'uscita dal ricevitore corrisponderà al livello logico 0.

Quando viceversa il fotorivelatore non è investito da fotoni, non si ha nessuna corrente oltre a quella termica per cui il transistor di uscita è interdetto e la tensione di uscita corrisponde al livello logico 1.

A transistor interdetto la tensione d'uscita può essere fissata al livello voluto tramite una resistenza di pull-up. Essendo il livello alto coincidente con la tensione d'alimentazione del ricevitore V_{CC} , si è utilizzato la resistenza interna di pull-up già collegata al piedino d'alimentazione.

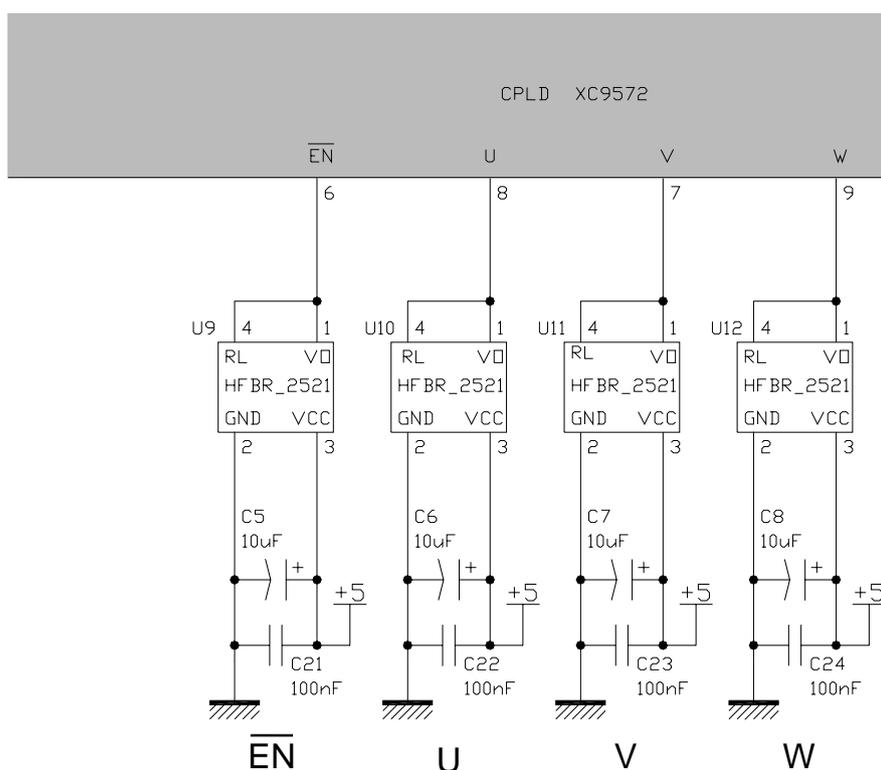


Fig. 5.68 Realizzazione del blocco SM-01.G – ingresso dei segnali ottici di controllo

5.4.6.16 Blocco SM-01.H – SEGNALI DI CONTROLLO - USCITE

A questa parte del circuito spetta il delicato compito di adattare i segnali logici provenienti dalla CPLD a segnali che abbiano le caratteristiche necessarie a pilotare i driver degli IGBT.

Il pilotaggio dei driver consiste nell'accensione e spegnimento dei led degli optoisolatori interni ai driver stessi. Tali led sono alimentati a 24V e richiedono una corrente di accensione di circa 15mA. Si tratta quindi di attuare un *adattamento del livello* dei segnali per passare da un segnale di tipo logico 0-5V ad uno sempre di tipo logico ma con livelli 0-24V. è necessaria

anche una *conversione di potenza*, dovendo erogare correnti di circa 15mA partendo da un pin di uscita della CPLD che non ammette più di 2 mA.

A ciò si deve aggiungere la necessità di garantire *protezione durante i malfunzionamenti* derivanti da abbassamenti della tensione di alimentazione o durante una fase di accensione.

Per rispettare le tre specifiche su adattamento, conversione, protezione, è stato adottato il circuito riportato in Fig. 5.69.

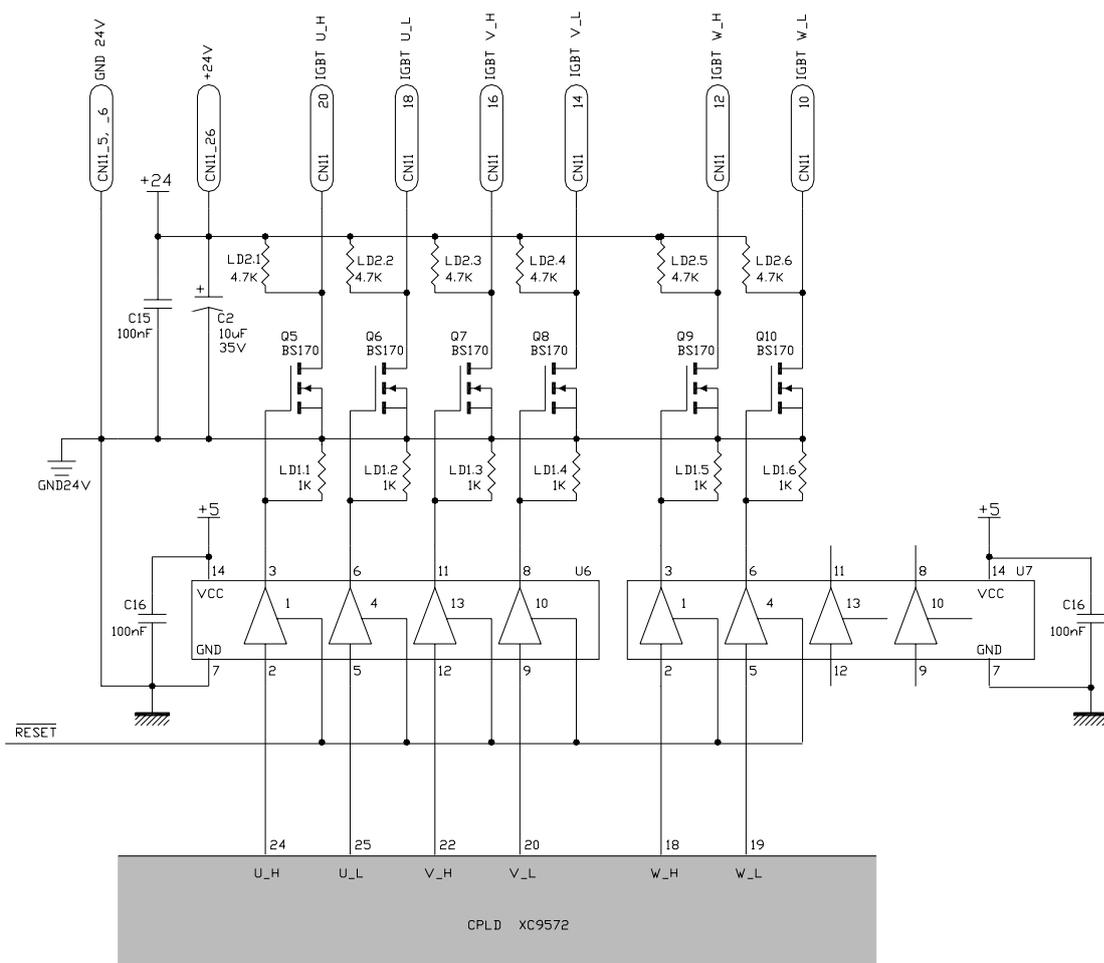


Fig. 5.69 Realizzazione del blocco SM-01.H – Uscita dei segnali di comando driver dalla CPLD.

I sei segnali di fase UH, UL, VH, VL, WH, WL provenienti dalla CPLD sono inviati ad altrettanti buffer tree-state del tipo 74HC126. Lo stato di alta impedenza è pilotato dal segnale di $\overline{\text{RESET}}$ visto nel paragrafo 5.4.6.10 per realizzare la funzione di protezione, mentre l'uscita del buffer controlla il gate di un transistor MOSFET BS170 che ha il compito di attuare l'adattamento del livello e la conversione di potenza.

La scelta di un buffer appartenente alla famiglia 74HC (High Speed CMOS) oltre a permettere una elevata velocità di risposta, garantisce la corretta gestione di eventuali

diminuzioni sulla tensione di alimentazione fino a 2V avendo un range di funzionamento compreso tra 2 e 6V.

A fronte di un buco di tensione, il segnale di $\overline{\text{RESET}}$ va basso, mandando in alta impedenza l'uscita dei buffer U6 e U7, di conseguenza i BS170 sono in uscita tutti in alta impedenza per effetto della rete resistiva LD1 che mantiene a livello basso i rispettivi gate: in questo modo tutti gli IGBT risulteranno spenti.

In realtà, in presenza di $\overline{\text{RESET}}$ a livello basso, anche la transizione 0-2V viene gestita correttamente dal binomio buffer - rete resistiva LD1 garantendo un segnale di gate basso.

Ciò può essere ben visibile dal risultato del test riportato in Fig. 5.70 in cui s'è provato il caso di ingresso del buffer a 5V, ingresso di tree-state a massa tramite resistenza da 1K Ω e tensione di alimentazione variabile tra 0-5V. In queste condizioni l'uscita del buffer, collegata a massa tramite una resistenza da 1K Ω , si è mantenuta sempre a livello basso.

La rete resistiva LD2 ha il compito di agevolare la fase di spegnimento dei led che pilotano i driver IGBT riportando rapidamente a 24V la tensione sulle linee che collegano i BS170 ai driver stessi. Il collegamento tra BS170 e driver IGBT avviene attraverso il connettore CN11 mostrato in Fig. 5.20.

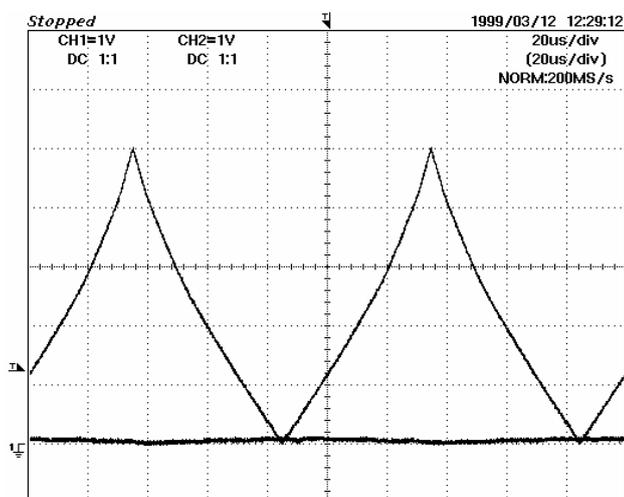


Fig. 5.70 Test per verificare il comportamento del buffer tree-state 74HC126 in presenza di variazioni sulla sua tensione di alimentazione – CH1 uscita del buffer, CH2 tensione di alimentazione variabile tra 0 e 5 V.

Per evitare un degrado dei segnali che pilotano i gate dei BS170, la massa dei segnali a 5V, a cui sono riferite le uscite dei buffer 74HC126, e la massa dei 24V, a cui sono riferiti i segnali che pilotano i driver IGBT, sono collegate insieme in prossimità dei transistor stessi.

Questa soluzione è stata adottata nonostante i pericoli derivanti dalla conseguente realizzazione di un anello di massa esplicito in quanto nell'alimentatore del sistema di potenza

(v. tavola 2.2) le due masse sono già connesse insieme. Tale pericolo è stato giudicato ininfluenza in virtù della ridotta superficie dell'anello, comunque, qualora i test evidenziassero problemi, potrebbe essere introdotta una opportuna ferrite per aumentare l'impedenza dell'anello alle alte frequenze.

Per verificare la funzionalità del circuito di Fig. 5.69 si sono dapprima verificati i tempi di risposta tra segnale applicato in uscita e corrispondente variazione in uscita. La prova è stata effettuata pilotando i buffer tree-state con un contatore a 6 bit implementato su CPLD e clock a 200KHz ottenuto da un generatore di onda quadra e tenendo a livello alto il terminale di tree-state. I transistor BS170 sono stati caricati da led con in serie una resistenza da 1500Ω alimentati a 24V. I risultati di questa prova sono riportati in Fig. 5.71

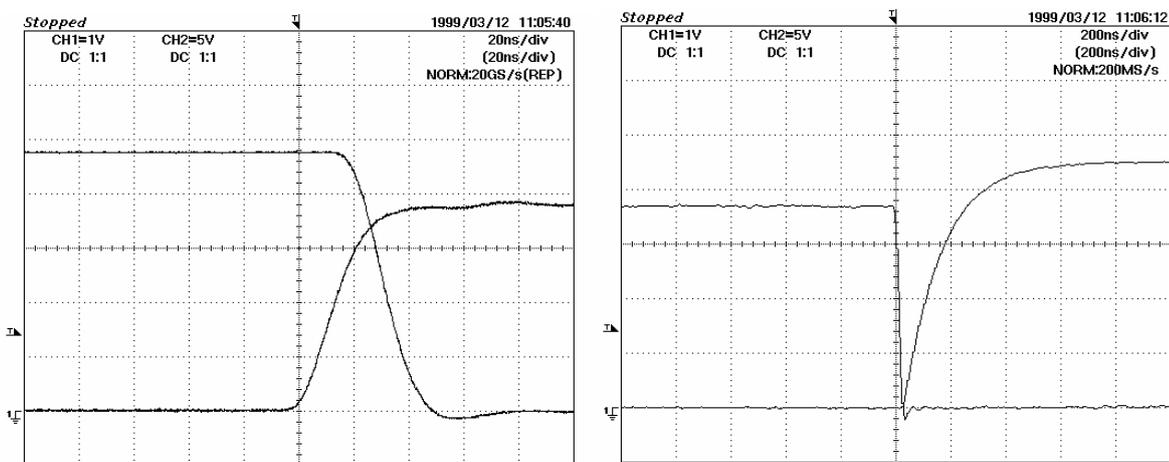


Fig. 5.71 Risposta del circuito di Fig. 5.69 ad un gradino in ingresso – CH1 ingresso del buffer, CH2 uscita sul drain del BS170

La verifica dei tempi di risposta a seguito di un segnale applicato al terminale di tree-state del buffer ed è riportata in Fig. 5.72 (prova nelle stesse condizioni delle precedenti).

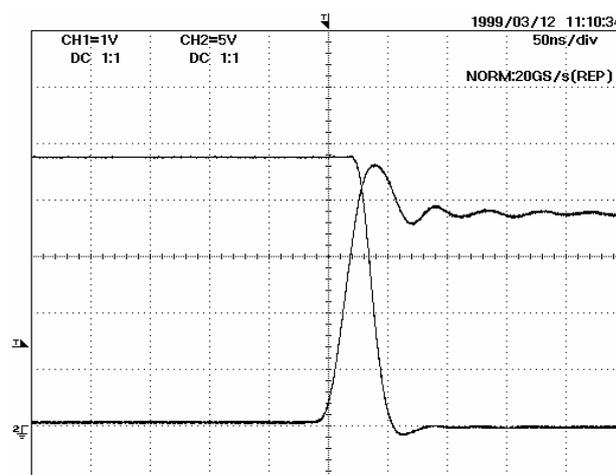


Fig. 5.72 Risposta del circuito di Fig. 5.69 ad un gradino sul terminale di tree-state del buffer – CH1 ingresso tree state, CH2 uscita sul drain del BS170

Un ultimo compito demandato a questo blocco è quello di visualizzare tramite led sulla scheda remota SM-02 lo stato di accensione degli IGBT. A questo scopo, è sufficiente pilotare 6 driver del tipo 7406 utilizzando i 6 segnali di componente provenienti dalla CPLD e inserire i diodi led con in serie una resistenza tra uscita dei driver e alimentazione a 5V

Per ragioni di accessibilità, sulla scheda SM-01 è presente solo il driver 7406 mentre i sei led sono sistemati sulla scheda SM-02 (si veda il Par. 5.4.7.1). Il collegamento fra le due schede avviene tramite il connettore CN20 sulla scheda SM-01.

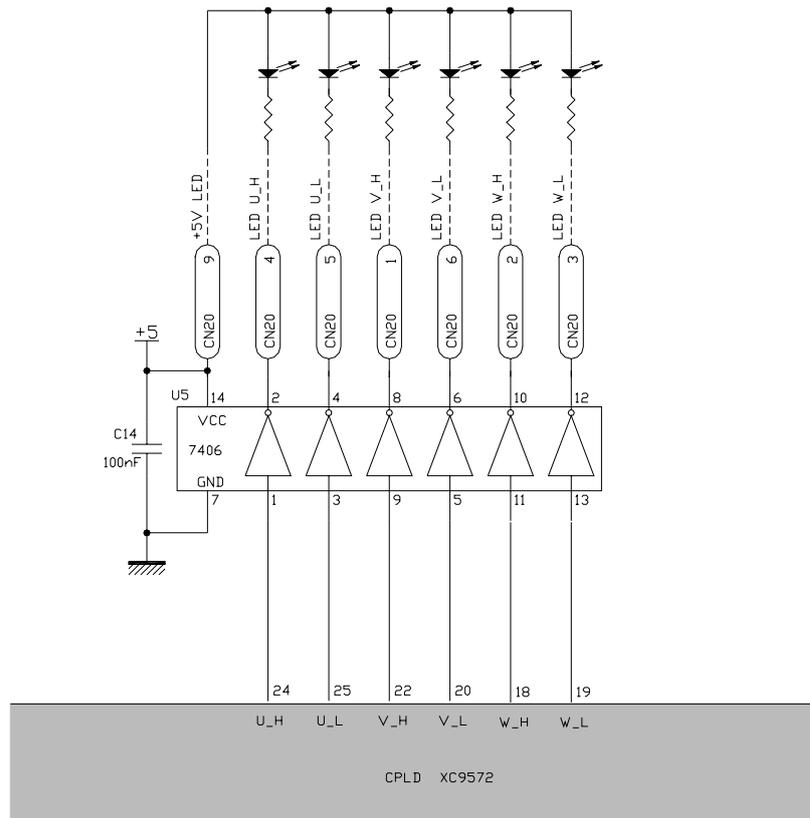


Fig. 5.73 Blocco SM-01.H – Visualizzazione dello stato di accensione degli IGBT

5.4.6.17 Blocco SM-01.I – PRECARICA

A questo circuito spetta il compito di gestire la fase di precarica del BUS DC. Finchè la tensione sul bus dc rimane al di sotto di un certo valore, detto tensione di soglia, il teleruttore di precarica è mantenuto aperto in modo che la resistenza di precarica limiti la corrente che sta caricando i condensatori del bus dc. Quando si raggiunge la tensione di soglia, il teleruttore viene chiuso bypassando la resistenza di precarica.

Al fine di evitare oscillazioni nell'intorno del punto di commutazione, è opportuno che il comparatore che confronta la tensione sul bus dc alla tensione di soglia sia munito di isteresi. In Fig. 5.74 è visualizzato quanto ora descritto.

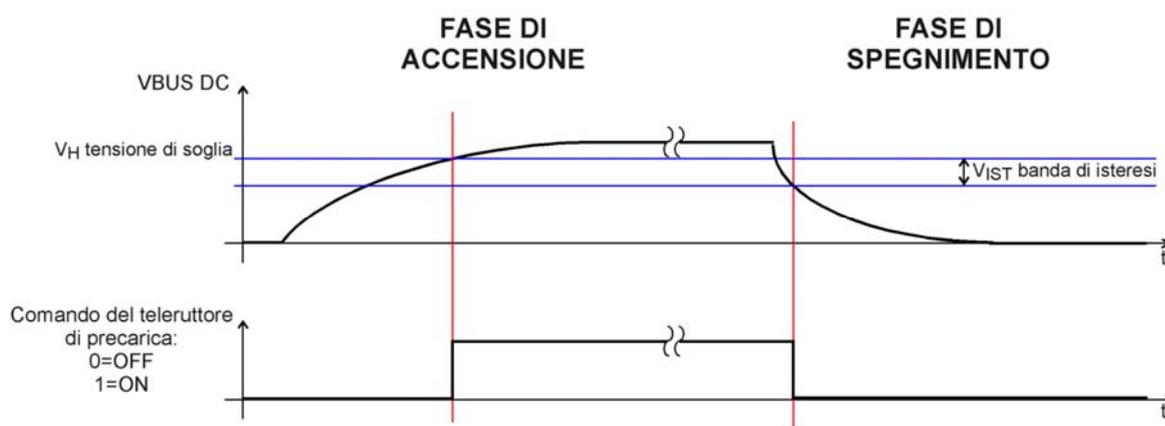


Fig. 5.74 Forme d'onda che illustrano il funzionamento del circuito di precarica

La tensione di soglia deve essere resa funzione della tensione alternata della sorgente a cui l'inverter si connette. La soluzione adottata è stata di utilizzare un jumper per la selezione di due diversi livelli di intervento, per il collegamento dell'inverter a 230V e a 400V. Per alimentazioni comprese tra 230V e 400V si può comunque utilizzare il livello di soglia a 230V, per tensioni di alimentazioni prossime a 400V o superiori si può utilizzare il livello di soglia a 400V, per tensioni inferiori a 200V si può escludere il circuito e procedere con la precarica manuale.

Per realizzare le funzioni volute è stato adottato il circuito riportato in Fig. 5.75 in cui sono evidenziate le parti relative a *generazione del riferimento*, *comparatore con isteresi* e *driver di uscita*.

L'integrato utilizzato nelle elaborazioni analogiche dei segnali è un comparatore LM393 (è un amplificatore operazionale ottimizzato per funzionare in saturazione). Questo comparatore richiede una singola tensione di alimentazione ed ha un'uscita di tipo open-collector.

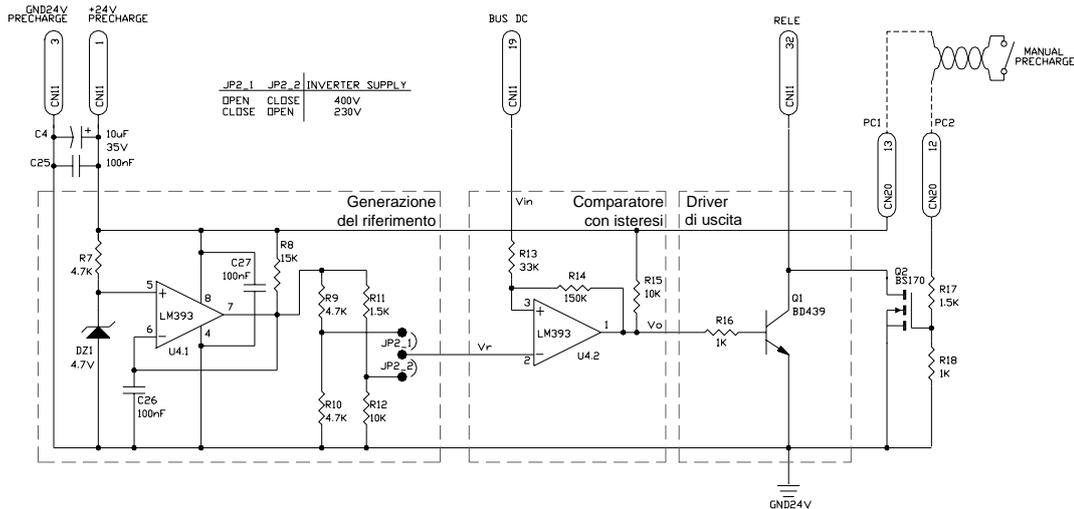


Fig. 5.75 Blocco SM-01.I – Circuito di precarica

Saranno ora illustrate le tre sezioni che compongono il circuito di controllo della precarica

Comparatore con isteresi

Il circuito è basato sulla classica configurazione di un comparatore con isteresi non invertente realizzato con amplificatore operazionale. Al terminale invertente dell'amplificatore è applicata una tensione di riferimento V_R , alla resistenza R1 c'è l'ingresso V_{IN} rappresentato dalla tensione sul bus dc divisa per un fattore 100 prelevata al pin 19 di CN11.

Trattandosi di un circuito instabile, l'uscita V_O può trovarsi ad uno dei due valori di saturazione V_{OL} e V_{OH} dell'amplificatore operazionale compresi fra 0 e 24V in virtù della tensione di alimentazione adottata.

V_{OL} dipende dalla tensione di saturazione del transistor di uscita che se non viene sovraccaricata è con buona approssimazione pari a 0. V_{OH} dipende dal tipo di carico in quanto corrisponde alla tensione nello stato di interdizione del transistor d'uscita dell'operazionale. Da notare che in ogni caso, avendo un uscita open-collector, è necessaria una resistenza di pull-up per determinare il valore alto di tensione da fornire al carico.

Considerando V_{OL} a 0, in Fig. 5.76 è mostrata la relazione fra V_{IN} e V_O .

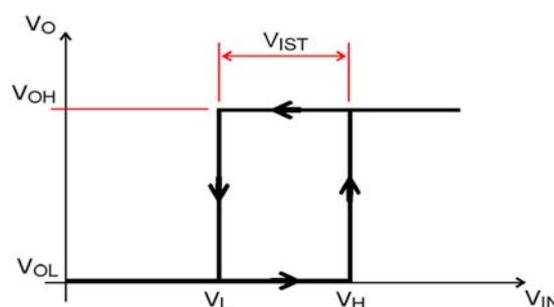


Fig. 5.76 Comparatore con isteresi – Relazione fra V_{IN} e V_O

Tenendo conto della simbologia introdotta in Fig. 5.75 e Fig. 5.76, è possibile ricavare le seguenti relazioni

$$\text{Eq. 5.11} \quad V_{\text{IST}} = V_{\text{OH}} \frac{R_1}{R_2}$$

$$\text{Eq. 5.12} \quad V_{\text{H}} = V_{\text{R}} \left(1 + \frac{R_1}{R_2} \right)$$

Dalla relazione Eq. 5.11 è evidente che per fissare a piacere il valore dell'isteresi V_{IST} , essendo V_{OH} determinato dalla tensione di alimentazione e dalla natura del carico, si deve agire sul rapporto R_1/R_2 . Fissata la larghezza della banda d'isteresi, dalla Eq. 5.12 consegue che l'unico modo per poter variare indipendentemente la soglia V_{H} è di agire sul riferimento V_{R} .

Generazione del riferimento

Per ottenere in modo semplice un riferimento di tensione è stato utilizzato un diodo zener da 4.7V. In Fig. 5.77 è visualizzata la caratteristica tensione-corrente del diodo zener ottenuta applicando un'onda sinusoidale ad un circuito formato da diodo e resistenza in serie. Con l'oscilloscopio in modalità x-y è stata rilevata nel canale CH1 (x) la tensione ai capi del diodo e nel canale CH2 (y) la tensione ai capi di una resistenza da 1Ω posta in serie al circuito di prova (la tensione rilevata con l'oscilloscopio corrisponde, in valore, alla corrente).

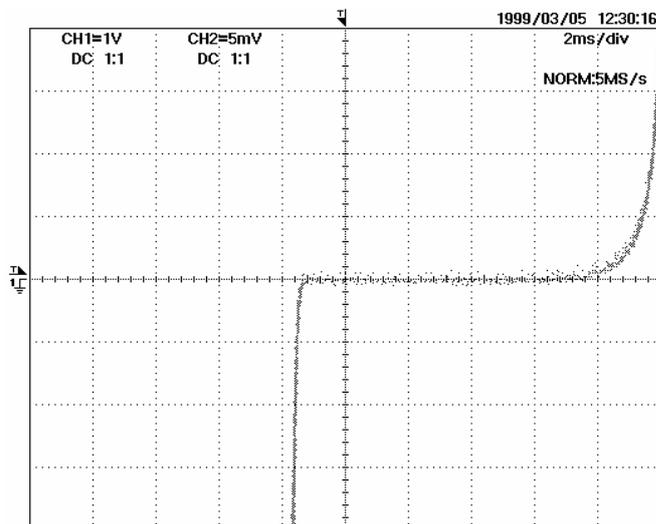


Fig. 5.77 *Caratteristica tensione-corrente del diodo zener usato nel circuito di generazione del riferimento*

Nella parte destra della Fig. 5.77 è visibile il funzionamento in polarizzazione inversa (funzionamento da zener) mentre nella parte sinistra è visibile il funzionamento in polarizzazione diretta. Dalla Fig. 5.77 si può rilevare che in corrispondenza di 4.7V si ha una

corrente di circa 4mA; volendo quindi ottenere tale tensione a fronte di una tensione di alimentazione di 24V, facendo riferimento Fig. 5.75, si deve dimensionare la resistenza R7 al valore

$$\text{Eq. 5.13} \quad R7 = \frac{24 - 4.7}{4 \cdot 10^{-3}} = 4825\Omega$$

a cui corrisponde un valore commerciale di 4700Ω.

Ottenuta una tensione di riferimento abbastanza precisa e stabile, si devono creare due valori di riferimento V_R corrispondenti alle due soglie che si devono generare in corrispondenza delle due possibili alimentazioni di 230V o 400V. Per fare ciò si opta per due semplici partitori resistivi R9-R10 ed R11-R12. Per non alterare il valore del riferimento è opportuno utilizzare un circuito amplificatore a guadagno unitario del tipo mostrato in Fig. 5.75 (sfruttando così il secondo operazionale presente all'interno del circuito integrato LM393).

Driver di uscita

È realizzato da un transistor BJT e funge da vero e proprio amplificatore di corrente dovendo permettere al circuito comparatore, che può fornire al massimo qualche mA, di accendere il relè che comanda il teleruttore di prearica e che richiede correnti di qualche decina di mA.

Le due resistenze R15 ed R16 devono essere dimensionate in modo tale da non sovraccaricare il transistor di uscita dell'operazionale (non comprometterne il livello di saturazione) e al tempo stesso garantire una buona saturazione del transistor Q1 del driver di uscita: i valori scelti sono R15=10KΩ ed R16=1KΩ.

È ora possibile dimensionare gli altri componenti del circuito. In virtù dei valori scelti per R15 ed R16 si può calcolare e verificare sperimentalmente che si ha un valore V_{OH} di circa 2.85V. Fissando il valore dell'isteresi a circa 60V e quindi V_{IST} a circa 0.6V risulta fissato il rapporto

$$\text{Eq. 5.14} \quad \frac{R1}{R2} = \frac{V_{IST}}{V_{OH}} \cong \frac{0.6}{2.85} \cong 0.21$$

da cui si scelgono i valori commerciali R1=33KΩ e R2=150KΩ e rifacendo i calcoli si ottiene una corrispondente V_{IST} di 0.63V. È ora possibile determinare i due valori di V_R e dimensionare i due partitori resistivi ottenendo i valori riportati in nella Tab. 5.13.

	Tensione fase della sorgente V_{AC}	
	230V~	400V~
Tensione del BUS DC con sistema di controllo spento $V_{BUSDC} \cong \sqrt{2} V_{AC}$	325V	565V
Tensione di soglia V_H	2.9V	5V
Tensione di riferimento $V_R = \frac{V_H}{\left(1 + \frac{R1}{R2}\right)}$	2.38V	4.1V
Resistenze del partitore	R9=4.7K Ω R10=4.7K Ω	R11=1.5K Ω R12=10K Ω

Tab. 5.13 Scelta dei valori di soglia V_H e dimensionamento di V_R e dei relativi partitori

Il circuito è stato provato applicando una forma d'onda triangolare in VIN di ampiezza 7V (che quindi simula una variazione di tensione sul BUS DC da 0 a 700V) e caricando il circuito con una corrente di circa 100mA. Le misure sono state effettuate rilevando l'uscita del comparatore con isteresi V_O in CH1 e l'ingresso al VIN in CH2.

In Fig. 5.78 sono riportati i comportamenti del circuito rispettivamente per una tensione di soglia di 2.9V (alimentazione a 230V) e per una tensione di soglia di 5V (alimentazione a 400V).

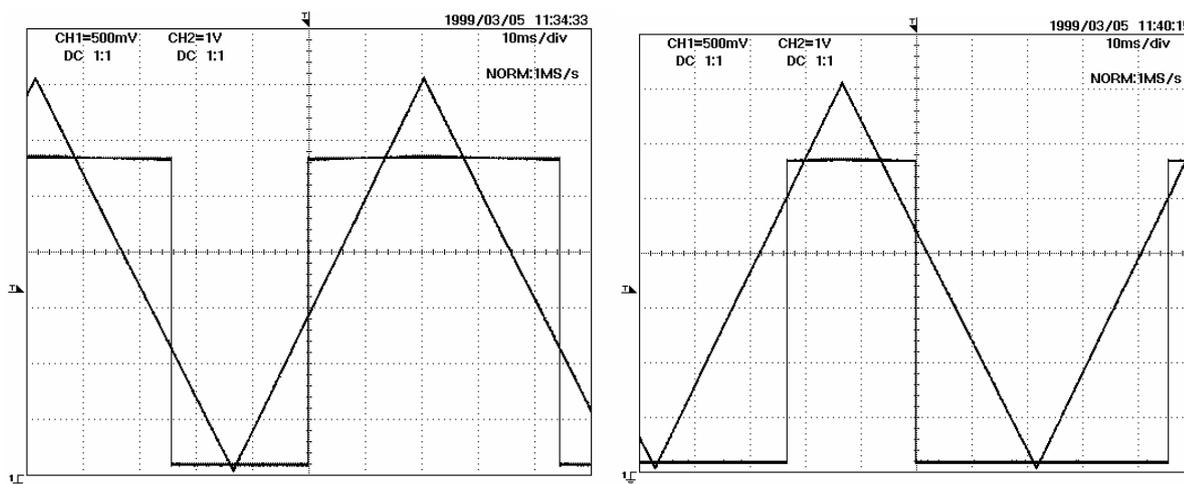


Fig. 5.78 Test sul circuito di precarica –Comportamento con tensione di soglia di 2.9V e di 5 V. - CH1 uscita del comparatore con isteresi, CH2 ingresso VIN.

5.4.6.18 Blocco SM-01.J – Alimentazioni

Sotto questa generica denominazione sono comprese tutte le alimentazioni richieste nella scheda SM-01. In Fig. 5.79 ne è mostrato il riepilogo e la sezione del sistema da cui provengono.

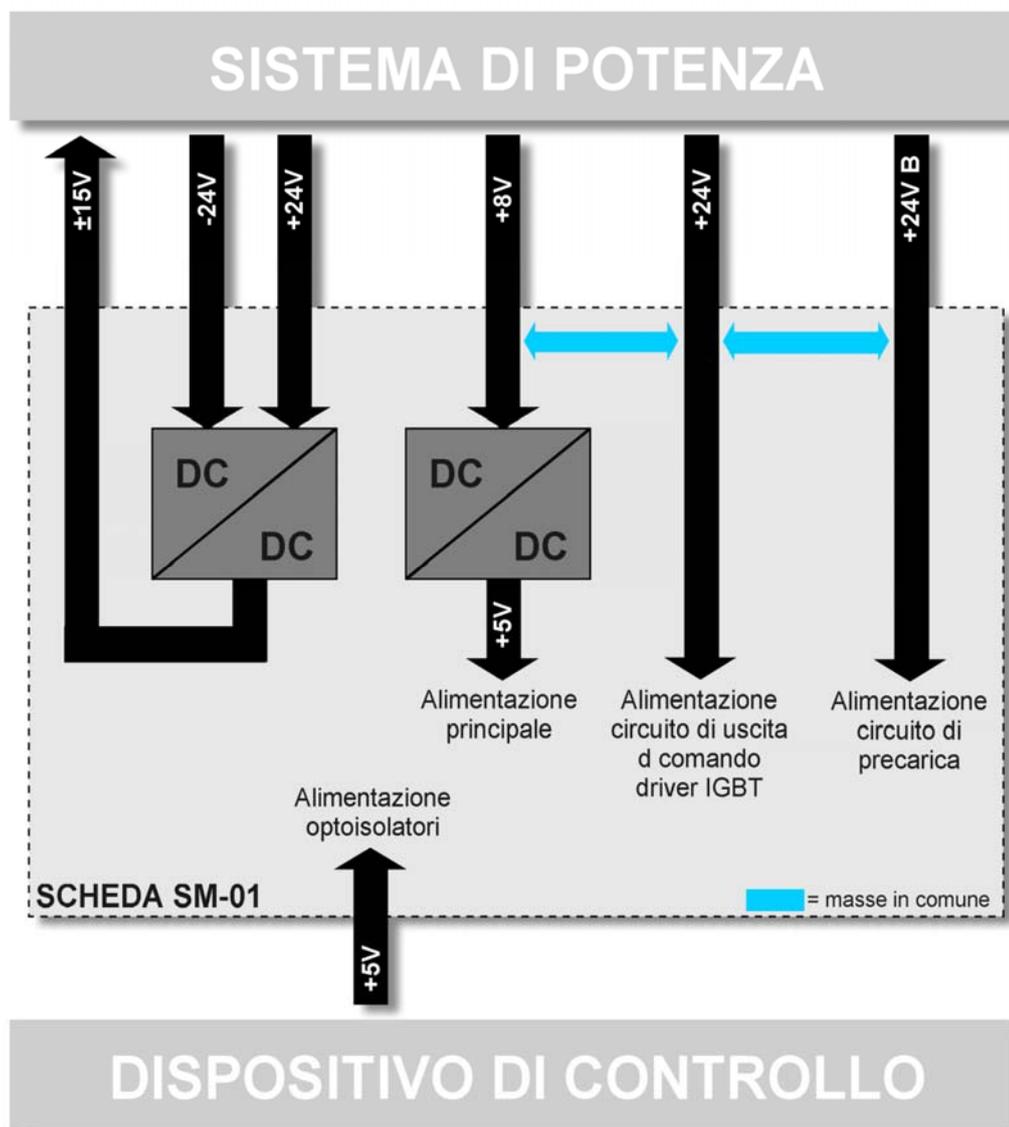


Fig. 5.79 Riepilogo delle tensioni di alimentazione presenti nella scheda SM-01

Dalla Fig. 5.79 si vede che sono presenti 5 diverse tensioni di alimentazione che fanno capo alla scheda SM-01.

Tutte le alimentazioni provenienti dal sistema di potenza provengono dai secondari del convertitore di tipo flyback visibile nella tavola 2.2 e corrispondono a:

- *Alimentazione -24V*

Inviata ad un convertitore DC/DC di tipo lineare 7915 per generare i -15V che alimentano alcuni componenti del sistema di potenza tra cui l'amplificatore operazionale che misura la tensione sul BUS DC divisa per 100 (vedere tavola 2.2)

- *Alimentazione a +24V*

Ha la stessa massa di -24 ed è inviata ad un convertitore DC/DC di tipo lineare 7815 per generare i +15V che alimentano alcuni componenti del sistema di potenza tra cui l'amplificatore operazionale che misura la tensione sul BUS DC divisa per 100. La stessa tensione è utilizzata dai driver BS170 che comandano i driver IGBT (vedere al Par.5.4.6.16)

Alimentazione a +24V B

Uscita del flyback completamente isolata dai +24 visti prima ed utilizzata per alimentare il circuito di precarica.

È necessario mettere in comune le masse tra +24 e +24B perché la misura della tensione di bus dc/100 e il comando del relè di precarica che si trova sulla scheda driver ES 714 sono riferiti alla massa di +24

Uscita a +8V

Ha già la massa in comune con i +24 anche se è stato giudicato opportuno mettere in comune le due masse anche sulla scheda SM-01 (vedere al Par. 5.4.6.16).

È inviata ad un convertitore DC/DC di tipo lineare 7805 per generare i +5V che costituiscono l'alimentazione della CPLD sulla scheda SM-01.

Essendo di tipo lineare ha il grosso vantaggio di avere un basso fattore di distorsione a fronte di un basso rendimento.

Mentre nel caso precedente in cui si generavano i +15 e -15 non è stato necessario fare calcoli di dimensionamento in quanto il carico collegato è irrisorio, per il 7805 che deve alimentare praticamente la totalità della scheda è opportuno fare un calcolo termico.

Non avendo all'interno del 7805 dispositivi di potenza che lavorano in commutazione, è sufficiente fare un calcolo a regime considerando le sole resistenze termiche.

Tenendo conto delle correnti mediamente assorbite dai componenti presenti sulla scheda si può affermare che la corrente complessiva non è superiore a 800mA. Il convertitore DC/DC verrà quindi dimensionato per una corrente di 800mA. Il convertitore fornisce alla porta di uscita 5V a fronte di 8V presenti alla porta di ingresso, si ha che la potenza massima che il dispositivo deve dissipare è

$$\text{Eq. 5.15} \quad P_D = (8 - 5) \cdot 0.8 = 2.4W.$$

Tenendo presente che

$$\text{Eq. 5.16} \quad T_j - T_a = P_D \cdot (R_{jc} + R_{cs} + R_{sa})$$

dove

T_j è la temperatura di giunzione e non deve superare il valore dichiarato dal costruttore

T_a è la temperatura ambiente

R_{jc} è la resistenza termica giunzione-contenitore (fornita dal costruttore)

R_{cs} è la resistenza termica contenitore-dissipatore di calore (nota)

R_{sa} è la resistenza termica dissipatore di calore-ambiente (da calcolare)

Questi valori corrispondono a: $T_j=100^\circ\text{C}$, $T_a=50^\circ\text{C}$, $R_{jc}=3^\circ\text{C/W}$, $R_{cs}=0.5^\circ\text{C/W}$ per cui dalla Eq. 5.16 si trova la resistenza termica minima del dissipatore che vale $R_{sa}=17.3^\circ\text{C/W}$. Si è quindi scelto un dissipatore di calore commerciale con R_{sa} di 14°C/W .

L'alimentazione + 5V proveniente dal sistema di controllo, serve solamente per l'alimentazione degli optoisolatori che inviano le informazioni sullo stato del sistema al controllo, e che sono stati descritti in 5.4.6.12.

5.4.6.19 Realizzazione della scheda SM - 01

Nei paragrafi precedenti è stata portata a termine la fase di progettazione della scheda SM-01 descrivendo le scelte effettuate al fine di soddisfare le specifiche richieste.

Nella tavola 6 è mostrato, nel suo complesso, lo schema elettrico della scheda che ora deve essere realizzata fisicamente. Per non complicare eccessivamente la fase di realizzazione, si è deciso di montare la scheda su un circuito stampato con metallizzazione su due facce.

Si è quindi disegnato a partire dallo schema elettrico, il lay-out del circuito stampato disposto su due piani. Questa fase deve seguire criteri ben precisi al fine di ridurre il più possibile problemi durante la fase di collaudo e di utilizzo della scheda realizzata. Dai paragrafi precedenti si è visto come sulla scheda debbano convivere circuiti diversi che sono separati elettricamente o che al massimo hanno un solo punto in comune. Affinché non manchi la separazione tra circuiti diversi, è opportuno che tali circuiti (circuito di precarica, circuito di uscita che comanda i driver IGBT, circuito al secondario degli optoisolatori) rimangano ben separati anche nel lay-out della scheda. Se sono previsti punti in comune, questi devono rimanere unici anche nel lay-out, per evitare pericolosi anelli espliciti di corrente o interferenze fra le varie parti dei circuiti.

La soluzione migliore sarebbe quella di disporre di più strati di metallizzazione, in modo da dedicarne alcuni alle masse o alle alimentazioni. Avendo la possibilità di realizzare la scheda

solo a due strati, si è scelto di dedicare la maggior parte del piano superiore, al trasporto delle masse.

L'uso di *piani di massa* conduce a due importanti benefici:

- consente di approssimare il collegamento di massa ad un punto, limitando così gli effetti di cadute di tensione tra un punto e l'altro del collegamento stesso che altrimenti degraderebbero i segnali riferiti a tale massa
- consente di ridurre al minimo la superficie degli anelli di corrente in quanto ogni corrente di ritorno è libera di percorrere il cammino che minimizza l'impedenza dell'anello in modo da minimizzare l'energia immagazzinata nel corrispondente campo magnetico.

Occorre inoltre considerare che nella distribuzione delle linee di alimentazione, come per quelle di segnale, si deve cercare di minimizzare le aree degli anelli di corrente. Questo concetto è prioritario per le alimentazioni in quanto queste devono raggiungere ogni componente della scheda ed ogni scheda presente nel sistema.

La grande estensione di tali linee rende quindi difficile il mantenimento di aree di anello di ridotte dimensioni ed inoltre, un disturbo su queste linee si propaga immediatamente ad ogni componente del sistema.

Un alimentatore in genere è in grado di fornire correttamente la corrente a bassa frequenza al carico, ma le induttanze presenti nelle linee di alimentazione tra scheda e scheda o tra i componenti di una scheda, rendono problematico mantenere le specifiche sulle tensioni di alimentazione durante i periodi di forte assorbimento impulsivo tipici di circuiti digitali in commutazione.

Quindi le induttanze di linea inducono disturbi sull'alimentazione in relazione agli assorbimenti impulsivi di corrente cui sono sottoposte ed inoltre l'area rilevante dell'anello di corrente è particolarmente suscettibile a disturbi indotti magneticamente dall'ambiente.

Per risolvere questi problemi è opportuno prevedere l'uso di *condensatori di disaccoppiamento* in prossimità dei circuiti integrati.

Il loro modo di agire è duplice: per prima cosa agiscono come sorgenti di carica locali in grado di fornire i picchi di corrente durante le commutazioni attraverso una sorgente a minore induttanza; in secondo luogo il loro diffuso impiego consente di realizzare aree di anello di minori dimensioni per le componenti dei disturbi elettromagnetici provenienti dall'ambiente.

Si possono distinguere due tipi di disaccoppiatori:

- disaccoppiatori di scheda

Sono disposti all'ingresso delle alimentazioni della scheda e sono costituiti da un condensatore elettrolitico di valore solitamente compreso tra $10\mu\text{F}$ e $100\mu\text{F}$. La loro collocazione non è particolarmente critica e spesso si aggiunge in parallelo un condensatore di tipo ceramico (o altro tipo che mantenga un buon comportamento capacitivo ad alta frequenza) di valore dell'ordine di 100nF per compensare il pessimo comportamento in alta frequenza del condensatore elettrolitico.

- disaccoppiatori di chip

Sono disposti nelle immediate vicinanze del chip in modo da minimizzare l'area dell'anello formata dal condensatore stesso e dal chip. Hanno valore solitamente compreso tra 100nF e $1\mu\text{F}$ e la loro collocazione è molto critica per quanto detto prima. Devono avere un buon comportamento alle alte frequenze (condensatori con dielettrico in ceramica, mica, vetro, polistirene).

Per i collegamenti con l'esterno da parte della scheda SM-01 sono stati predisposti due connettori:

- CN11 verso l'omologo CN11 del sistema di potenza e caratterizzati dalla stessa disposizione ed assegnazione dei terminali visibile in Fig. 5.20.
- CN20 verso il dispositivo di controllo e caratterizzato dalla disposizione dei terminali visibile in Fig. 5.80

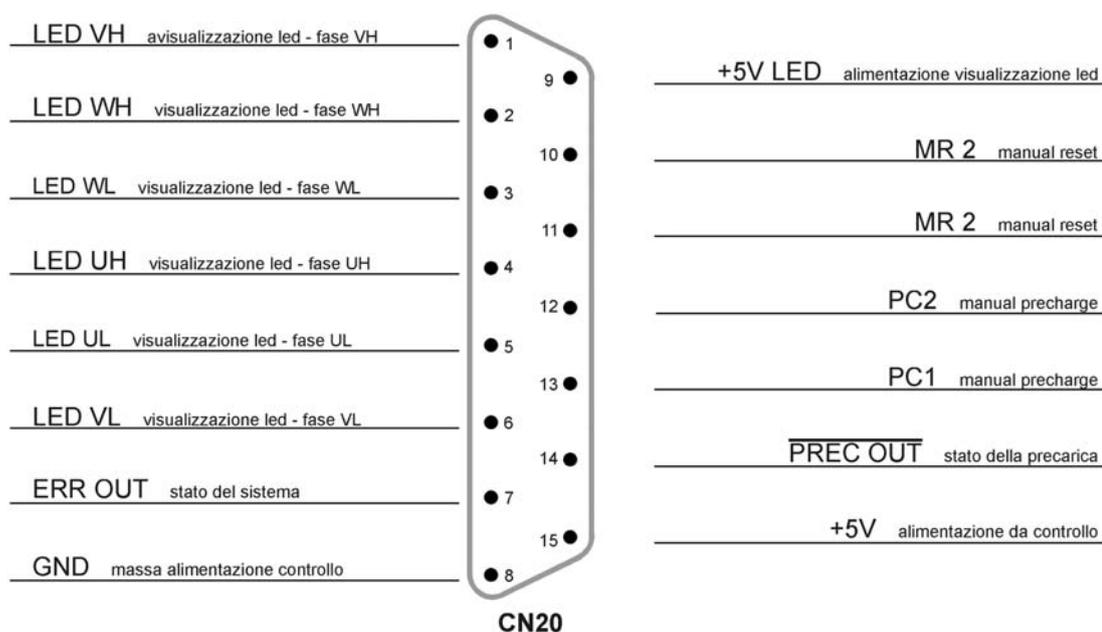


Fig. 5.80 Connettore CN20 tra scheda SM-01 e dispositivo di controllo

Tenendo conto di tutte queste precisazioni, utilizzando il programma Orcad si è disegnato il lay-out del circuito stampato e montati i componenti. Una foto della scheda SM-01 è in **appendice ??**.

5.4.7 Schede SM-02: interfaccia tra controllo ed SM-01

Tale scheda prevede una serie di collegamenti verso il circuito “on board” di controllo SM-01 di ogni inverter raccolti in un singolo connettore standard CN 20 a 15 poli, le quattro porte per le fibre ottiche, un connettore per l'alimentazione esterna. I segnali di IN/OUT sulla SM-02 si possono così riassumere:

- uscite relative ai controlli di ramo da noi etichettati come pwm1, pwm 2, pwm3 (3 fibre ottiche);
- un uscita che abilita o disabilita il sistema (1 entrata in fibra ottica)
- ingressi relativi alla segnalazione di stato del singolo IGBT (6 poli) che fanno capo ad un unico terminale comune a tensione +5V (1 polo)
- ingresso per la segnalazione della precarica in corso (2 poli)
- ingresso di visualizzazione dell'errore (1 polo)
- ingresso per il reset manuale (1 polo)
- uscita per interruttore manuale di abilitazione del teleruttore di precarica (cortocircuitata durante la precarica la resistenza in parallelo al teleruttore 2 poli);
- alimentazione e riferimento di massa della scheda di interfaccia (2 poli)

5.4.7.1 Sezione di segnalazione

Questa sezione è mostrata in Fig. 5.81, prevede una sezione di visualizzazione mediante led ed una di comando mediante interruttori.

Sei led rappresentano lo stato dei sei interruttori IGBT, e sono pilotati direttamente dall'integrato 7406 montato sulla scheda on board all'inverter con interposta una resistenza da 330 Ω atta a limitare l'assorbimento di corrente a livelli sopportabili per l'integrato e compatibili con le correnti richieste dal led. I segnali di precarica e di errore sono semplici segnali digitali non in grado di pilotare direttamente un led che assorbe una decina di milliampere di corrente. Tali segnali entrano in un buffer MC74HCT244A, il quale è in grado di erogare livelli di corrente adatti all'accensione di led.

Un pulsante di reset ha la funzione di annullare lo stato di blocco dovuto ad un'anomalia rilevata dalla CPLD sulla scheda SM-01.

Un interruttore di by-pass del circuito di precarica, utilizzabile per l'esclusione manuale della precarica automatica. I due comandi precarica e reset vengono montati subito accanto ai rispettivi led di segnalazione.

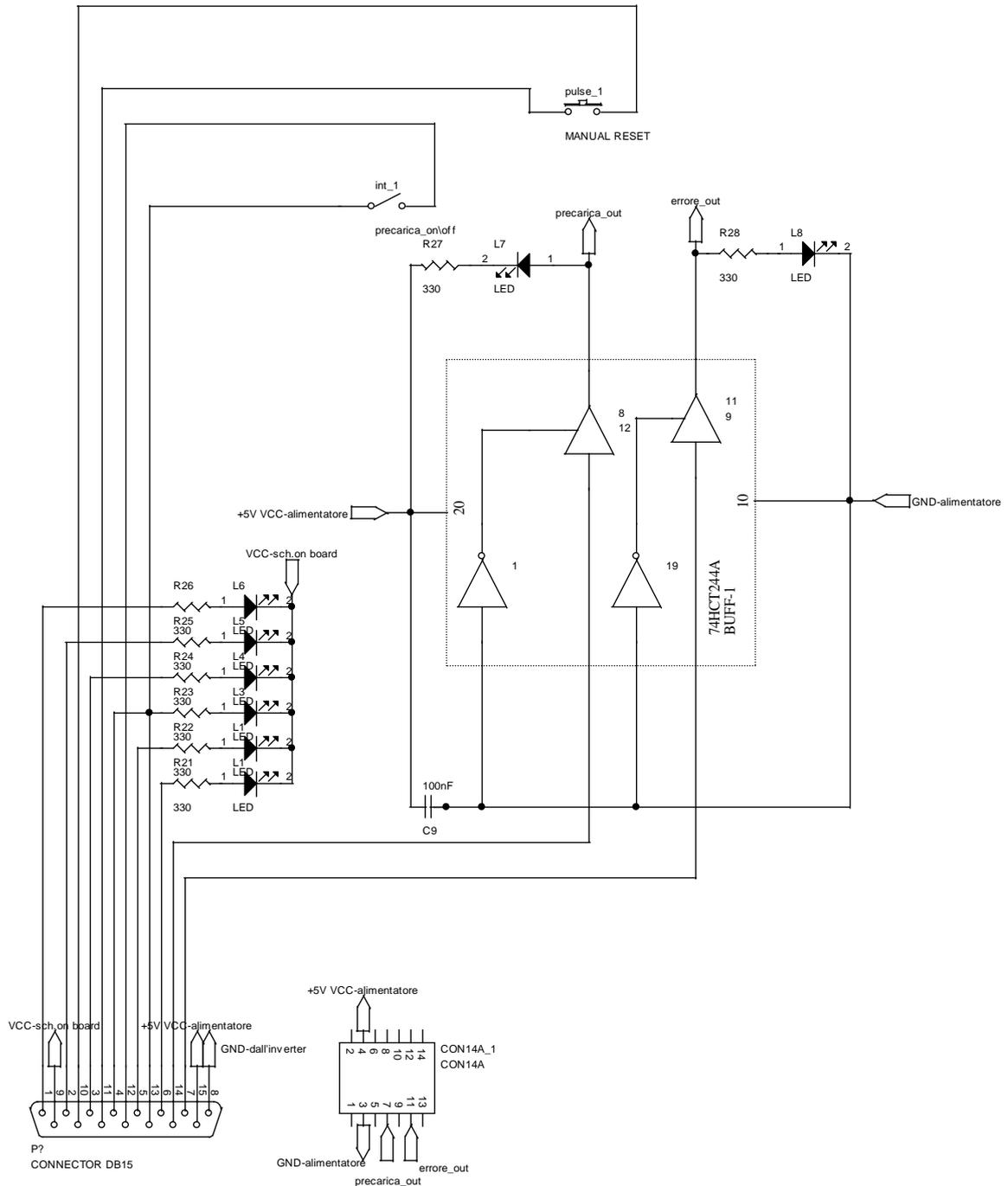


Fig. 5.81 Scheda SM-02 Sezione di controllo della precarica e reset dell'errore, e visualizzazione stato degli IGBT

5.4.7.2 Sezione di trasmissione

Questa sezione della scheda SM-02 riceve in ingresso i segnali elettrici EN, U, V, W provenienti dal sistema di controllo. Per mezzo di trasmettitori per fibra ottica posti su questa scheda, i quattro segnali sono convertiti in ottici, ed indirizzati sulla guida costituita dalla fibra ottica ai rispettivi ricevitori posti sulla scheda SM-01 descritti in Par. 5.4.6.15.

I trasmettitori utilizzati sono HP 4531, e sono combinati con fibra e ricevitori, tutti parte della stessa serie HP. In particolare le fibre ottiche utilizzate, sono del tipo standard in materiale plastico con diametro interno di 1 mm e consentono la trasmissione dei segnali fino a 48 m.

Lo schema della sezione di trasmissione è mostrato nella Fig. 5.82 .L'impiego delle fibre ottiche costringe ad utilizzare un circuito per pilotare i trasmettitori che includa un transistor controllato dal buffer. Ciò è necessario perché i trasmettitori assorbono una corrente particolarmente elevata (60mA). I transistori che scelti nella realizzazione dei circuiti sono dei mosfet BS170 già utilizzati nella scheda SM-01.

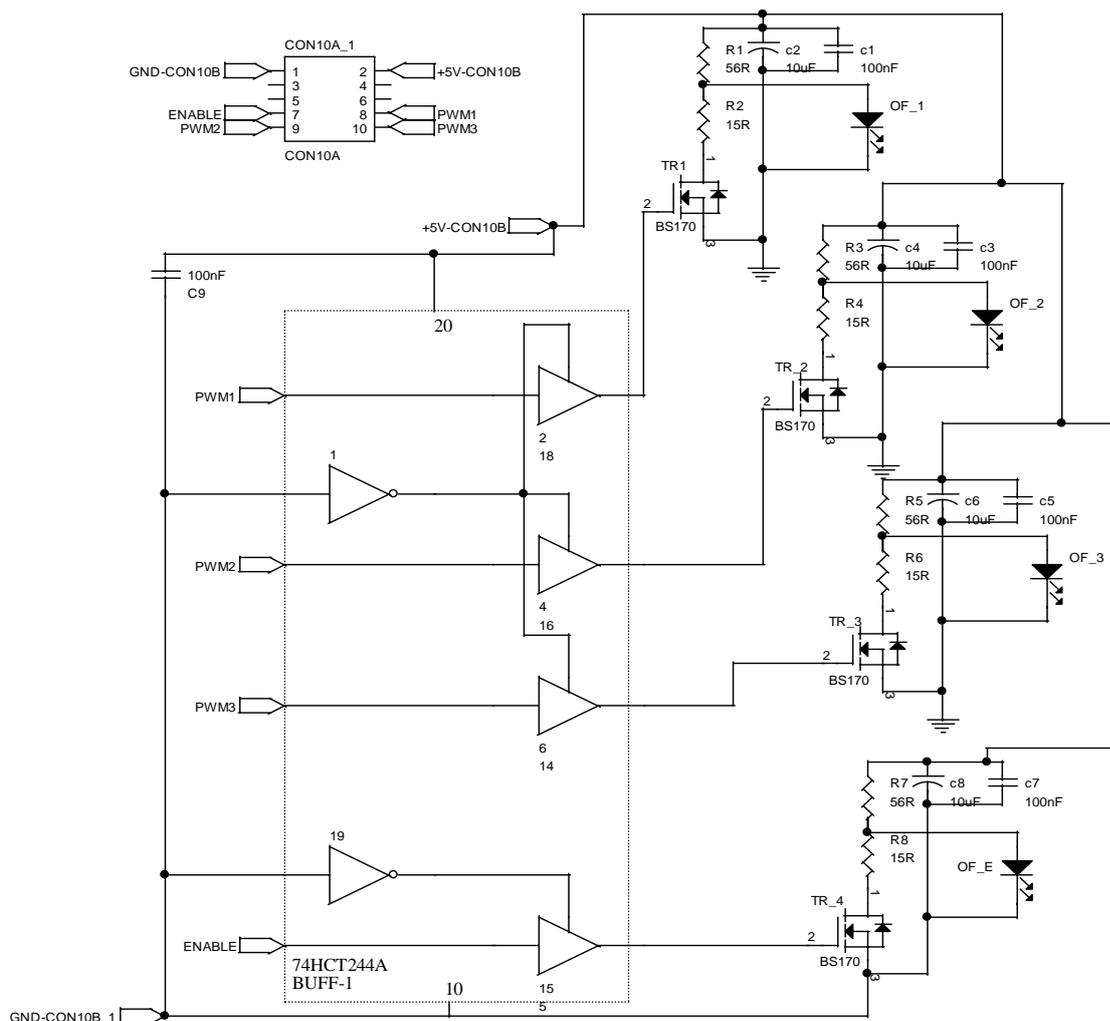


Fig. 5.82 Scheda SM-02 Driver per la trasmissione di segnali di controllo su fibre ottiche

Il sistema di trasmissione dei segnali di comando in fibra ottica costituito da trasmettitore - fibra - ricevitore è stato testato separatamente in sede di progetto verificarne le prestazioni in termini di ritardo di propagazione del segnale sia in salita che in discesa. I risultati sono mostrati nella Fig. 5.83, e mostrano un ritardo nella risposta dell'ordine 200ns, che è pienamente accettabile per l'applicazione in oggetto.

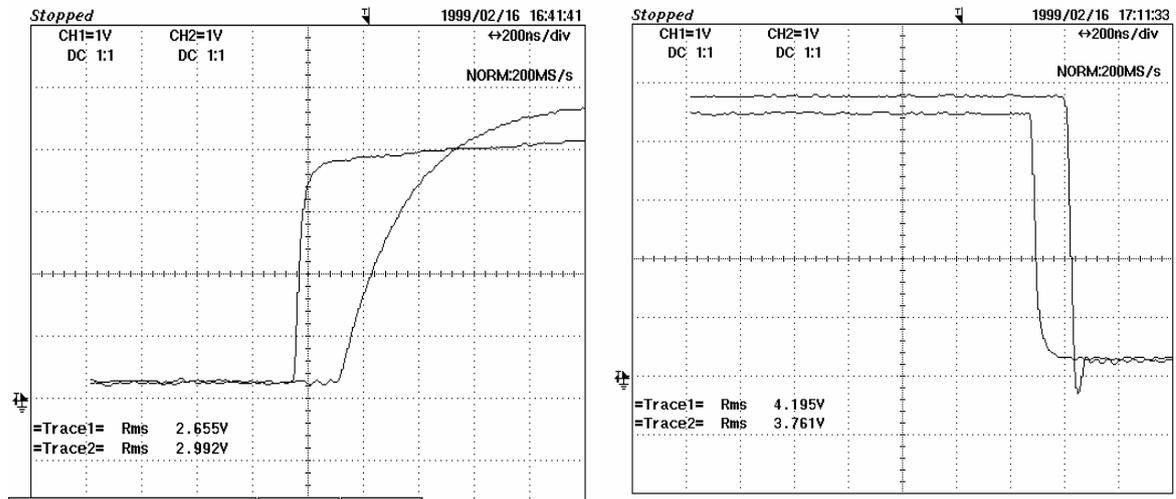


Fig. 5.83 Risposta al fronte di salita e di discesa del sistema di comunicazione in fibra ottica per trasmettitore in fibra ottica

5.4.8 Scheda SM-03. Alimentazione e smistamento segnali

Questa scheda ha il compito di fornire l'alimentazione a 5 V per tutto il sistema di interfaccia. Sulla stessa scheda è realizzato lo smistamento dei segnali che collegano il sistema di controllo alle due schede intermedie SM-02, una per ciascun inverter.

5.4.8.1 Sezione di alimentazione

Nello schema del quadro HW riportato in tavola 0 è presente un alimentatore a 24V atto ad alimentare i contatti ausiliari delle bobine di sgancio di teleruttori. Si è quindi realizzato un piccolo alimentatore switching per ottenere i 5V necessari a partire dai 24V disponibili. Questo circuito fa capo all'integrato di switching LM2575-5. Questo integrato non è altro che un piccolo buck converter con duty cycle d :

$$\text{Eq. 5.17} \quad d = \frac{t_{\text{on}}}{T} = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{5}{24},$$

dove

T =periodo

t_{on} =tempo per cui rimane chiuso l'interruttore

V_{out} =tensione richiesta in uscita

V_{in} =tensione in ingresso

in particolare LM2575-5 ha tensione di uscita indipendente da quella di ingresso cioè il parametro "d" si regola autonomamente. Il circuito prevede anche induttanza e capacità opportune per ridurre l'ondulazione della tensione di uscita. Lo schema di convertitore realizzato è presentato in Fig. 5.84. Su questo schema è stato verificato termicamente: la potenza dissipata durante il funzionamento regolare produce perdite sul componente per circa 0,4 W, ciò porta ad inserire sull'integrato una piccola aletta di raffreddamento.

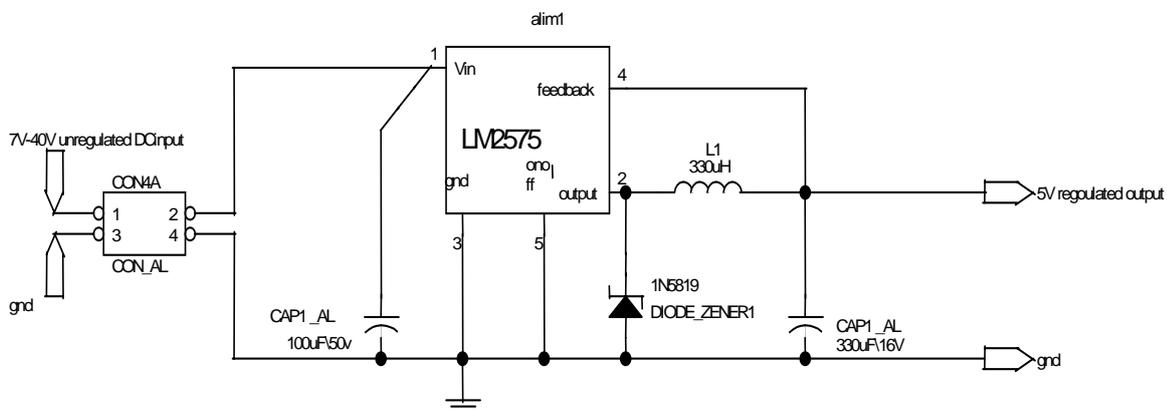


Fig. 5.84 Scheda SM-03. Circuito alimentatore switching da 24V a 5V

Come si può osservare da Fig. 5.85 il ripple sulla tensione d'uscita è di circa 20 mV, alla frequenza di commutazione del LM2575 che è di 50KHz.

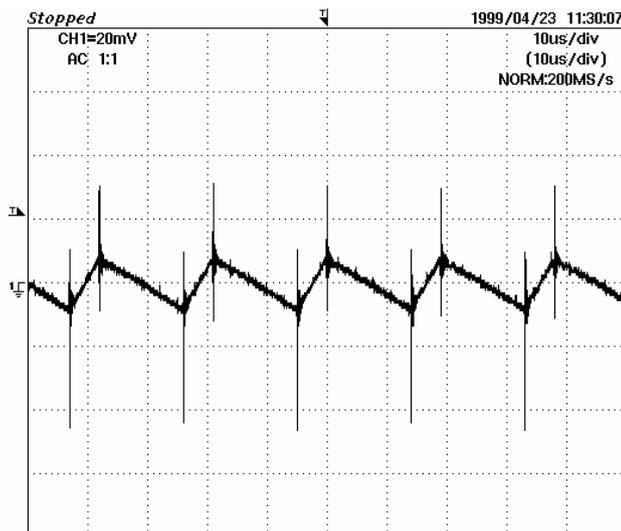


Fig. 5.85 Ondulazione sulla tensione di alimentazione a vuoto (ripple massimo) ai capi dell'alimentatore 24-5 V.

5.4.8.2 Scheda SM-02. Sezione di smistamento

Sulla stessa basetta SM-02 è stata posizionata una zona di smistamento dei segnali; questi provengono, dal sistema di controllo tramite 2 connettori: uno a 50pin contrassegnato dalla sigla DIGITAL I/O, destinato a portare i segnali a carattere digitale; uno a 37 pin che porta i segnali di tipo PWM. Entrambi provengono dal pannello connettori del sistema di controllo denominato CLP 1103. Lo schema delle connessioni in questa sezione sono riportate in tavola 7.

Tutta questa sezione di scambio segnali tra controllo ed interfaccia è stata realizzata utilizzando elevate superfici di schermatura per renderla meno sensibile ad interferenze elettromagnetiche.

5.4.9 Schede SM-04 ed SM05. Collegamento segnali analogici e pilotaggio contattori elettromeccanici

La scheda SM-04 ha in ingresso i segnali analogici prodotti dai 20 trasduttori di misura presenti nel circuito. Questa scheda ha solo il compito di riportare ciascun segnale analogico su di un connettore BNC, in modo che ogni misura disponibile possa essere facilmente

riportata, tramite cavo coassiale, ad un canale in ingresso sul pannello connessioni CLP1103 del sistema di controllo.

La scheda SM-05 riceve in ingresso quattro segnali digitali provenienti dal sistema di controllo e li separa otticamente e li rende adatti a comandare in ON/OFF le seguenti apparecchiature

- teleruttore di rete
- teleruttore di filtro
- teleruttore di carico
- interruttore statico sulla rete

Lo schema di questa scheda è riportato in tavola 8.

5.4.10 Prove

Sul sistema di interfaccia collegato al sistema di controllo ed al sistema di potenza, atte a verificare la rispondenza alle specifiche del sistema di interfaccia completo. In questo paragrafo sono riportate in particolare le prove relative alla verifica delle funzionalità principali implementate sulla scheda SM-01.

Per ogni prova sono specificate le *condizioni* di esecuzione, e descritte le grandezze *acquisite* su ogni canale dell'oscilloscopio.

5.4.10.1 Verifica del tempo morto su SM-01

Condizioni: JP1 settato per dead time di $4\mu\text{s}$, sistema abilitato, precarica terminata, errori assenti

Acquisizioni: CH1 uscita comandi per driver IGBT VH (drain di Q7)

CH2 uscita comandi per driver IGBT VL (drain Q8)

CH3 ingresso fase V della CPLD (pin 7 CPLD)

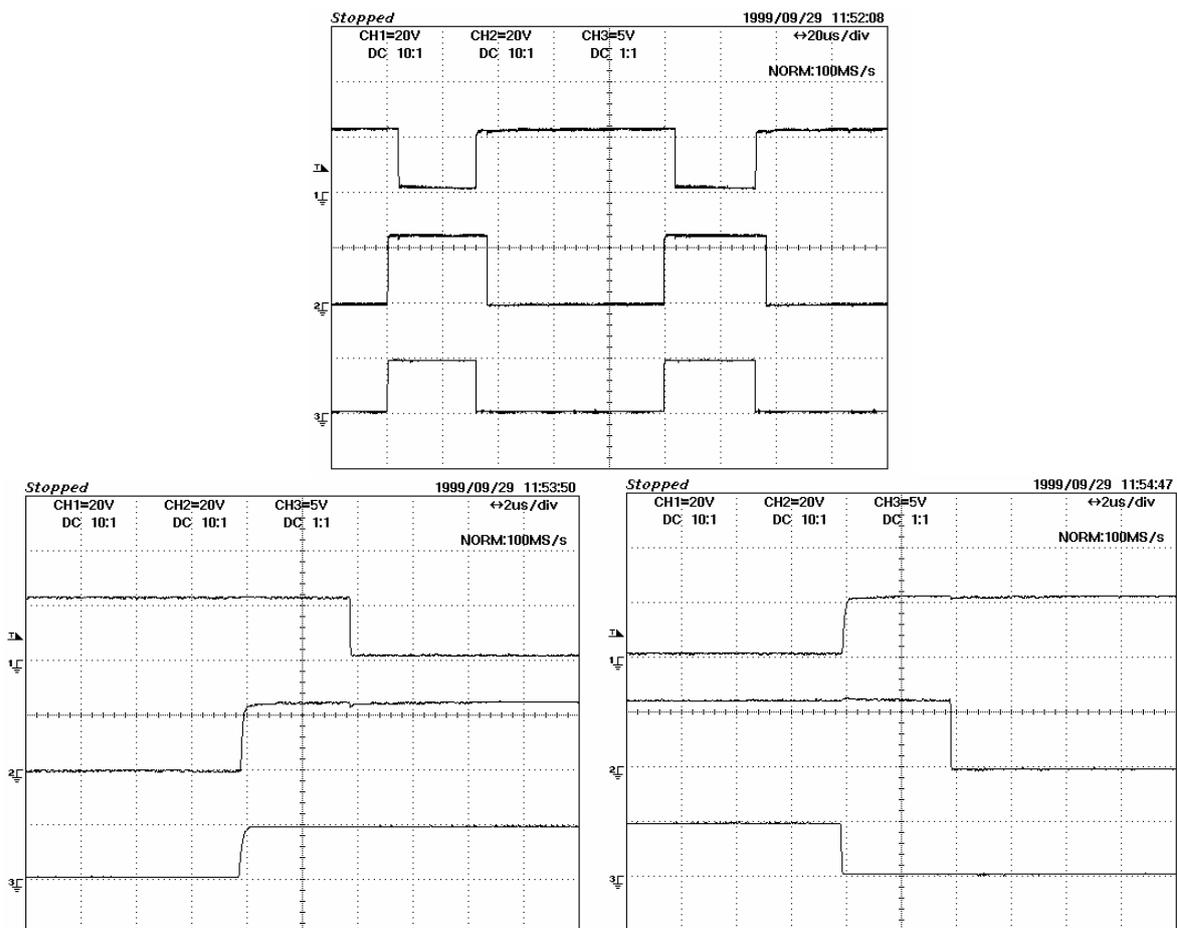


Fig. 5.86 Generazione del tempo morto sulla CPLD. Visione d'insieme e particolari del fronte di discesa e di salita del segnale di fase.

5.4.10.2 Funzionamento del segnale di enable

Condizioni: JP1 settato per dead time di $4\mu\text{s}$, precarica terminata, errori assenti

Acquisizioni: CH1 uscita comandi per driver IGBT VH (drain di Q7)

CH2 uscita comandi per driver IGBT VL (drain Q8)

CH3 ingresso fase V della CPLD (pin 7 CPLD)

CH4 ingresso ENABLE della CPLD (pin 6 CPLD)

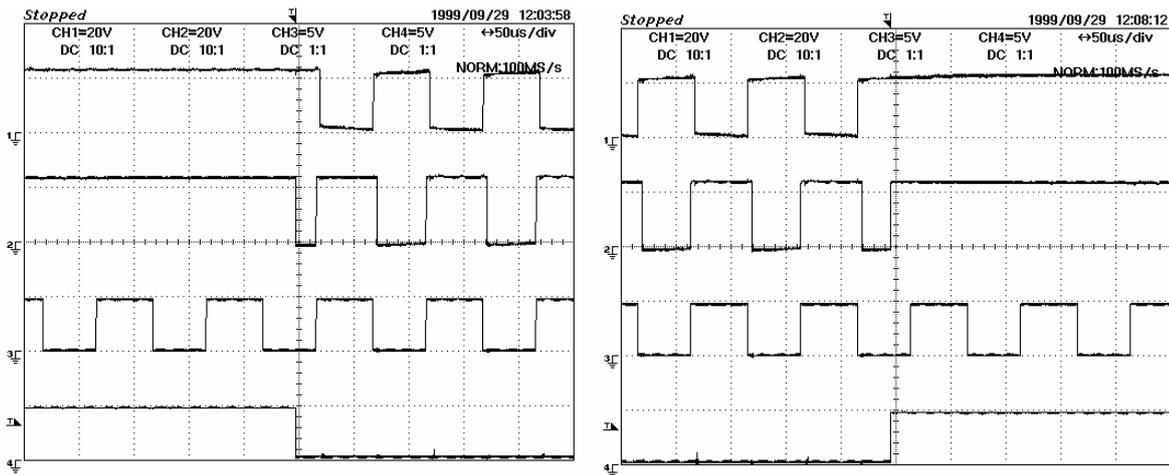


Fig. 5.87 Abilitazione e disabilitazione delle commutazioni per mezzo del comando di enable

5.4.10.3 Stato dei segnali di precarica ed errore durante le commutazioni

Condizioni: JP1 settato per dead time di $4\mu\text{s}$, sistema abilitato, precarica terminata, errori assenti

Acquisizioni: CH1 uscita comandi per driver IGBT VH (drain di Q7)

CH2 uscita comandi per driver IGBT VL (drain Q8)

CH3 ingresso PREC_IN della CPLD (pin 37 CPLD)

CH4 ingresso ERR_IN della CPLD (pin 44 CPLD)

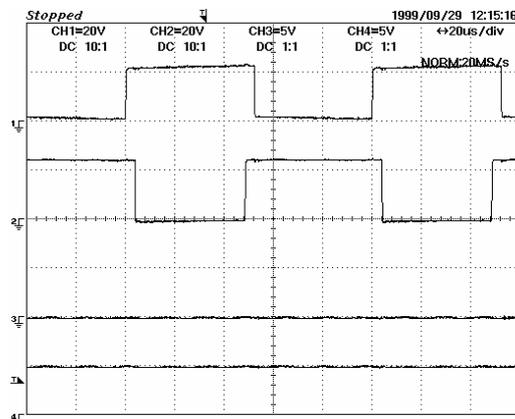


Fig. 5.88 Stato di PREC_IN ed ERR_IN durante le commutazioni

5.4.10.4 Apertura dell'interruttore ausiliario della precarica durante le commutazioni

Condizioni: JP1 settato per dead time di $4\mu\text{s}$, sistema abilitato, precarica terminata, errori assenti

Acquisizioni: CH1 uscita comandi per driver IGBT VH (drain di Q7)

CH2 uscita comandi per driver IGBT VL (drain Q8)

CH3 ingresso fase V della CPLD (pin 7 CPLD)

CH4 ingresso PREC_IN della CPLD (pin 37 CPLD)

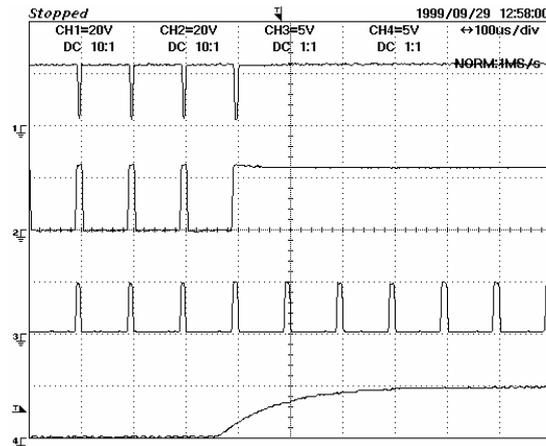


Fig. 5.89 Apertura dell'interruttore aux di precarica durante le commutazioni

5.4.10.5 Errore provocato dal blocco delle commutazioni sulla fase W

Condizioni: JP1 settato per dead time di $4\mu\text{s}$, precarica terminata, errori assenti

Acquisizioni: CH1 (10:1) uscita comandi per driver IGBT VH (drain di Q7)

CH2 (10:1) uscita comandi per driver IGBT VL (drain Q8)

CH3 errore in uscita dalla CPLD (gate di Q4)

CH4 ingresso ENABLE della CPLD (pin 6 CPLD)

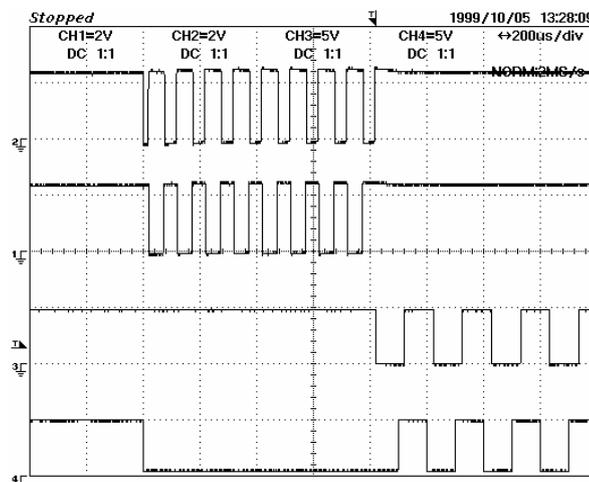


Fig. 5.90 Effetto del blocco delle commutazioni sulla fase W

5.4.10.6 Errore su IGBT (simulato con resistenza da 470Ω tra pin 44 CPLD e GND)

Condizioni: JP1 settato per dead time di 4μs, sistema abilitato, precarica terminata, errori assenti

Acquisizioni: CH1 (10:1) uscita comandi per driver IGBT VH (drain di Q7)

CH2 (10:1) uscita comandi per driver IGBT VL (drain Q8)

CH3 errore in uscita dalla CPLD (gate di Q4)

CH4 ingresso ERR_IN della CPLD (pin 44 CPLD)

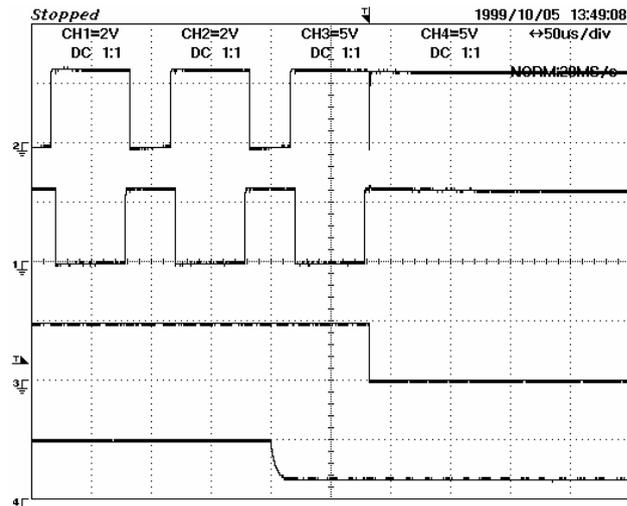


Fig. 5.91 Simulazione di un errore di sovracorrente sugli IGBT

5.5 La struttura hardware del sistema di controllo

L'intero apparato prototipale fin qui descritto è controllato da un unico sistema di controllo basato sulla scheda dSPACE DS 1103. Il sistema di sviluppo software associato a tale scheda consente di realizzare ad alto livello tutte le fasi di sviluppo degli algoritmi di controllo relativi a questo sistema.

La parte hardware del sistema di controllo è costituita da una scheda di elaborazione che viene montata all'interno del case di un personal computer, in uno slot ISA 16 bit. Questa scheda, che è il fulcro di tutto il sistema, contiene:

- processore PowerPC 333Mhz, 128kB di ram
- DSP Texas Instrument TMS320F240
- 16 convertitori ADC 16 bit - 4 μ s
- 4 convertitori ADC 12 bit - 0.8 μ s
- 10 convertitori DAC 14 bit - 6 μ s

L'intera catena hardware del controllo, rappresentata in Fig. 5.92 è l'insieme dei dispositivi di interfacciamento e di connessione che consentono il collegamento del sistema di potenza alla scheda di controllo vera e propria DS1103. In questa figura sono schematizzate tutte le schede ed i collegamenti necessari alla realizzazione dell'apparato.

Il connettore CPLD1103 è direttamente connesso alla scheda di controllo ed è collegato ad una scheda di dispacciamento del segnale SM03 che ha lo scopo di indirizzare i segnali di comando verso i due distinti convertitori statici (SMES e rete) e di rendere disponibili i segnali di comando per i dispositivi ausiliari (elettromeccanici ed elettronici). Ciascuna delle due dorsali uscenti dalla scheda SM03, sono relative ad un solo inverter. Nelle due dorsali si trovano un sistema di conversione elettro/ottica nella scheda SM02, da qui i segnali divenuti ottici raggiungono il case dell'inverter nel quale sono riconvertiti in elettrici nella scheda SM01. Nella scheda SM01, sono eseguite operazioni di adattamento e supervisione, in modo da generare i segnali di comando idonei al pilotaggio dei driver di ciascun IGBT dell'inverter.

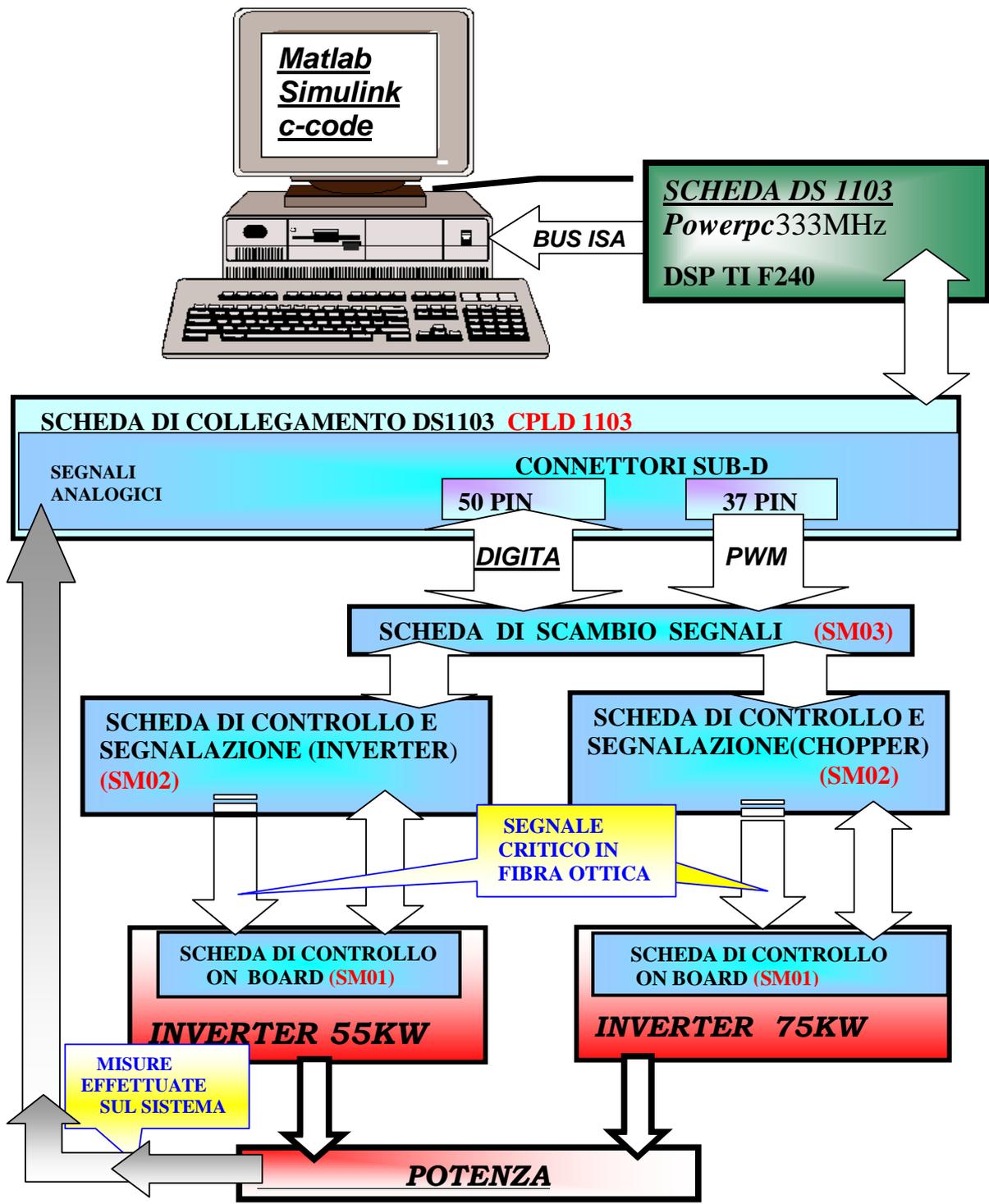


Fig. 5.92 Schema della struttura hardware del sistema di controllo

5.6 La struttura software del sistema di controllo

Al software di controllo residente nel DSP sono demandate tutte gli algoritmi numerici per il controllo dei due convertitori lato SMES e lato rete, così come tutte le funzioni di supervisione e di protezione primaria.

Il sistema software necessario al controllo è composta da due distinti ambienti:

- l'ambiente di programmazione e sviluppo
- l'ambiente di supervisione e controllo.

La programmazione è basata su un software di generazione codice (RTW/RTI) che codifica gli schemi di realizzati in ambiente Simulink in codice macchina atto a essere caricato sia sul PPC che sul DSP.

Il secondo ambiente è invece denominata "Control-desk" ed è l'integrazione di più programmi in un'unica suite in cui sono presenti diversi strumenti per l'interazione tra operatore e sistema di controllo.

La programmazione di questo sistema prevede di utilizzare gran parte delle strutture di simulazione che sono state realizzate in ambiente Simulink.

La sezione principale dell'algoritmo di controllo del sistema reale è strettamente derivata dall'algoritmo sviluppato per la realizzazione del sistema di controllo nell'ambiente di simulazione. Solo minime variazioni sono necessarie per adattare il controllo ad un sistema reale, in particolare si richiede:

- un adattamento dei livelli del segnale anche via software per il funzionamento delle interfacce tra la potenza ed il controllo.
- un controllo di tipo digitale per il comando delle parti elettromeccaniche presenti nel sistema di potenza
- un sistema di controlli di sicurezza e un sistema di riconoscimento del tipo di errore.

A titolo di esempio, nelle Fig. 5.93 e Fig. 5.94 è rappresentato il primo livello di un programma usato per lo sviluppo della modalità filtro attivo. In Fig. 5.94 i blocchi colorati in azzurro sono i blocchi di IN/OUT della scheda DS1103 con i nomi assegnati per default dal software dSPACE agli ingressi e alle uscite da noi utilizzati.

Il blocco rosso ha una funzione software che non corrisponde ad un ingresso fisico ma ad un evento software (INTERRUPT SW), capace di sincronizzare i 2 microprocessori presenti. I blocchi bianchi disposti al centro di Fig. 5.94 contengono gli elementi del controllo e corrispondono sostanzialmente al sistema di controllo impiegato in simulazione.

In Fig. 5.93 è rappresentata la sezione software dedicata alla gestione delle protezioni e della sezione elettromeccanica dell'armadio. Le funzioni inserite in questo blocco sono:

- Monitoraggio della corrente in uscita dall'inverter al fine di realizzare una protezione dai sovraccarichi.
- Gestione della fase di precarica dei condensatori sul bus-dc.
- Gestione delle condizioni di errore sia che esse provengano dalla scheda di interfaccia SM01, sia che siano generate all'interno del sistema di controllo, segnalando all'operatore, con opportuna codifica, la natura dell'errore.

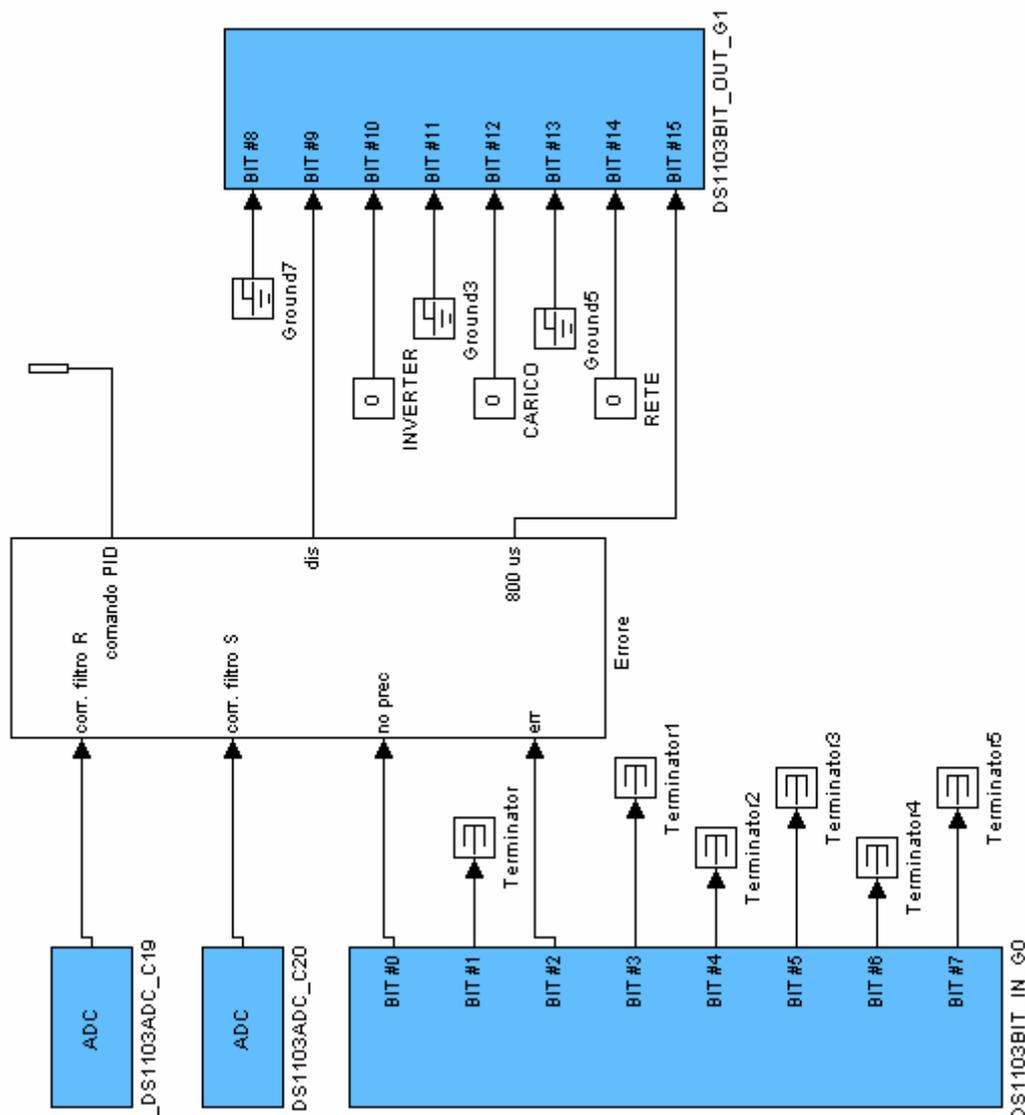


Fig. 5.93 Sistema di controllo controlli accessori protezione e supervisione

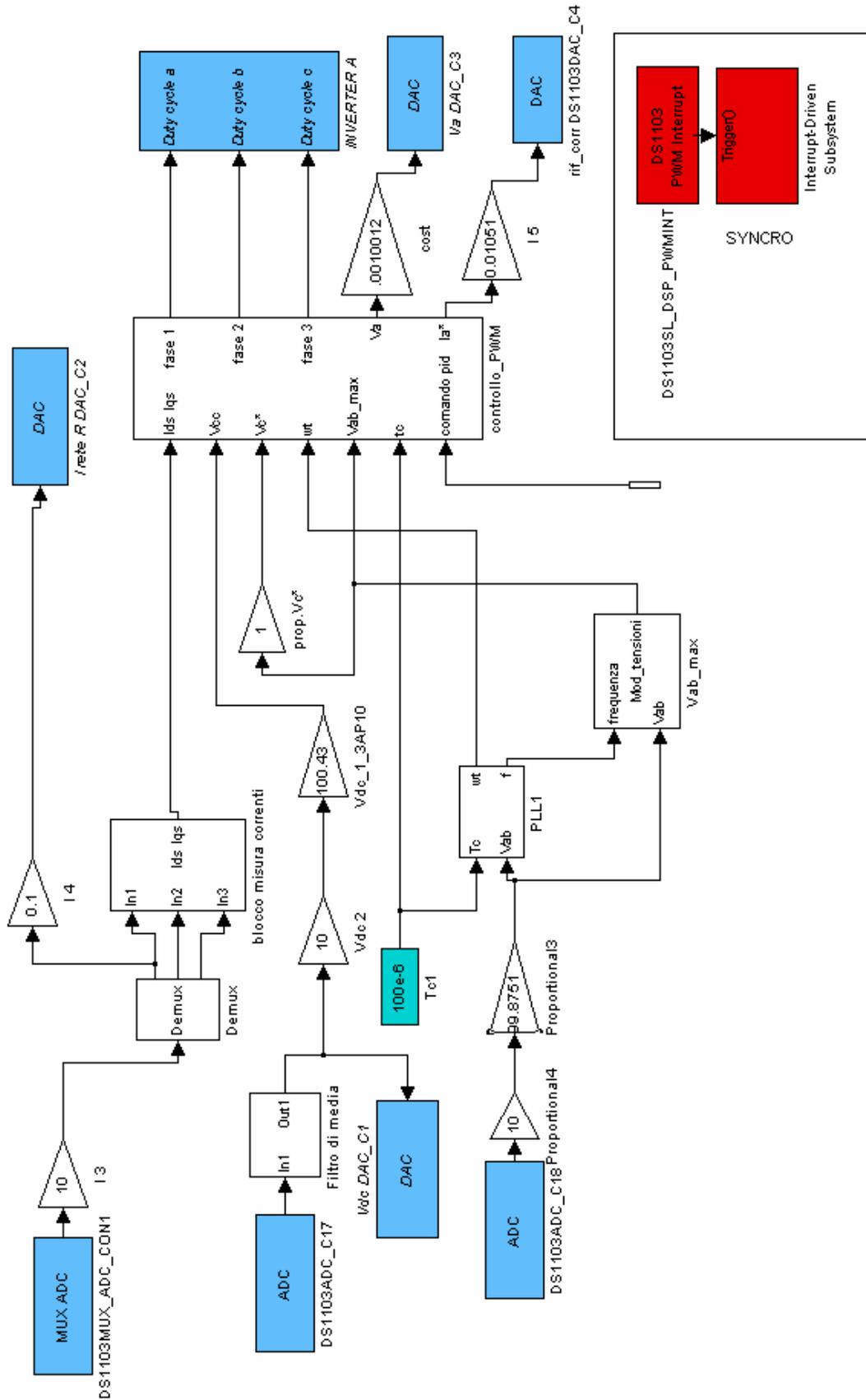


Fig. 5.94 *Controllo principale del sistema filtro attivo. Controllo syncro*

CAPITOLO 6

IMPLEMENTAZIONE

6.1 Introduzione

Nei capitoli precedenti sono stati sviluppati separatamente i diversi algoritmi di controllo e la struttura hardware che costituiscono il sistema di condizionamento della potenza allo studio.

In questo Capitolo è presentato l'algoritmo di controllo che è stato sviluppato per essere implementato nel sistema digitale di controllo dell'apparato sperimentale realizzato. Come già descritto nell'introduzione, questo algoritmo è in grado di gestire tutte le funzionalità di compensazione possibili con la struttura sviluppata. Queste funzionalità sono raggruppate in due modalità ben distinte chiamate:

- PC: Power Conditioning
- PS: Power Source

La modalità *Power Conditioning (PC)* è operativa in presenza dell'alimentazione di rete, essa comprende le funzioni di compensazione tipiche del filtro attivo di potenza (APF) e le funzioni aggiuntive che scaturiscono dalla disponibilità di un sistema di accumulo dell'energia. Le funzionalità possibili per il sistema sono:

- riduzione delle componenti armoniche della corrente di carico
- compensazione della potenza reattiva del carico
- compensazione dello sbilanciamento del carico
- smorzamento dei transitori di variazione del carico

La modalità *Power Source (PS)* è operativa in assenza dell'alimentazione di rete, essa consiste nell'alimentazione del carico mediante la creazione in isola di un sistema trifase di tensioni. L'energia per sostenere il carico proviene dal sistema di accumulo, pertanto questa alimentazione detta di back up è possibile per un tempo che è limitato dalla quantità di energia immagazzinata nel sistema di accumulo.

La modalità di funzionamento PS e l'algoritmo di controllo della commutazione di modalità sono presentate in questo capitolo con lo scopo di dimostrare la possibilità di utilizzare la struttura Hardware realizzata per questo scopo. L'algoritmo di controllo che implementa la modalità PC sarà invece presentato più dettagliatamente, e per questa modalità sarà riportata una serie di risultati di simulazione e sperimentali che ne provano il corretto funzionamento.

La sezione dell'algoritmo implementato che gestisce il funzionamento del sistema come Power Source è costituita da un controllo dell'inverter lato rete che alimenta il carico in isola alla tensione nominale e dal regolatore di bus dc che mantiene la tensione sul bus dc al valore di riferimento scaricando il sistema di accumulo.

La sezione dell'algoritmo implementato che gestisce il funzionamento del sistema come Power Conditioner, è realizzato sulla base dello schema di controllo dei flussi di potenza illustrato in Capitolo 2. Il sistema, che nell'analisi teorica sovrintende alla generazione dei riferimenti per l'energia nei due sistemi di accumulo, è stato implementato mediante un regolatore che genera i riferimenti di tensione di bus dc e di corrente nel sistema di accumulo magnetico superconduttore (tensione nel caso di supercondensatori). Nell'analisi teorica di Capitolo 2, l'algoritmo è stato sviluppato in modo che nel caso in cui non vi sia il sistema di accumulo principale, oppure nel caso in cui questo sia scollegato per manutenzione, il sistema di controllo dei flussi di potenza degenera nello schema di regolazione dei flussi di potenza presente nel controllo solo del filtro attivo. Nell'implementazione del sistema di regolazione dei flussi di potenza è stata conservata questa proprietà, cioè in assenza di sistema di accumulo il sistema di controllo dell'energia del condensatore di bus dc è esattamente quello illustrato nella trattazione del filtro attivo in paragrafo 1.3.2.1.

La sezione dell'algoritmo implementato che gestisce la *commutazione* tra le due modalità è affidata ad un sistema di controllo ad alto livello che, in entrambe le modalità PC o PS, monitorizza continuamente le grandezze elettriche di rete per individuare le condizioni di commutazione. La commutazione tra due modalità avviene secondo una sequenza ben definita, che tiene conto dell'evoluzione dei parametri elettrici durante la commutazione. Le sequenze consistono in una successione di comandi di abilitazione - disabilitazione ai diversi componenti elettronici di potenza: interruttore statico di rete, convertitore trifase lato rete, convertitore lato sistema di accumulo e ai diversi algoritmi di controllo che ne sovrintendono il funzionamento. L'algoritmo di commutazione genera anche i riferimenti per gli algoritmi di controllo nella modalità PS in modo che durante le due commutazioni di modalità, sia minima la discontinuità della tensione applicata sul carico.

Nel sistema di controllo è stato implementato anche un algoritmo di riconoscimento della rete del tipo TPLL sulla base di quello presentato analiticamente nel capitolo 4. Questo blocco consente di agganciare la sequenza positiva della tensione di rete, tale informazione è poi utilizzata in entrambe le modalità di funzionamento PC e PS.

6.2 Struttura di controllo completa

Il sistema di controllo implementabile nel sistema digitale a microprocessore dell'apparato sperimentale è mostrato in Fig. 6.1. Tale struttura è in grado di realizzare tutte le funzionalità richieste al sistema progettato, attraverso l'appropriato controllo dei componenti elettronici di potenza presenti nella struttura hardware descritta nel Capitolo 5. Per rappresentare la struttura di controllo si è scelto di riferire lo schema di Fig. 6.1 al caso in cui si utilizza un magnete superconduttore come sistema di accumulo principale dell'energia (SD), in questo caso la variabile controllata che rappresenta l'energia nel dispositivo è i_{SD} . Se si utilizza una batteria di supercondensatori, occorre semplicemente considerare come variabile controllata la tensione v_{SD} ai suoi capi.

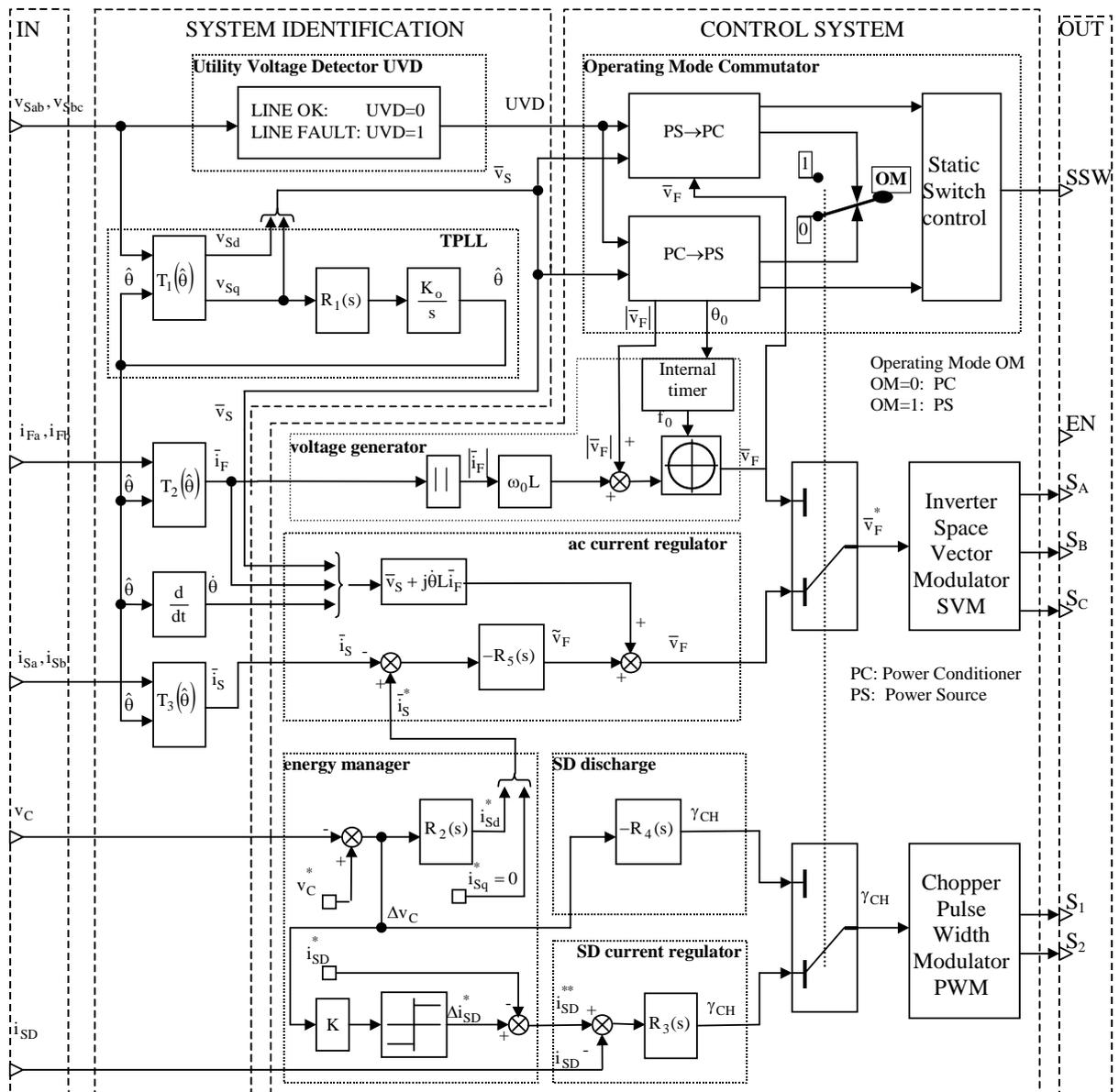


Fig. 6.1 Struttura dell'intero sistema di controllo implementato

La struttura di controllo si avvale di quattro sezioni principali che sono state così denominate

- INPUT
- SYTEM IDENTIFICATION,
- CONTROL SYSTEM,
- OUTPUT.

6.2.1 Sezioni di INPUT - OUTPUT

Nella sezione di *INPUT* le grandezze elettriche necessarie sono misurate per mezzo di opportuni trasduttori di corrente e tensione e sono rese disponibili al sistema di controllo vero e proprio. La realizzazione di tutte le funzionalità previste richiede la misura di otto grandezze del sistema elettrico

- due tensioni concatenate di rete: $v_{Sab}(t), v_{Sbc}(t)$
- due correnti di linea di rete $i_{Sa}(t), i_{Sb}(t)$
- due correnti di linea di filtro $i_{Fa}(t), i_{Fb}(t)$
- la tensione del bus dc $v_{DC}(t)$
- la corrente nel magnete superconduttore $i_{SD}(t)$

Nella sezione *OUTPUT*, i segnali di comando per i due convertitori: inverter lato ac e chopper lato sistema di accumulo, sono condizionati da un opportuno sistema interfaccia e di driver ed inviati ai corrispondenti interruttori statici di potenza.

6.2.2 Sezione SYTEM IDENTIFICATION

La sezione SYTEM IDENTIFICATION processa le grandezze elettriche lato rete in modo da identificare il sistema trifase secondo la rappresentazione di Park nel sistema di riferimento rotante individuato dall'angolo $\hat{\theta}$.

Il sottosistema Three Phase Locked Loop (TPLL) corrisponde al sistema di sincronizzazione descritto in paragrafo 4.4. Questo sistema, dalla misura dei valori istantanei delle due tensioni concatenate $v_{Sab}(t), v_{Sbc}(t)$ aggancia l'argomento $\hat{\theta}$ della componente fondamentale di sequenza positiva della tensione di rete. Il segnale $\hat{\theta}$ in uscita da questo blocco rappresenta la posizione del sistema di riferimento rotante di Park, per cui è applicato ai blocchi delle

trasformazioni che dalle grandezze trifase misurate calcolano i vettori $\bar{v}_S, \bar{i}_S, \bar{i}_F$ che le rappresentano nel sistema di riferimento rotante.

Il sottosistema *Utility Voltage Detector (UVD)* monitorizza continuamente lo stato della tensione di rete. In modalità PC è in grado di riconoscerne eventuali anomalie della rete (interruzione dell'alimentazione, interruzione di una sola fase, tensione fuori tolleranza, ecc.), in presenza di una di queste, attraverso il segnale UVD invia il comando di avvio sequenza di commutazione al commutatore di modalità (*Operating Mode Commutator*) che gestisce la sequenza. In modalità PS monitorizza la tensione di rete in attesa del ripristino della corretta alimentazione, al ripristino invia il comando di inizio sequenza di commutazione inversa al commutatore di modalità.

6.2.3 Sezione CONTROL SYSTEM

Il CONTROL SYSTEM rappresenta sezione principale della struttura di controllo sviluppata, questa sezione riceve in ingresso le misure effettuate sul sistema elettrico ed opportunamente condizionate dal SYSTEM IDENTIFICATION, e genera in uscita i segnali di comando per i componenti statici dell'apparato sperimentale nelle due modalità operative.

In questa sezione si trova il sottosistema *Operating Mode Commutator* che gestisce le due sequenze di commutazione PC→PS e PS→PC. Questo blocco riceve in ingresso il segnale UVD, i vettori tensione e corrente di rete \bar{v}_S, \bar{i}_S e la tensione di filtro di riferimento \bar{v}_F^* , grazie a queste informazioni esegue le due sequenze di commutazione. Alla fine della sequenza, questo sottosistema seleziona le sorgenti dei riferimenti inviati ai blocchi di modulazione dei convertitori da differenti sottosistemi di generazione del riferimento, a seconda della modalità attiva: PC o PS.

Il vettore di riferimento della tensione di filtro \bar{v}_F^* è applicato al modulatore SVM - 7 intervalli realizzato secondo le indicazioni di Par. 3.4.1 che controlla i rami del convertitore lato rete. Il vettore di riferimento della tensione di filtro \bar{v}_F^* è generato da due sottosistemi, selezionati in base alla modalità operativa:

- in modalità PC, \bar{v}_F^* è generato dal sottosistema di regolazione della corrente di sorgente nel sottosistema *ac current regulator*. Questo sottosistema è realizzato sulla base del regolatore di corrente su assi rotanti descritto nel paragrafo 1.3.4.

- in modalità PS, \bar{v}_F^* è generato dal sottosistema di generazione *voltage generator*, costruito per applicare al carico una tensione di modulo pari a quello posseduto dalla alimentazione di rete $|\bar{v}_S|$ prima del verificarsi del guasto.

Il duty cycle γ_{CH} è applicato ad un semplice modulatore PWM che controlla il convertitore lato sistema di accumulo. Il duty cycle γ_{CH} è generato da due sottosistemi, selezionati in base alla modalità operativa:

- in modalità PC γ_{CH} è generato dal sottosistema *SD current regulator* di controllo della carica nel dispositivo di accumulo dell'energia;
- in modalità PS γ_{CH} è generato dal sottosistema *SD discharger* che mantiene il livello di carica nel condensatore di bus dc attraverso lo scaricamento del sistema di accumulo principale dell'energia.

Il sottosistema *Operating Mode Commutator* pilota anche l'interruttore statico che ha il compito di separare l'intero sistema PCS dalla rete nella modalità di funzionamento PS.

Il sistema di gestione dei flussi di potenza nella modalità di funzionamento PC descritto in capitolo 2, è implementato in questo schema dal blocco *energy manager* di Fig. 6.1. Questo blocco gestisce i flussi di potenza tra le diverse sezioni del circuito attraverso il controllo delle grandezze associate all'energia nei due sistemi di accumulo presenti, e cioè:

- tensione V_{dc} sul condensatore di bus dc: $E_C = \frac{1}{2} C V_C^2$
- corrente I_{SD} nel sistema di accumulo magnetico: $E_{SD} = \frac{1}{2} L I_{SD}^2$.

Il sottosistema *energy manager* sulla base degli errori nella corrente nei sistemi di accumulo principale e nella tensione sul condensatore di bus dc genera i riferimenti da inviare a blocchi successivi cioè: la corrente di riferimento di sorgente i_S^* inviata al blocco *ac current*

regulator, e la corrente di riferimento nel SD i_{SD}^* inviata al blocco *SD current regulator*.

Questa tecnica implementata nel sistema reale, e che opera direttamente sulle variabili elettriche misurabili, riesce ad ottenere lo stesso comportamento descritto nel capitolo 2 con riferimento ai trasferimenti di energia in un sistema di conversione ideale. La catena di controllo, costituita dai *blocchi energy manager, ac current regulator, SD current regulator*, gestisce i flussi di potenza tra sistema di accumulo e rete, passando per il condensatore di bus dc intermedio. La combinazione del blocco *energy manager* con il blocco *ac current regulator*, implementato identicamente a quanto sviluppato in paragrafo 1.3.4 per il solo filtro

attivo, consente al sistema di realizzare la risposta voluta tra le variazioni della potenza di carico e le conseguenti variazioni della potenza di sorgente, contemporaneamente alle azioni di compensazione proprie del filtro attivo.

6.3 Risultati ottenuti

I risultati ottenuti con l'algoritmo di controllo sviluppato, sono relativi a due strutture di controllo semplificate rispetto a quella mostrata in Fig. 6.1, queste strutture realizzano solamente funzioni relative alla modalità PC, pertanto in questi schemi è disattivata la sezione di commutazione e i sottosistemi relativi alla modalità PS.

Nel caso in cui nella struttura hardware non sia presente il sistema di accumulo principale SD, il sistema di controllo di Fig. 6.1 è utilizzato nella forma ridotta di Fig. 6.2 per ottenere le sole compensazioni armonica e reattiva proprie della funzionalità filtro attivo. In questo caso si utilizza il solo convertitore lato rete, e il blocco energy manager si riduce alla configurazione minima data dal solo dc link voltage regulator di Fig. 1.8.

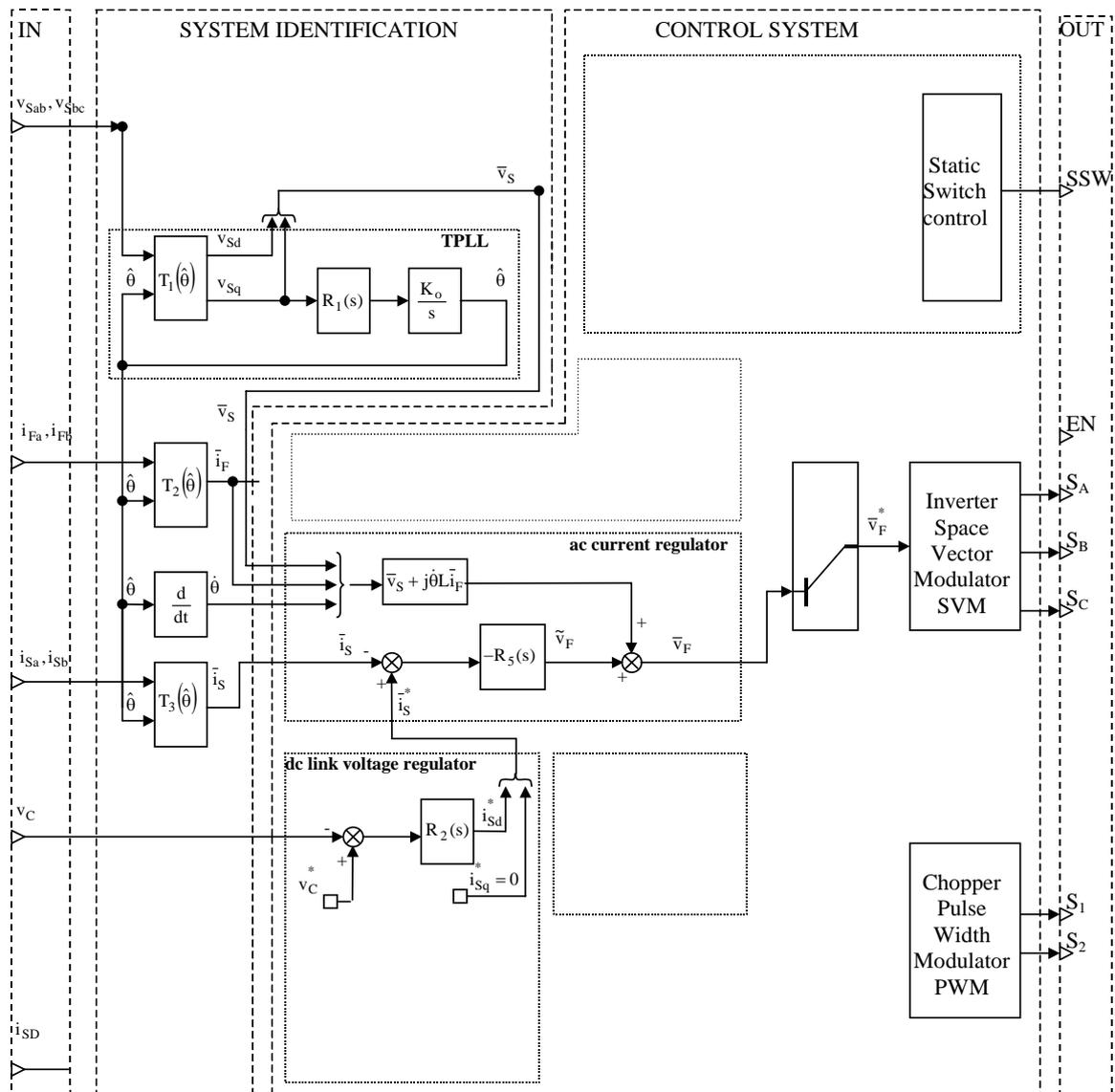


Fig. 6.2 Struttura del sistema di controllo implementato per l'esecuzione delle funzionalità di filtro attivo.

Nel caso in cui sia presente la struttura di accumulo principale, l'algoritmo di controllo implementato che è in grado di realizzare tutte le compensazioni della modalità PC è quello mostrato in Fig. 6.3. Rispetto allo schema di Fig. 6.3, in questo caso il sottosistema *energy manager* è in configurazione completa.

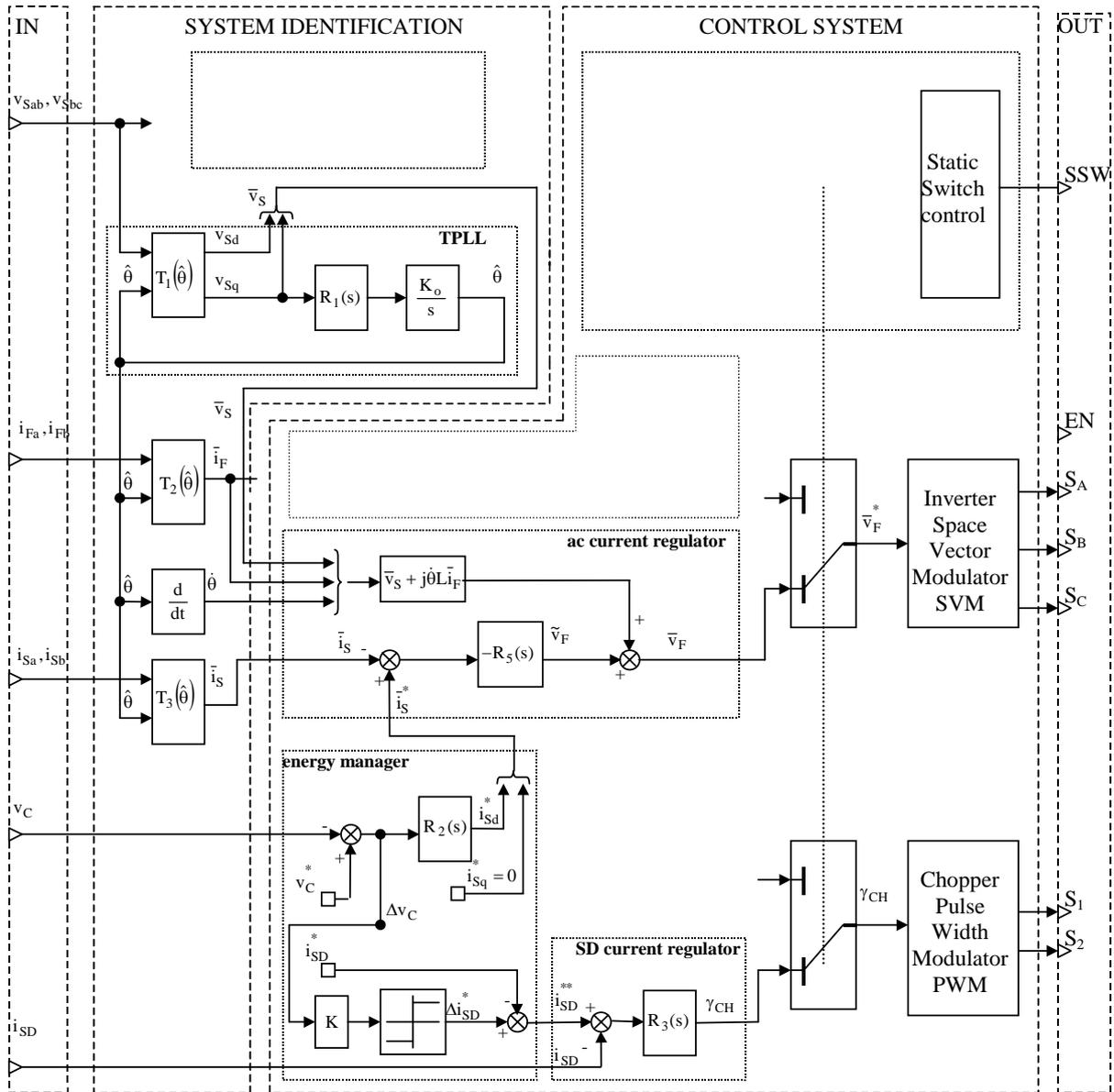


Fig. 6.3 *Struttura del sistema di controllo implementato per l'esecuzione di tutte le funzionalità di compensazione come PC*

Il sistema di controllo implementato, relativo alla modalità di funzionamento Power Conditioner illustrato in Fig. 6.2 e Fig. 6.3 è stato analizzato dal punto di vista delle prestazioni attraverso una serie di simulazioni realizzate in ambiente Simulink.

I risultati mostrati di seguito si possono suddividere in tre gruppi, intesi a dimostrare:

- con lo schema di Fig. 6.2 si è simulato il comportamento del sistema PCS come filtro attivo, cioè compensatore armonico e reattivo (rapporto da 1 a 22)
- con lo schema di Fig. 6.2 si è simulato il comportamento del sistema PCS come filtro attivo in grado di operare anche in condizioni di rete non ideale (rapporto da 23 a 34)
- con lo schema di Fig. 6.2 si è testato sperimentalmente il comportamento del sistema PCS come filtro attivo (35 e 36)
- con lo schema di Fig. 6.2 si è simulato il comportamento del PCS combinato ad un sistema di accumulo SMES, per lo come smorzamento dei transitori di carico (rapporto da 37 a 43)

In ciascun rapporto sono elencate i parametri che caratterizzano sia lo schema elettrico sia il sistema di controllo.

6.3.1 *Compensazione armonica e reattiva*

I risultati, di seguito classificati con i numeri da 1 a 34, sono stati ottenuti con la configurazione del sistema come solo 'filtro attivo'. Per queste prove si utilizza quindi il solo convertitore lato rete ed il relativo sistema di controllo illustrato di Fig. 6.2 che è una configurazione ridotta dello schema globale mostrato in Fig. 6.1. I risultati raccolti nei grafici da 1 a 34 sono stati ottenuti sul simulatore, i grafici 35 e 36 sono stati ottenuti implementando lo stesso algoritmo di controllo di Fig. 6.2 sul sistema hardware realizzato.

- Grafici 1 e 2:

risposta del sistema come regolatore della tensione di bus dc, in seguito a variazioni a gradino del riferimento V_{dc}^* , e l'effetto dei parametri K_P e K_I del regolatore di tensione nel modificare questa risposta.

- Grafici da 3 a 7:

prestazioni del sistema nel compensare la potenza reattiva prodotta da un carico lineare con $\cos\varphi \cong 0.9$. Le prestazioni sono verificate al variare del valore dell'induttanza di separazione e della frequenza di commutazione. Il compensatore è stato testato fino ad un valore minimo dell'induttanza di separazione pari a 600 μH , ad una frequenza di commutazione di 12,5 KHz.

- Grafico 8 :

capacità di minimizzare l'errore a regime sulla tensione di bus dc;

prestazione del regolatore di corrente di sorgente nell'inseguire il riferimento calcolato dal regolatore di tensione dc;

ondulazione provocata sulla tensione di rete dalla commutazione dell'inverter

- Grafico 9 :

Spettro armonico ad alta frequenza della corrente e della tensione di sorgente conseguente alla commutazione dell'inverter controllato con modulazione PWM.

- Grafico 10:

Capacità di compensazione dello squilibrio prodotto da un carico monofase applicato alla rete trifase

- Grafici da 11 a 13:

Risposta del sistema di controllo all'inserzione e disinserzione di carichi: durata dei transistori e ripristino del riferimento nella tensione di bus dc

- Grafico 14:

Effetto sul controllo della corrente di sorgente della perdita di sincronismo tra l'istante di campionamento e l'intervallo di commutazione degli interruttori statici

- Grafici da 15 a 22:

Prestazioni del filtro attivo come compensatore armonico. Carico non lineare costituito da ponte a diodi non controllato. Si verifica la prestazione al variare dell'induttanza di separazione e della frequenza di commutazione.

In particolare le prestazioni del compensatore sono state analizzate nel dominio della frequenza per i seguenti valori di induttanza di disaccoppiamento: 1mH e 0,6mH ad una frequenza di commutazione di 12,5 KHz. Sono riportati grafici relativi all'analisi di Fourier sia alle basse che alle alte frequenze, per corrente di sorgente, corrente di carico e tensione di sorgente.

- Grafici da 23 a 26:

Prestazione del filtro attivo nella compensazione di un carico lineare reattivo con $\cos\varphi \cong 0,4$, in presenza di una terna di tensioni di alimentazione che è distorta da una componente di 5^a armonica pari a circa il 10% della fondamentale.

Questi grafici hanno lo scopo di mostrare l'efficacia del sistema di agganciamento proposto ed il sistema di controllo della corrente che è stato realizzato.

- Grafici da 27 a 30:

Prestazione del filtro attivo nella compensazione di un carico lineare reattivo con $\cos\varphi \cong 0,4$, in presenza di una terna di tensioni di alimentazione che è distorta da una componente di 5^a armonica pari a circa il 10% della fondamentale. Questo schema è realizzato senza la struttura di agganciamento TPLL proposta, ma con un semplice sistema di sincronizzazione basato sui passaggi per lo zero della tensione di rete.

-
- Grafici da 31 a 34:

Prestazione del filtro attivo nella compensazione di un carico lineare reattivo con $\cos\varphi=0,4$, in presenza di una terna di tensioni disimmetriche, ovvero in presenza di una componente fondamentale di sequenza negativa di ampiezza pari al 10% della fondamentale positiva. Questi grafici hanno lo scopo di mostrare l'efficacia del sistema di agganciamento TPLL con la sola sequenza positiva fondamentale anche in presenza di altre componenti.

- Grafici da 35 a 36:

Risultati preliminari di compensazione ottenuti con l'apparato sperimentale. Il funzionamento da filtro attivo è stato ottenuto implementando nel sistema di controllo sperimentale lo stesso algoritmo di controllo dello schema di Fig. 6.2, con cui si sono ottenuti i risultati di simulazione precedentemente descritti. Come indicato nelle didascalie dei due grafici, questa prima campagna di test sperimentali è stata realizzata con valori della tensione di rete e di dimensioni del carico inferiori rispetto alle reali possibilità dell'apparato hardware realizzato. Questa scelta prudentiale si è resa necessaria in quanto il collaudo del sistema hardware (pur non avendo mai mostrato problemi di funzionamento) non era stato ancora concluso.

6.3.2 *Compensazione completa*

I risultati, di seguito classificati con i numeri da 37 a 43, sono stati ottenuti con la configurazione del sistema di Fig. 6.3, cioè con la struttura che oltre alle compensazioni armonica e reattiva del carico, è in grado di smorzare le variazioni della potenza di carico. Per fare ciò si utilizza un sistema di accumulo dell'energia costituito da un induttore superconduttivo o SMES in grado di accumulare circa 200 KJ.

Questi risultati riflettono esattamente gli andamenti definiti nel capitolo 2 dove è descritto in dettaglio l'algoritmo completo per la gestione dei flussi di potenza tra le diverse sezioni del sistema elettrico. I grafici 37 - 39 sono realizzati con il parametro $K=0,56$, i grafici 40 - 42 sono realizzati con il parametro $K=0,1$. In questo modo si verifica che l'effetto del parametro K corrisponde a quanto descritto in paragrafo 2.3.3, cioè K definisce l'ampiezza della variazione di carica del sistema di accumulo in seguito ad una variazione della potenza di carico.

Grafici

- Grafico 37, 40

Risposta del sistema ad un gradino della potenza di carico. Andamento delle potenze istantanee reali di carico e di sorgente, della tensione di bus dc, della corrente nel sistema di accumulo SMES. Nella prova 40, rispetto alla 37, a fronte della stessa variazione di carico, il PCS scarica maggiormente il sistema di accumulo e quindi aumenta il tempo necessario affinché la potenza di sorgente si equivalga a quella di carico.

- Grafici 38, 41

Risposta del sistema a inserzioni - disinserzioni della potenza di carico con una frequenza pari a 5 Hz. Andamento delle potenze istantanee reali di carico e di sorgente, della tensione di bus dc, della corrente nel sistema di accumulo SMES. Nella prova 41, rispetto alla 38, a fronte della stessa variazione di carico, il PCS scarica maggiormente il sistema di accumulo e quindi aumenta lo smorzamento della potenza di sorgente

- Grafici 39, 41

Stesse condizioni di prova dei grafici 38,41. Andamento delle potenze istantanee reali di carico e di sorgente, della corrente di carico e della corrente di sorgente.

- Grafico 42

Risposta del sistema in caso di carico squilibrato costituito da un utenza monofase. Andamento delle potenze istantanee reali di carico e di sorgente. Il sistema PCS ha la stessa risposta al transitorio dei casi precedenti ed inoltre compensa correttamente le variazioni (a valore medio nullo) della potenza istantanea reale del carico.

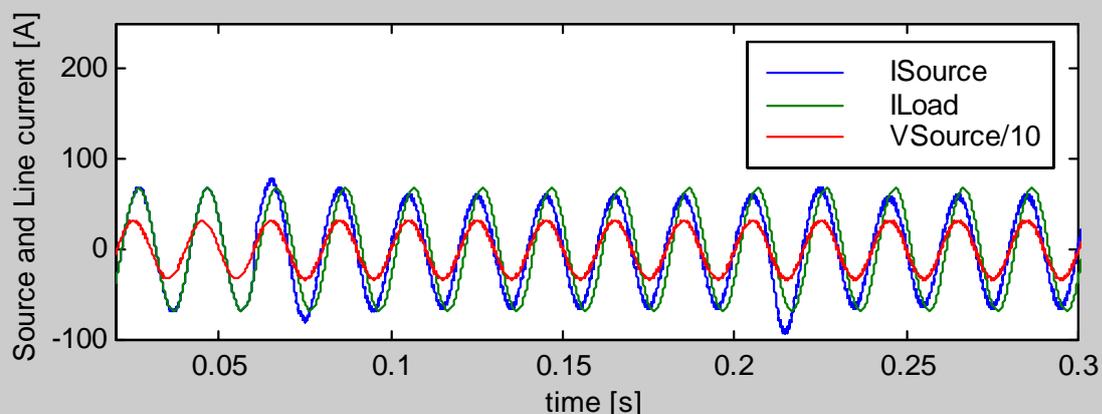
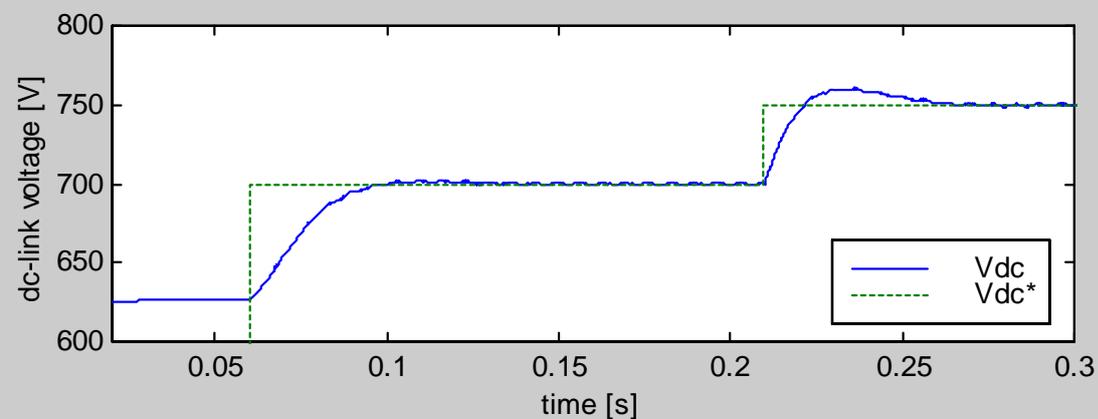
1	Compensazione della potenza reattiva di un carico lineare	data: 08/12/1999
		oper: crossi

SISTEMA ELETTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	200
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	5
Potenza attiva carico lineare P_L	[KW]	30	Regolatore corrente K_C		4
Potenza reattiva carico lineare Q_L	[KVAR]	15	Regolatore tensione K_P		0.8
Tipo carico non lineare	/		Regolatore tensione K_i		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	700
Induttanza di disaccoppiamento L_f	[mH]	4	FILTRO D'INGRESSO		
Resistenza parassita serie disacc. R_f	[m Ω]	10			NO
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

modello: rl1.mdl

dati: ////

Risposta del regolatore di tensione all'accensione del filtro attivo ed al variare del riferimento della tensione sul bus-dc. Prova effettuata con $K_i=0,8$ $K_p=50$.

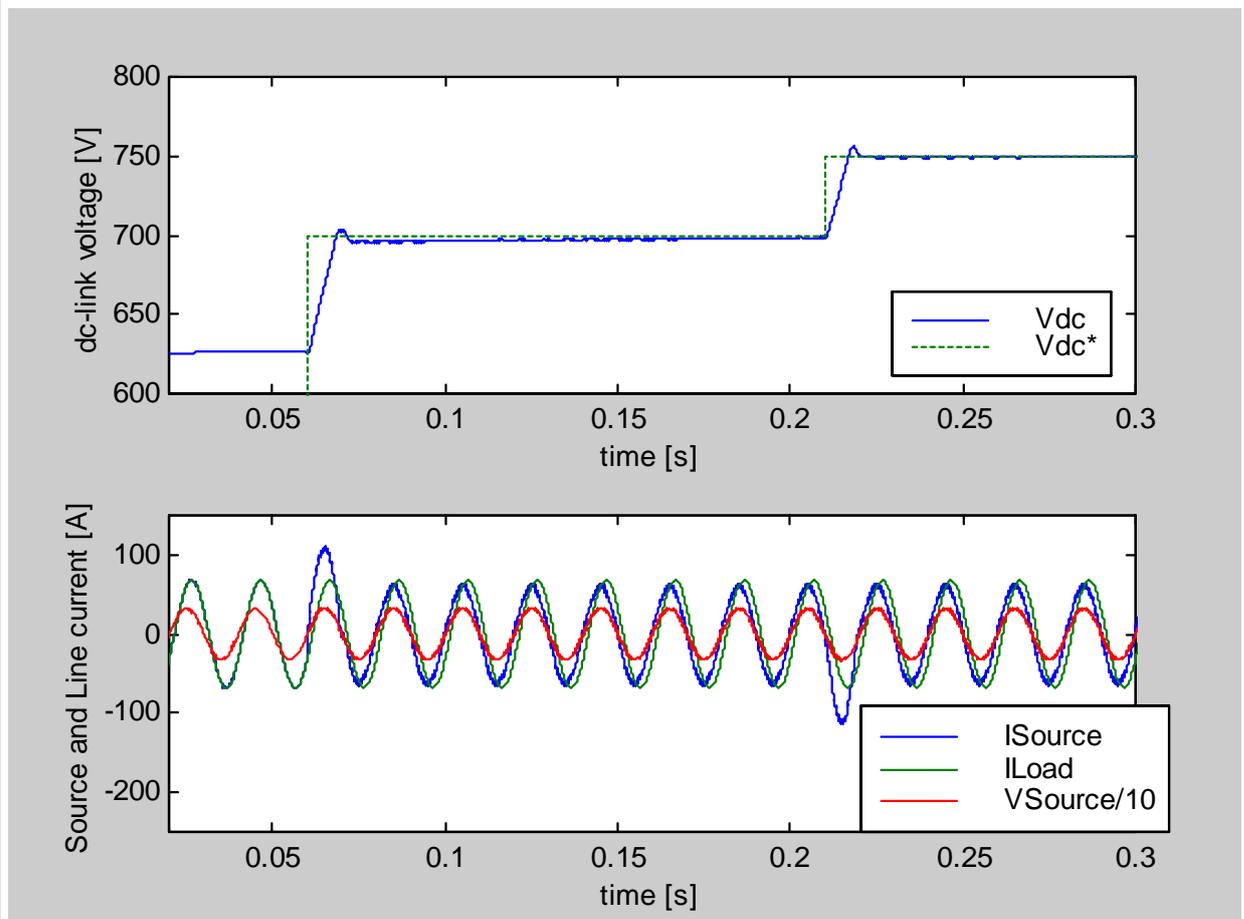


2		Compensazione della potenza reattiva di un carico lineare		data: 08/12/1999	
				oper: crossi	
SISTEMA ELETTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	200
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	10
Potenza attiva carico lineare P_L	[KW]	30	Regolatore corrente KC		4
Potenza reattiva carico lineare Q_L	[KVAR]	15	Regolatore tensione K_P		8
Tipo carico non lineare	/		Regolatore tensione K_i		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	700
Induttanza di disaccoppiamento L_f	[mH]	4	FILTRO D'INGRESSO		
Resistenza parassita serie disacc. R_f	[m Ω]	10	NO		
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

modello: rl2.mdl

dati: ////

Risposta del regolatore di tensione all'accensione del filtro attivo ed al variare del riferimento della tensione sul bus-dc. Prova effettuata con $K_i=8$, $K_p=50$.



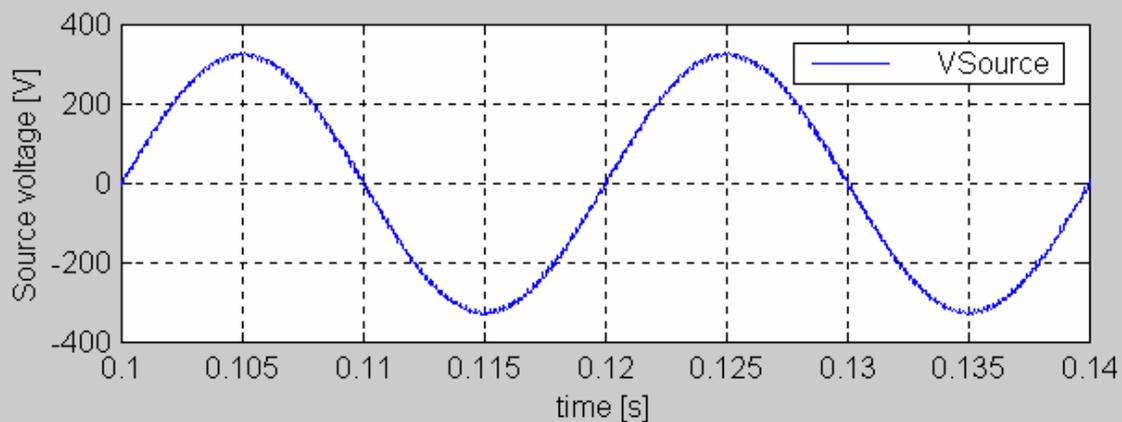
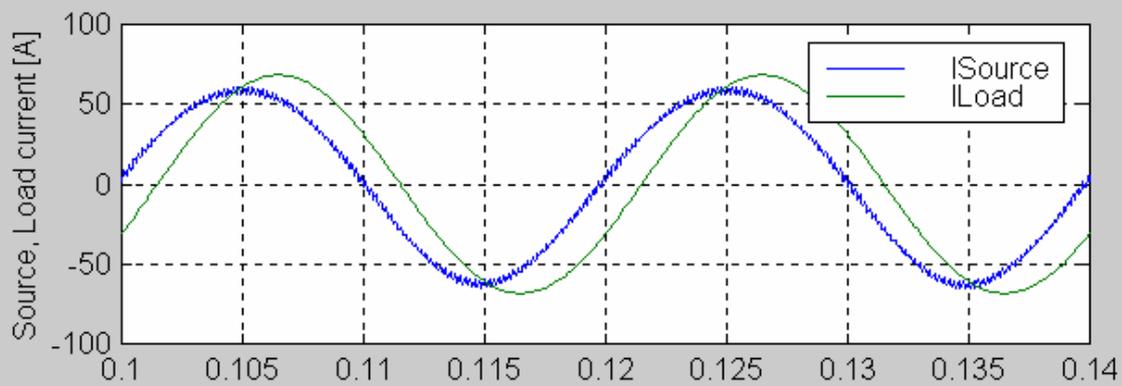
3	Compensazione della potenza reattiva di un carico lineare	data: 13/12/1999
		oper: crossi

SISTEMA ELETTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	200
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	5
Potenza attiva carico lineare P_L	[KW]	30	Parametro regolatore di corrente L_C		4
Potenza reattiva carico lineare Q_L	[KVAR]	15	Regolatore tensione K_P		0.8
Tipo carico non lineare	/		Regolatore tensione K_I		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	700
Induttanza di disaccoppiamento L_f	[mH]	4	FILTRO D'INGRESSO		
Resistenza parassita serie disacc. R_f	[m Ω]	10			NO
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

modello: r11_750.mdl

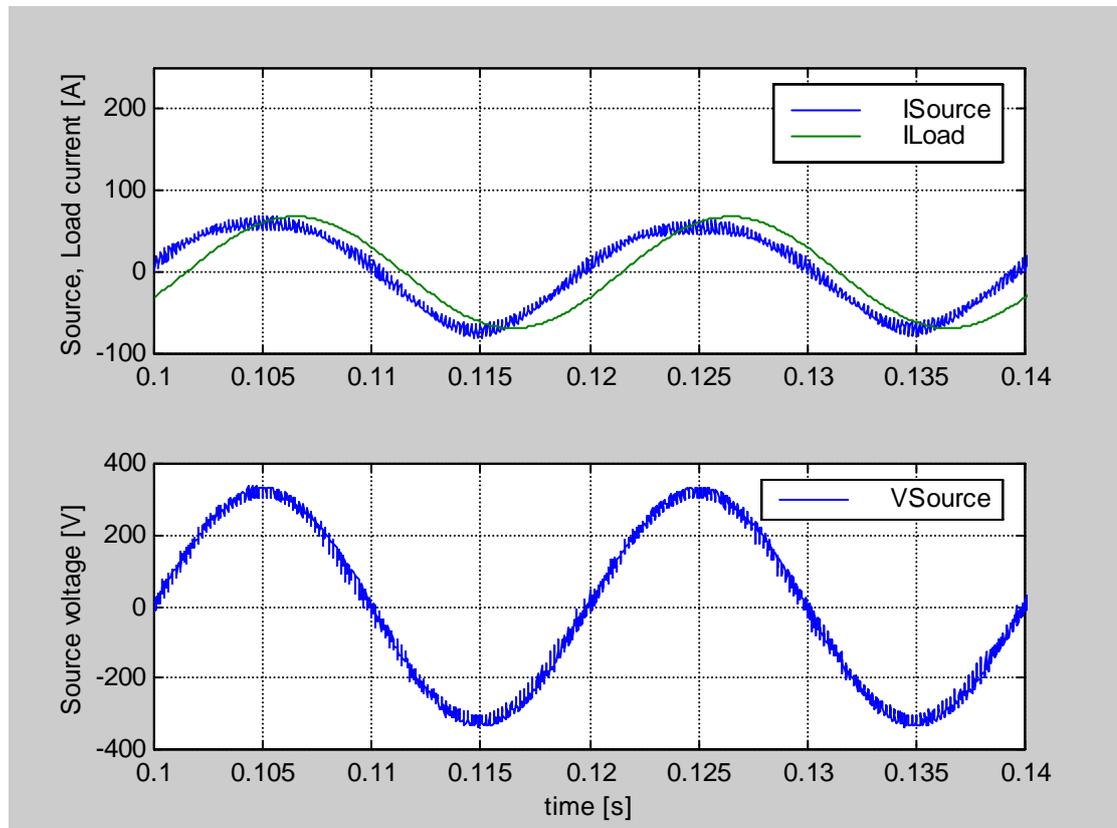
dati: r11_750.mat

Forme d'onda per la compensazione di un carico lineare. Elevato valore di induttanza di separazione. $L_f=4$ mH



4	Compensazione della potenza reattiva di un carico lineare		data: 13/12/1999		
			oper: cr		
SISTEMA ELETTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	200
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	5
Potenza attiva carico lineare P_L	[KW]	30	Parametro regolatore corrente L_C		1
Potenza reattiva carico lineare Q_L	[KVAR]	15	Regolatore tensione K_P		0.8
Tipo carico non lineare		/	Regolatore tensione K_i		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	700
Induttanza di disaccoppiamento L_f	[mH]	1	FILTRO D'INGRESSO		NO
Resistenza parassita serie disacc. R_f	[m Ω]	10			
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			
modello: rl4.mdl			dati: ////		

Forme d'onda per la compensazione di un carico lineare.
 Basso valore di induttanza di separazione: $L_f=1$ mH

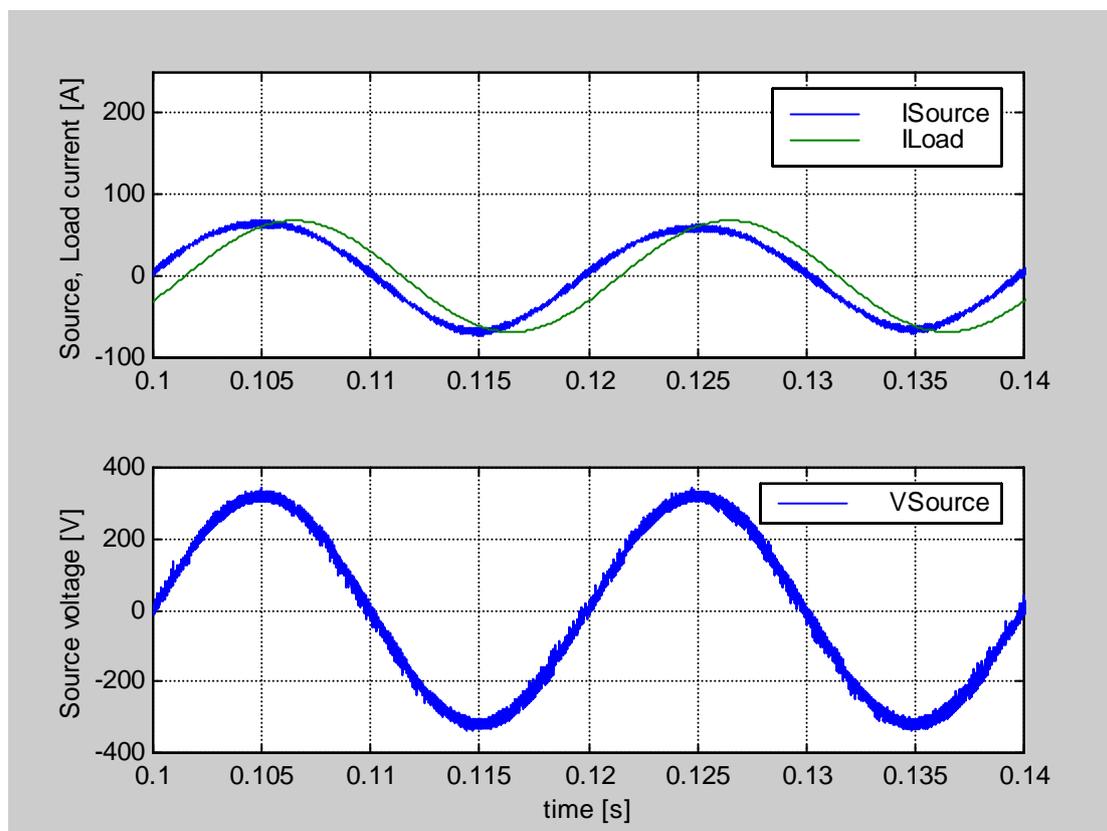


5	Compensazione della potenza reattiva di un carico lineare	data: 13/12/1999
		oper: cr

SISTEMA ELETTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	100
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	10
Potenza attiva carico lineare P_L	[KW]	30	Regolatore corrente K_C		1
Potenza reattiva carico lineare Q_L	[KVAR]	15	Regolatore tensione K_P		0.8
Tipo carico non lineare	/		Regolatore tensione K_I		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	700
Induttanza di disaccoppiamento L_f	[mH]	1	FILTRO D'INGRESSO		
Resistenza parassita serie disacc. R_f	[m Ω]	10			NO
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

modello: rl5.mdl	dati: ////
------------------	------------

Forme d'onda per la compensazione di un carico lineare.
 Basso valore di induttanza di separazione: $L_f=1$ mH
 Tempo di campionamento $T_c=100$ μ s

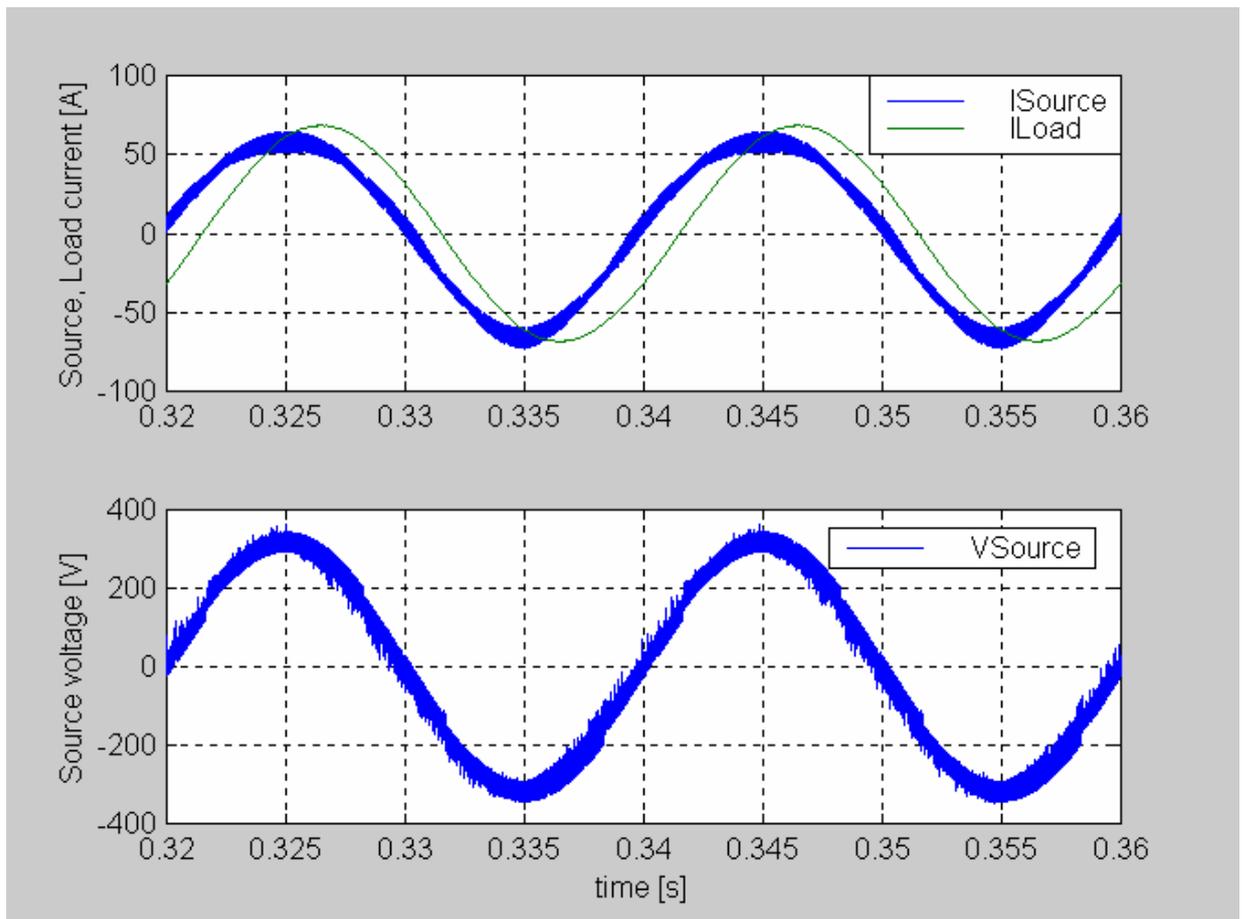


SIM.N° 6		Compensazione della potenza reattiva di un carico lineare		data: 14/12/99	
				oper: cr	
SISTEMA ELETTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	80
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	12.5
Potenza attiva carico lineare P_L	[KW]	30	Regolatore corrente K_C		0.6
Potenza reattiva carico lineare Q_L	[KVAR]	15	Regolatore tensione K_P		0.8
Tipo carico non lineare		/	Regolatore tensione K_I		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	700
Induttanza di disaccoppiamento L_f	[mH]	0.6	FILTRO D'INGRESSO		
Resistenza parassita serie disacc. R_f	[m Ω]	10	NO		
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

modello: rl6.mdl

dati: ////

Forme d'onda per la compensazione di un carico lineare.
 Bassissimo valore di induttanza di separazione $L_f= 600 \mu\text{H}$
 Tempo di campionamento $T_c=80 \mu\text{s}$

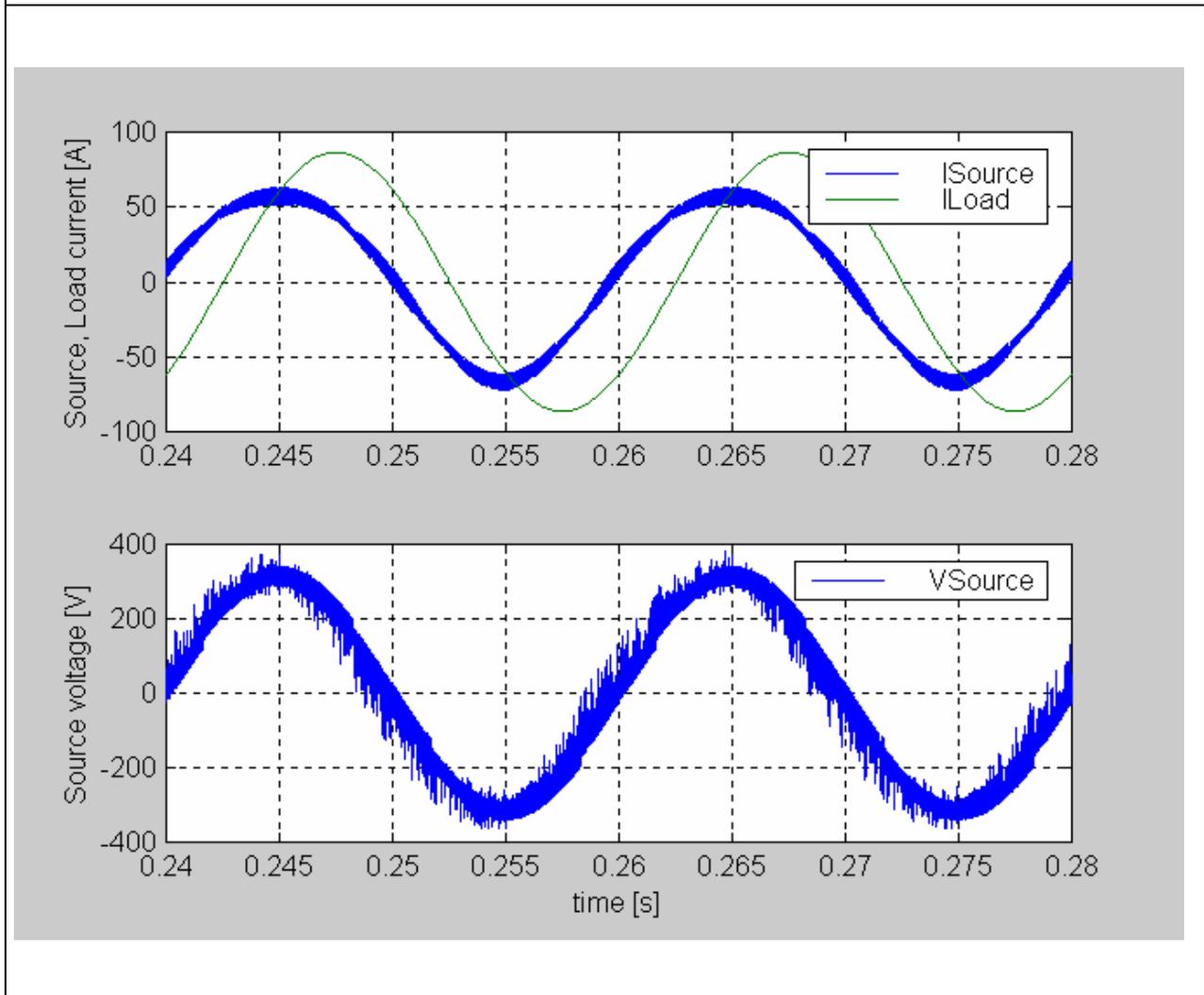


7	Compensazione della potenza reattiva di un carico lineare	data: 15/12/99
		oper: cr

SISTEMA ELETTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	80
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	12.5
Potenza attiva carico lineare P_L	[KW]	30	Regolatore corrente K_C		1.4
Potenza reattiva carico lineare Q_L	[KVAR]	30	Regolatore tensione K_P		0.8
Tipo carico non lineare	/		Regolatore tensione K_I		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	750
Induttanza di disaccoppiamento L_f	[mH]	0.6			
Resistenza parassita serie disacc. R_f	[m Ω]	10	FILTRO D'INGRESSO		NO
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

modello: r17b.mdl	dati: ////
-------------------	------------

Forme d'onda per la compensazione di un carico lineare.
 Bassissimo valore di induttanza di separazione $L_f = 600 \mu\text{H}$
 Tempo di campionamento $T_c = 80 \mu\text{s}$



8	Compensazione della potenza reattiva di un carico lineare	data: 16/12/99
		oper: cr

SISTEMA ELETTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	100
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	10
Potenza attiva carico lineare P_L	[KW]	30	Regolatore corrente K_C		1
Potenza reattiva carico lineare Q_L	[KVAR]	15	Regolatore tensione K_P		0.8
Tipo carico non lineare	/	/	Regolatore tensione K_i		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	700
Induttanza di disaccoppiamento L_f	[mH]	0.6	FILTRO D'INGRESSO		
Resistenza parassita serie disacc. R_f	[m Ω]	10	NO		
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

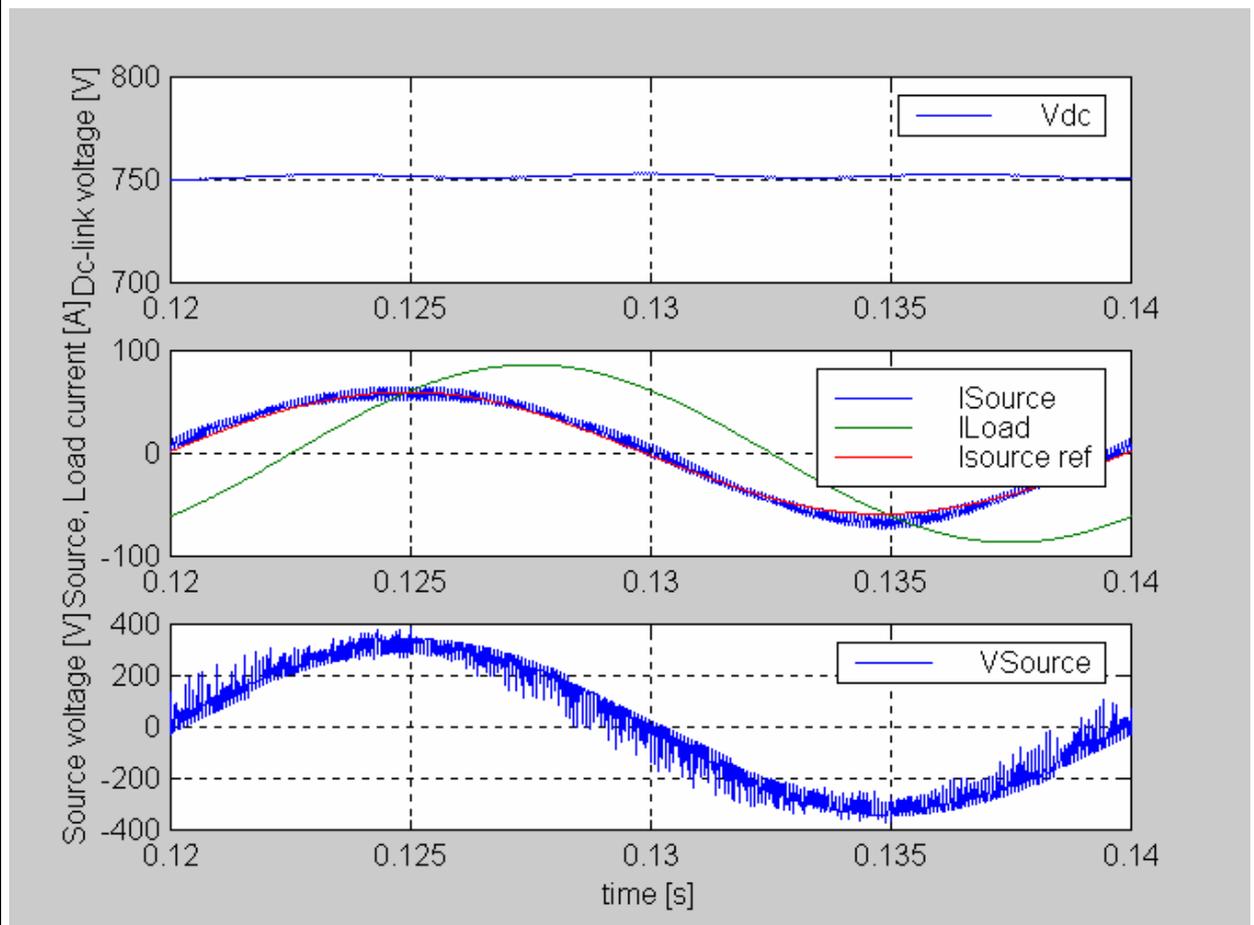
modello: rl8.mdl

dati: rl8.mat

Forme d'onda per la compensazione di un carico lineare.

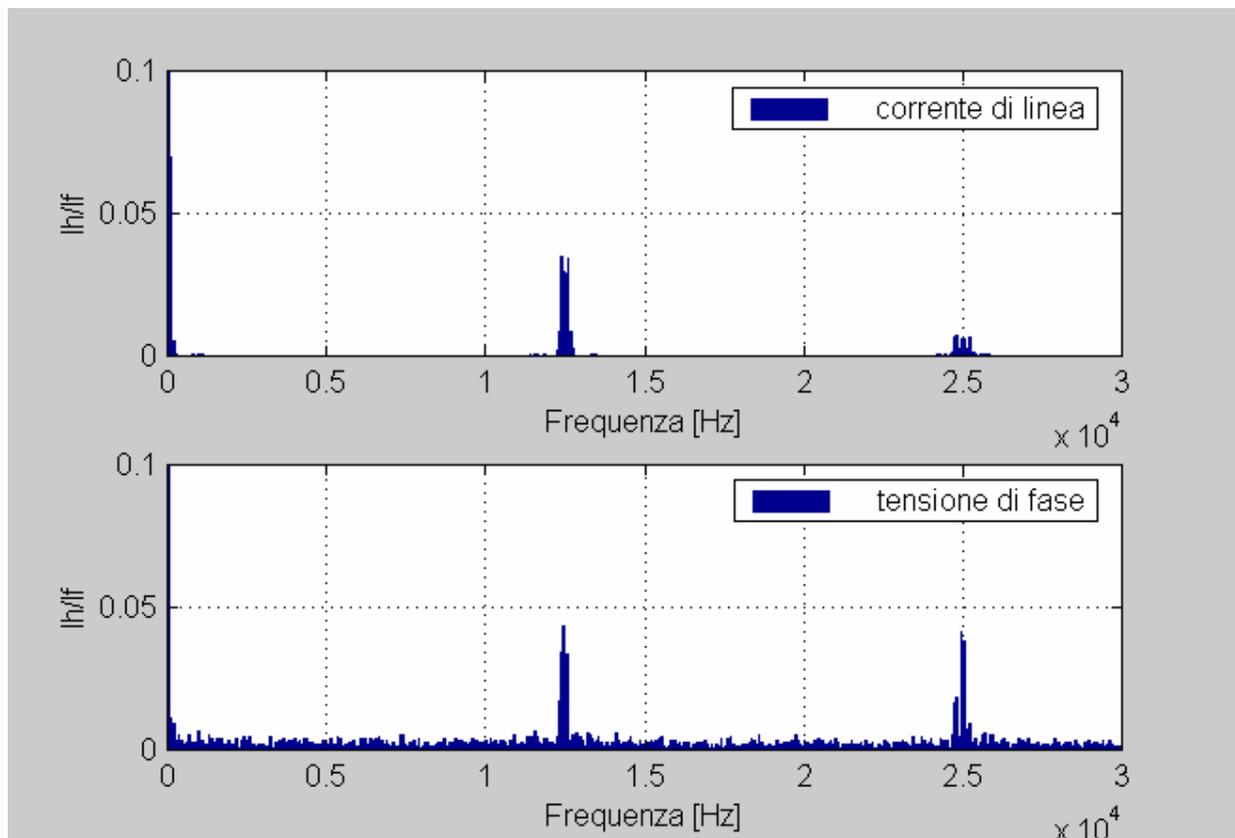
Tensione sul bus-dc dell'inverter

Corrente di sorgente di riferimento e reale.



9	Compensazione della potenza reattiva di un carico lineare		data: 22/12/99		
			oper: cr		
SISTEMA ELETTTRICO		SISTEMA DI CONTROLLO			
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	100
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	10
Potenza attiva carico lineare P_L	[KW]	30	Regolatore corrente K_C		1
Potenza reattiva carico lineare Q_L	[KVAR]	15	Regolatore tensione K_P		0.8
Tipo carico non lineare	/		Regolatore tensione K_I		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	700
Induttanza di disaccoppiamento L_f	[mH]	0.6	FILTRO D'INGRESSO		NO
Resistenza parassita serie disacc. R_f	[m Ω]	10			
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			
modello: rl8.mdl		dati: rl8.mat			

Analisi armonica per la compensazione di un carico non lineare.
 Corrente e tensione di fase di rete $I_{fond}=1$



10	Compensazione di un carico lineare squilibrato		data: 19/12/99
			oper: cr
SISTEMA ELETTRICO		SISTEMA DI CONTROLLO	
Tensione di fase di sorgente V_S [V _{RMS}]	230	Tempo di campionamento T_S [μ s]	80
Resistenza di fase di sorgente R_S [m Ω]	8.1	Tipo di modulatore	PWM syn.
Induttanza di fase di sorgente L_S [μ H]	67	Frequenza di commutazione f_{sw} [KHz]	12.5
Potenza attiva carico lineare P_L (tra fasi ac) [KW]	20000	Regolatore corrente K_C	1.2
Potenza reattiva carico lineare Q_L (tra fasi ac) [KVAR]	20000	Regolatore tensione K_P	0.8
Tipo carico non lineare	/	Regolatore tensione K_I	50
Corrente di linea carico non lineare I_L [A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^* [V]	700
Induttanza di disaccoppiamento L_f [mH]	0.6		
Resistenza parassita serie disacc. R_f [m Ω]	10	FILTRO D'INGRESSO	NO
Capacità bus DC C_{DC} [mF]	6		
Resistenza parassita par. bus DC R_{DC} [K Ω]	30		

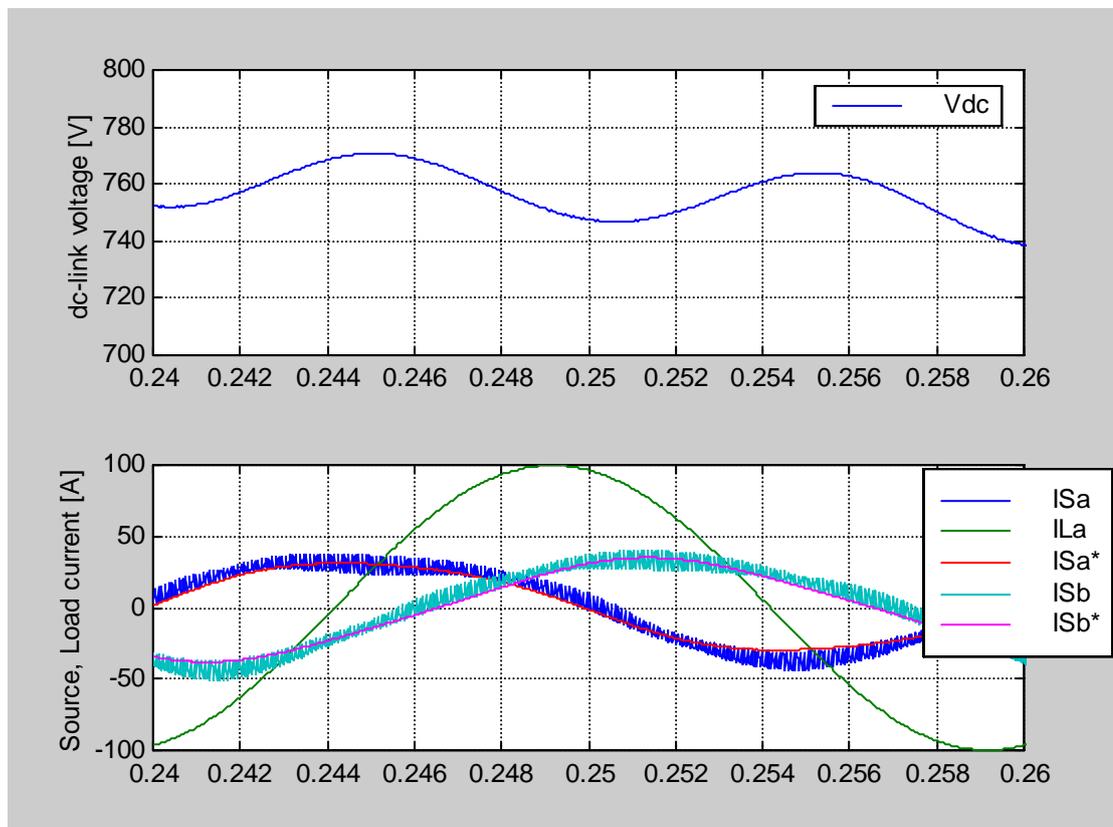
modello: rl11.mdl

dati //

Oscillazione della tensione sul condensatore

Forme d'onda della corrente nelle fasi sul carico e sulla sorgente con carico squilibrato:

$$I_{La} = -I_{Lc}; I_{Lb} = 0$$

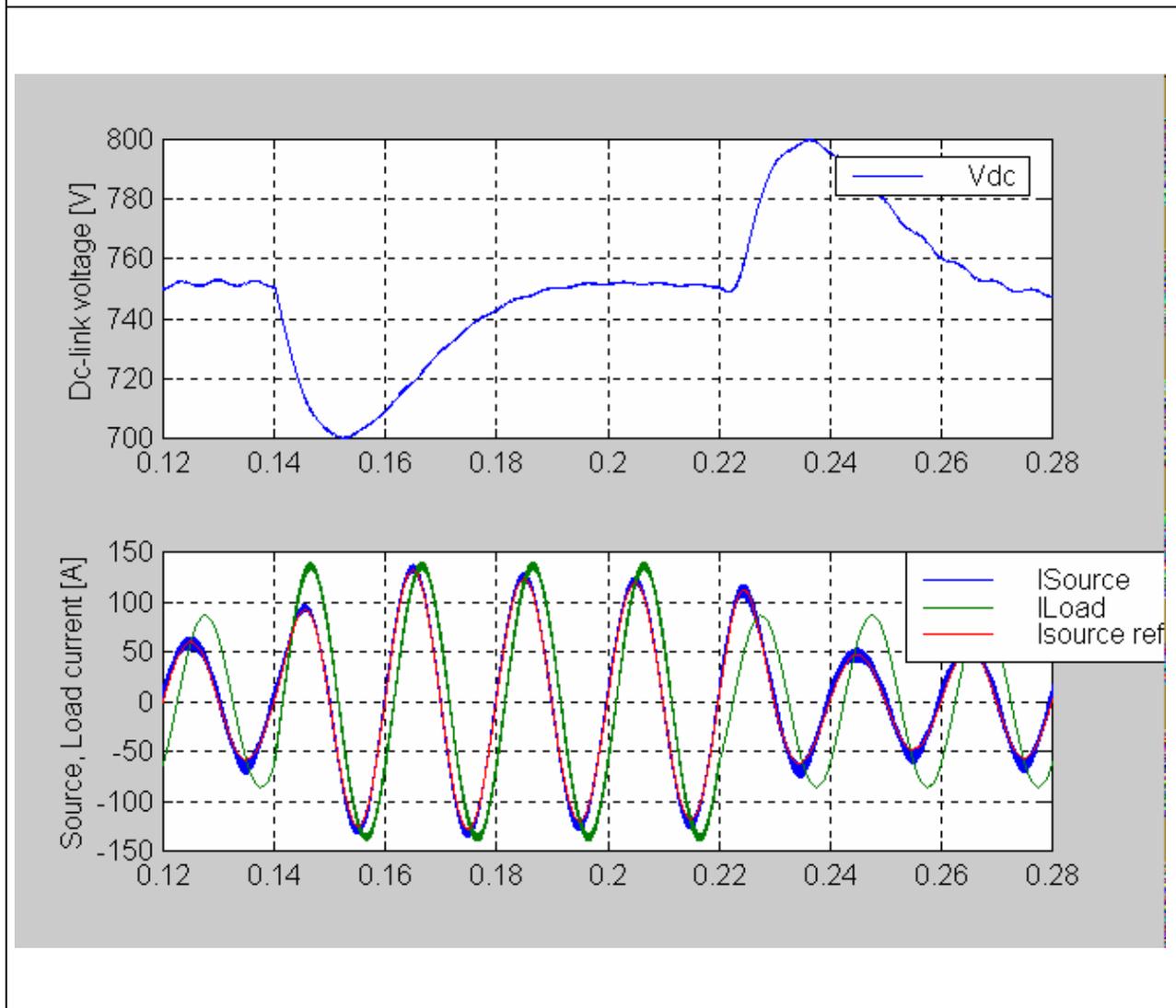


11	Compensazione della potenza reattiva di un carico lineare	data: 20/12/99
		oper: cr

SISTEMA ELETTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	100
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	10
Potenza attiva carico P1 lineare P_L	[KW]	30	Regolatore corrente K_C		1
Potenza reattiva carico P1 lineare Q_L	[KVAR]	15	Regolatore tensione K_P		0.8
Tipo carico non lineare	/		Regolatore tensione K_I		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	750
Induttanza di disaccoppiamento L_f	[mH]	0.6	FILTRO D'INGRESSO		
Resistenza parassita serie disacc. R_f	[m Ω]	10			NO
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

modello: rl8.mdl	dati: rl8b.mat
------------------	----------------

Transitorio di inserzione ($t=0.14s$) e disinserzione ($t=0.21s$) di un secondo carico: $P_2=30$ KW.

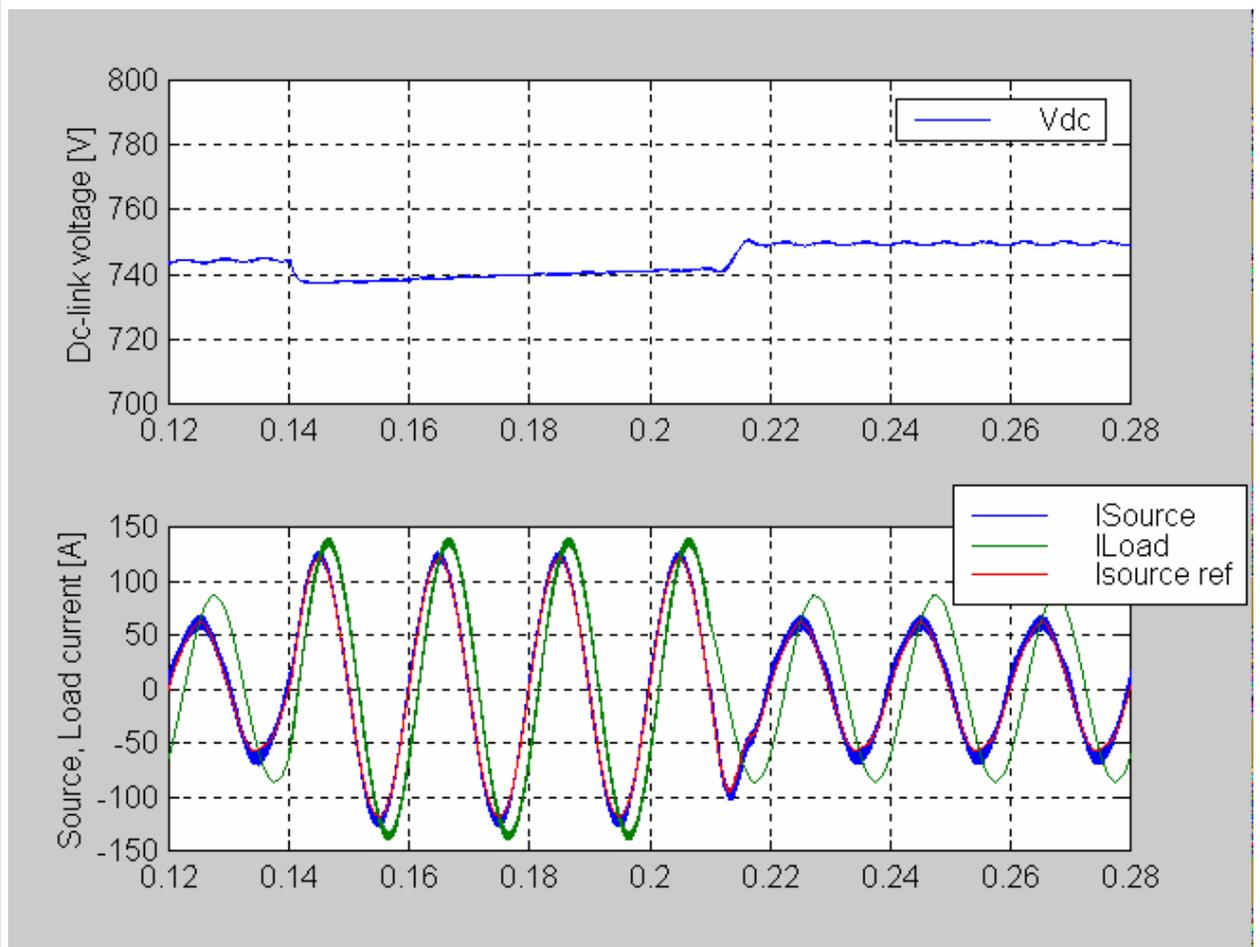


12	Compensazione della potenza reattiva di un carico lineare		data: 22/12/99		
			oper: cr		
SISTEMA ELETTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	100
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	10
Potenza attiva carico P1 lineare P_L	[KW]	30	Regolatore corrente K_C		1
Potenza reattiva carico P1 lineare Q_L	[KVAR]	15	Regolatore tensione K_P		8
Tipo carico non lineare	/		Regolatore tensione K_i		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	750
Induttanza di disaccoppiamento L_f	[mH]	0.6			
Resistenza parassita serie disacc. R_f	[m Ω]	10	FILTRO D'INGRESSO		NO
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

modello: rl8.mdl

dati: rl8c.mat

Transitorio di inserzione (t=0.14s) e disinserzione (t=0.21s) di un secondo carico: P2=30 KW.

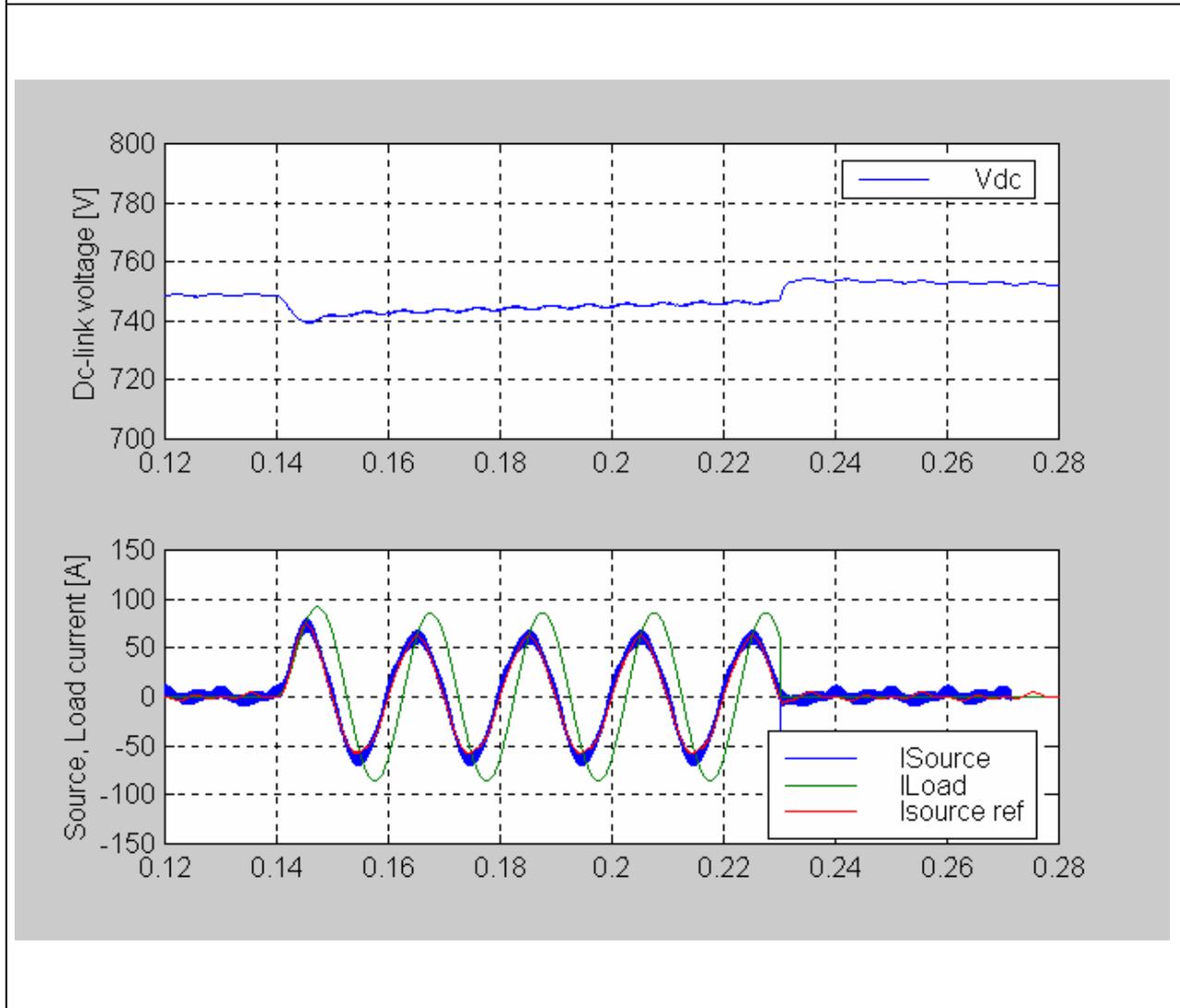


13	Compensazione della potenza reattiva di un carico lineare	data: 22/12/99
		oper: cr

SISTEMA ELETTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	100
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	10
Potenza attiva carico lineare P_L	[KW]	30	Regolatore corrente K_C		1
Potenza reattiva carico lineare Q_L	[KVAR]	15	Regolatore tensione K_P		8
Tipo carico non lineare	/		Regolatore tensione K_I		80
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	750
Induttanza di disaccoppiamento L_f	[mH]	0.6	FILTRO D'INGRESSO		
Resistenza parassita serie disacc. R_f	[m Ω]	10			NO
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

modello: rl8.mdl	dati: rl8d.mat
------------------	----------------

Transitorio di inserzione (t=0.14s) e disinserzione (t=0.23s) del carico

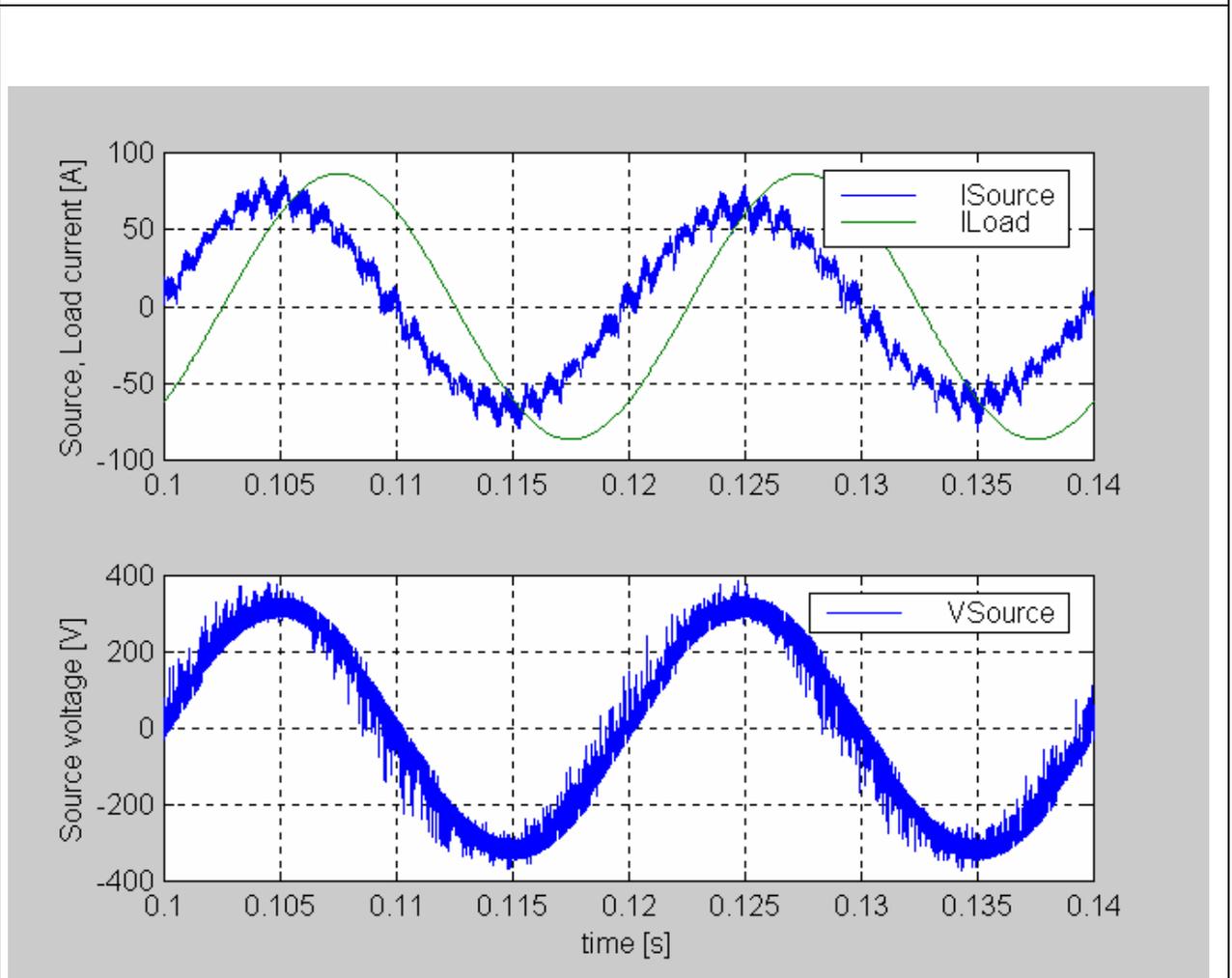


14	Compensazione della potenza reattiva di un carico lineare		data: 22/12/99		
			oper: cr		
SISTEMA ELETTRICO		SISTEMA DI CONTROLLO			
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	100
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM asyn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	10
Potenza attiva carico lineare P_L	[KW]	30	Regolatore corrente K_C		1
Potenza reattiva carico lineare Q_L	[KVAR]	15	Regolatore tensione K_P		8
Tipo carico non lineare		/	Regolatore tensione K_i		80
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	750
Induttanza di disaccoppiamento L_f	[mH]	0.6	FILTRO D'INGRESSO		
Resistenza parassita serie disacc. R_f	[m Ω]	10			NO
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

modello: rl8e.mdl

dati: rl8e.mat

Effetto della no sincronizzazione tra controllo e PWM

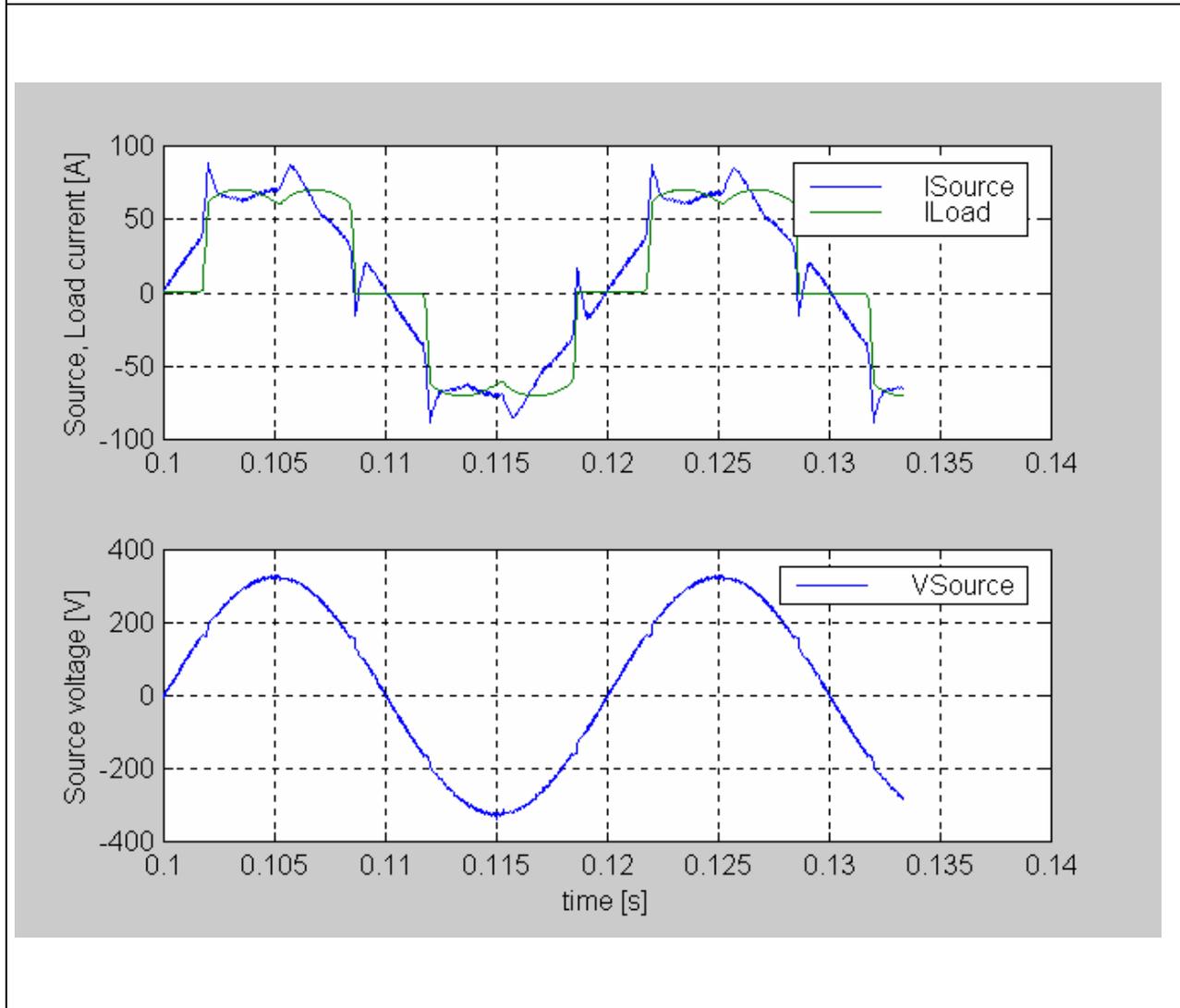


15	Compensazione armonica di un carico non lineare	data: 202/12/99
		oper: cr

SISTEMA ELETTTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	100
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	10
Potenza attiva carico lineare P_L	[KW]	/	Regolatore corrente K_C		4
Potenza reattiva carico lineare Q_L	[KVAR]	/	Regolatore tensione K_P		0.8
Tipo carico non lineare		ponte diodi	Regolatore tensione K_i		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	50	Tensione di riferimento bus DC V_{dc}^*	[V]	700
Induttanza di disaccoppiamento L_f	[mH]	4			
Resistenza parassita serie disacc. R_f	[m Ω]	10	FILTRO D'INGRESSO		NO
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

modello: pd13.mdl	dati: ////
-------------------	------------

Forme d'onda per la compensazione di un carico non lineare.
Corrente sulla medesima fase di sorgente e di carico

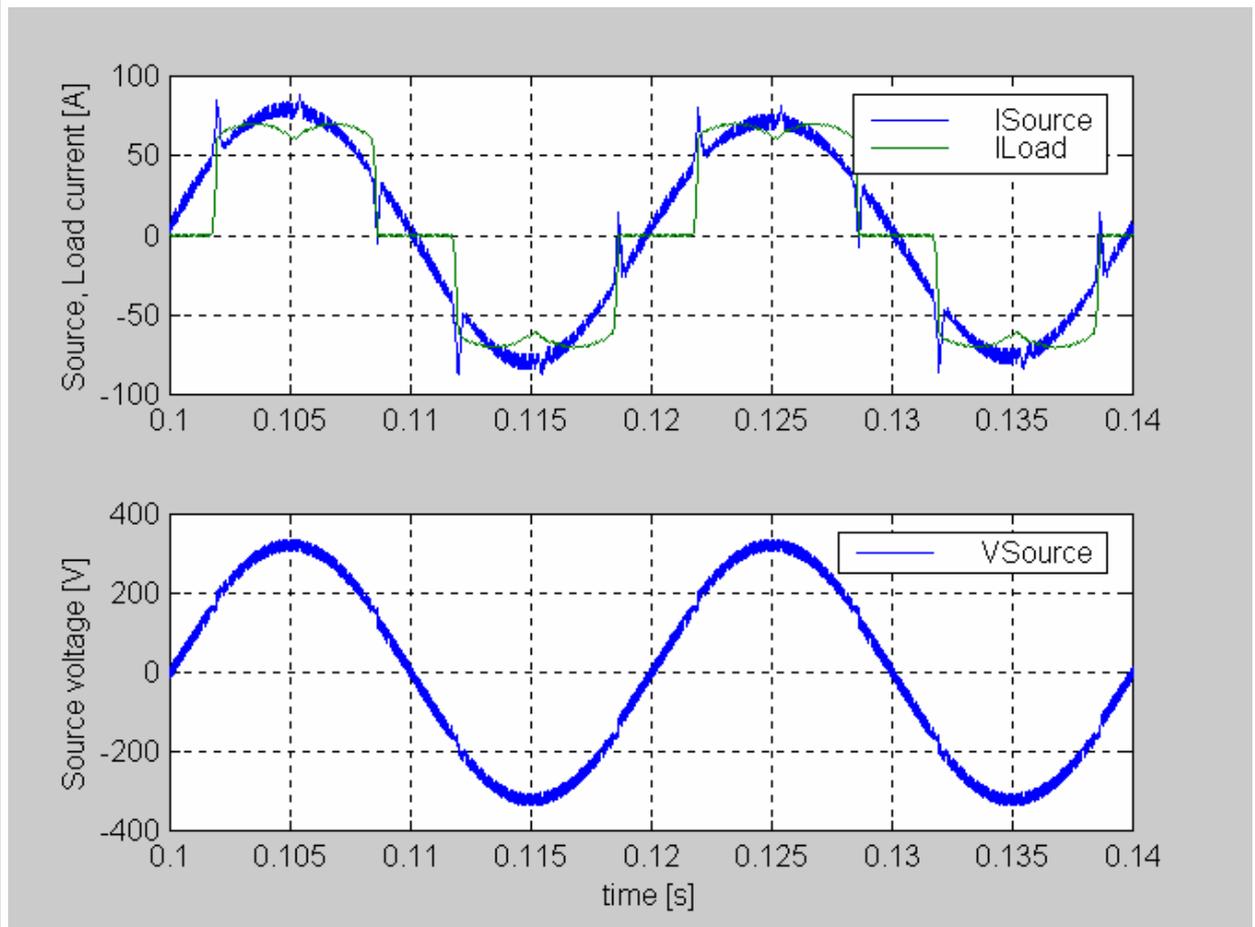


16	Compensazione armonica di un carico non lineare		data:
			oper: cr
SISTEMA ELETTRICO			SISTEMA DI CONTROLLO
Tensione di fase di sorgente V_S [V _{RMS}]	230	Tempo di campionamento T_S [μ s]	100
Resistenza di fase di sorgente R_S [m Ω]	8.1	Tipo di modulatore	PWM syn.
Induttanza di fase di sorgente L_S [μ H]	67	Frequenza di commutazione f_{sw} [KHz]	10
Potenza attiva carico lineare P_L [KW]	/	Regolatore corrente K_C	1
Potenza reattiva carico lineare Q_L [KVAR]	/	Regolatore tensione K_P	0.8
Tipo carico non lineare	ponte diodi	Regolatore tensione K_i	50
Corrente di linea carico non lineare I_L [A _{RMS}]	50	Tensione di riferimento bus DC V_{dc}^* [V]	750
Induttanza di disaccoppiamento L_f [mH]	1	FILTRO D'INGRESSO	NO
Resistenza parassita serie disacc. R_f [m Ω]	10		
Capacità bus DC C_{DC} [mF]	4		
Resistenza parassita par. bus DC R_{DC} [K Ω]	30		

modello: pd13a.mdl

dati: //

Forme d'onda per la compensazione di un carico non lineare.
Corrente sulla medesima fase di sorgente e di carico

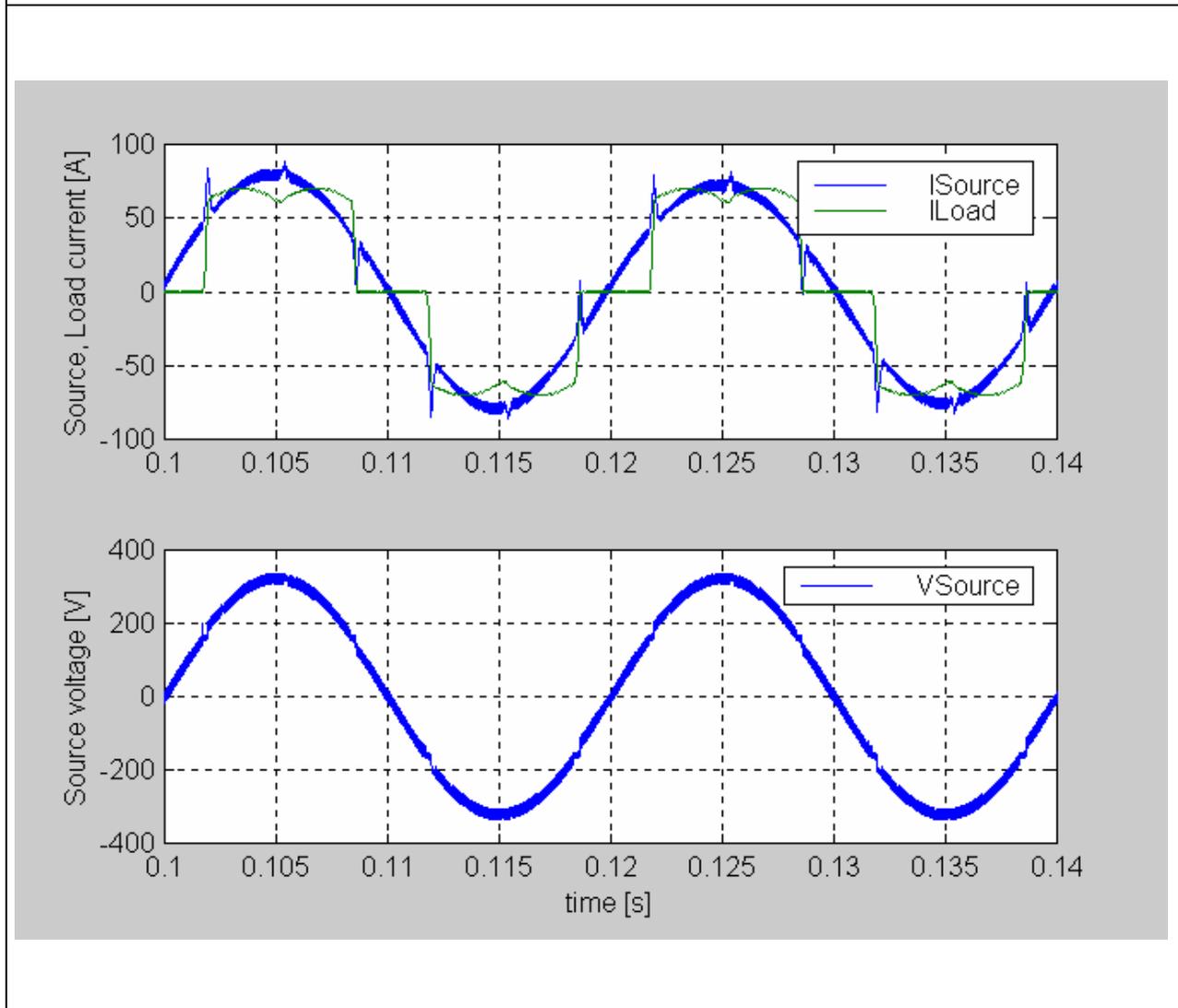


17	Compensazione armonica di un carico non lineare	data: 20/12/99
		oper: cr

SISTEMA ELETTTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	80
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	12.5
Potenza attiva carico lineare P_L	[KW]	/	Regolatore corrente K_C		1
Potenza reattiva carico lineare Q_L	[KVAR]	/	Regolatore tensione K_P		0.8
Tipo carico non lineare		ponte diodi	Regolatore tensione K_i		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	50	Tensione di riferimento bus DC V_{dc}^*	[V]	750
Induttanza di disaccoppiamento L_f	[mH]	1			
Resistenza parassita serie disacc. R_f	[m Ω]	10	FILTRO D'INGRESSO		NO
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

modello: pd14a.mdl	dati: pd14a.mat
--------------------	-----------------

Forme d'onda per la compensazione di un carico non lineare.
Corrente sulla medesima fase di sorgente e di carico

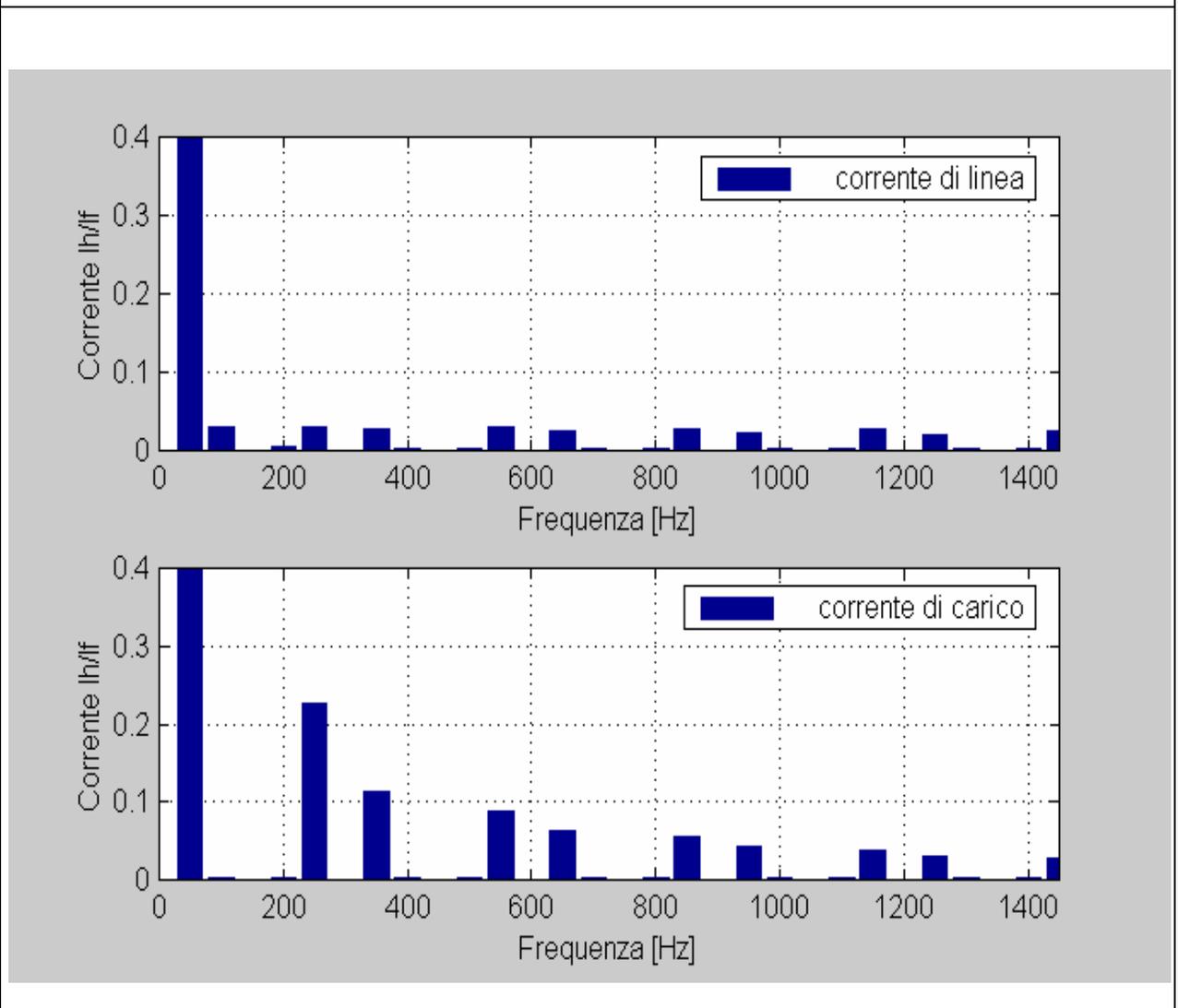


18	Compensazione armonica di un carico non lineare		data: 21/12/99
			oper: cr
SISTEMA ELETTRICO		SISTEMA DI CONTROLLO	
Tensione di fase di sorgente V_S [V _{RMS}]	230	Tempo di campionamento T_S [μ s]	80
Resistenza di fase di sorgente R_S [m Ω]	8.1	Tipo di modulatore	PWM syn.
Induttanza di fase di sorgente L_S [μ H]	67	Frequenza di commutazione f_{sw} [KHz]	12.5
Potenza attiva carico lineare P_L [KW]	/	Regolatore corrente K_C	1
Potenza reattiva carico lineare Q_L [KVAR]	/	Regolatore tensione K_P	0.8
Tipo carico non lineare	ponte diodi	Regolatore tensione K_i	50
Corrente di linea carico non lineare I_L [A _{RMS}]	50	Tensione di riferimento bus DC V_{dc}^* [V]	750
Induttanza di disaccoppiamento L_f [mH]	1	FILTRO D'INGRESSO NO	
Resistenza parassita serie disacc. R_f [m Ω]	10		
Capacità bus DC C_{DC} [mF]	4		
Resistenza parassita par. bus DC R_{DC} [K Ω]	30		

modello: pd14a.mdl

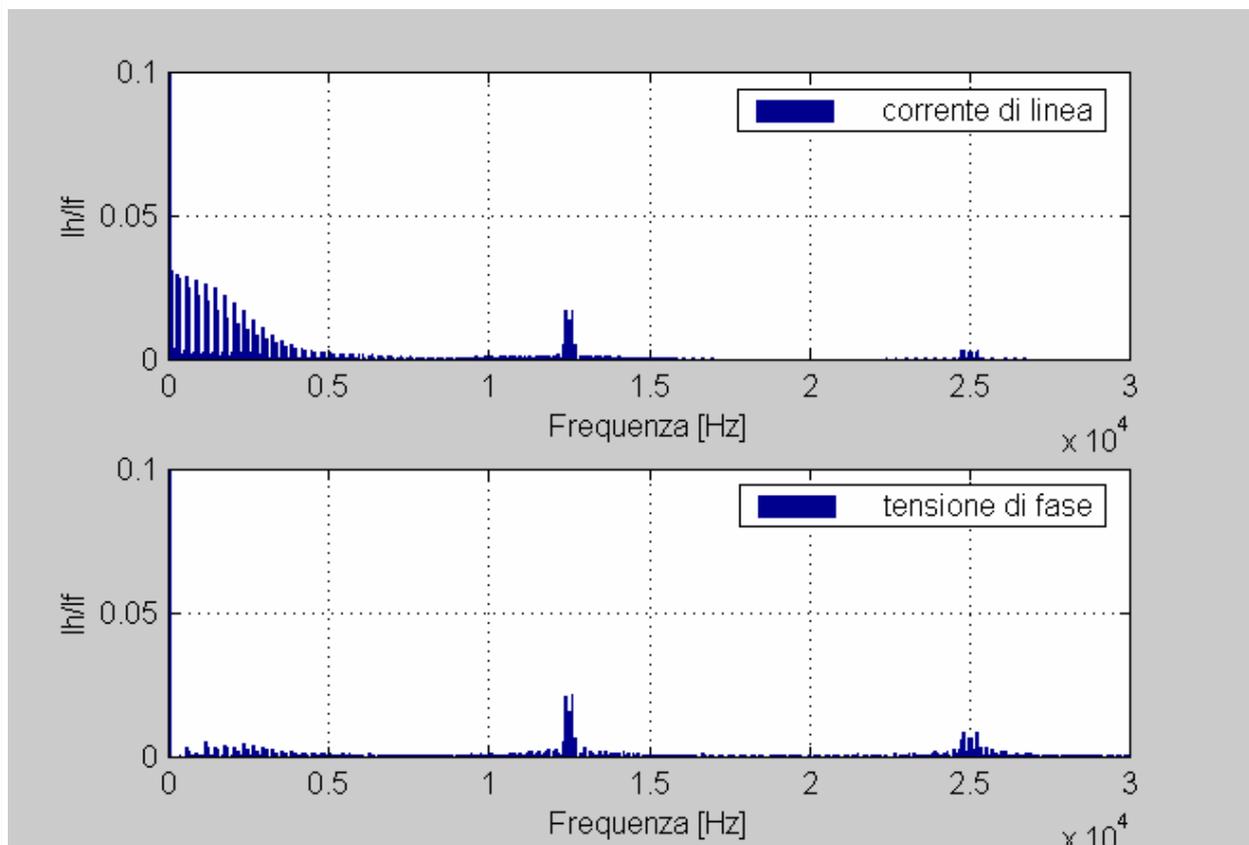
dati: pd14a

Analisi armonica per la compensazione di un carico non lineare.
 Corrente sulla medesima fase di sorgente e di carico, $I_{fond}=1$



19	Compensazione armonica di un carico non lineare		data:		
			oper: cr		
SISTEMA ELETTTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	80
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	12.5
Potenza attiva carico lineare P_L	[KW]	/	Regolatore corrente K_C		1
Potenza reattiva carico lineare Q_L	[KVAR]	/	Regolatore tensione K_P		0.8
Tipo carico non lineare		ponte diodi	Regolatore tensione K_i		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	50	Tensione di riferimento bus DC V_{dc}^*	[V]	750
Induttanza di disaccoppiamento L_f	[mH]	1	FILTRO D'INGRESSO		
Resistenza parassita serie disacc. R_f	[m Ω]	10			NO
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			
modello: pd14a.mdl			dati: pd14a.mat		

Analisi armonica per la compensazione di un carico non lineare.
 Corrente e tensione di fase di sorgente $I_{fond}=1$

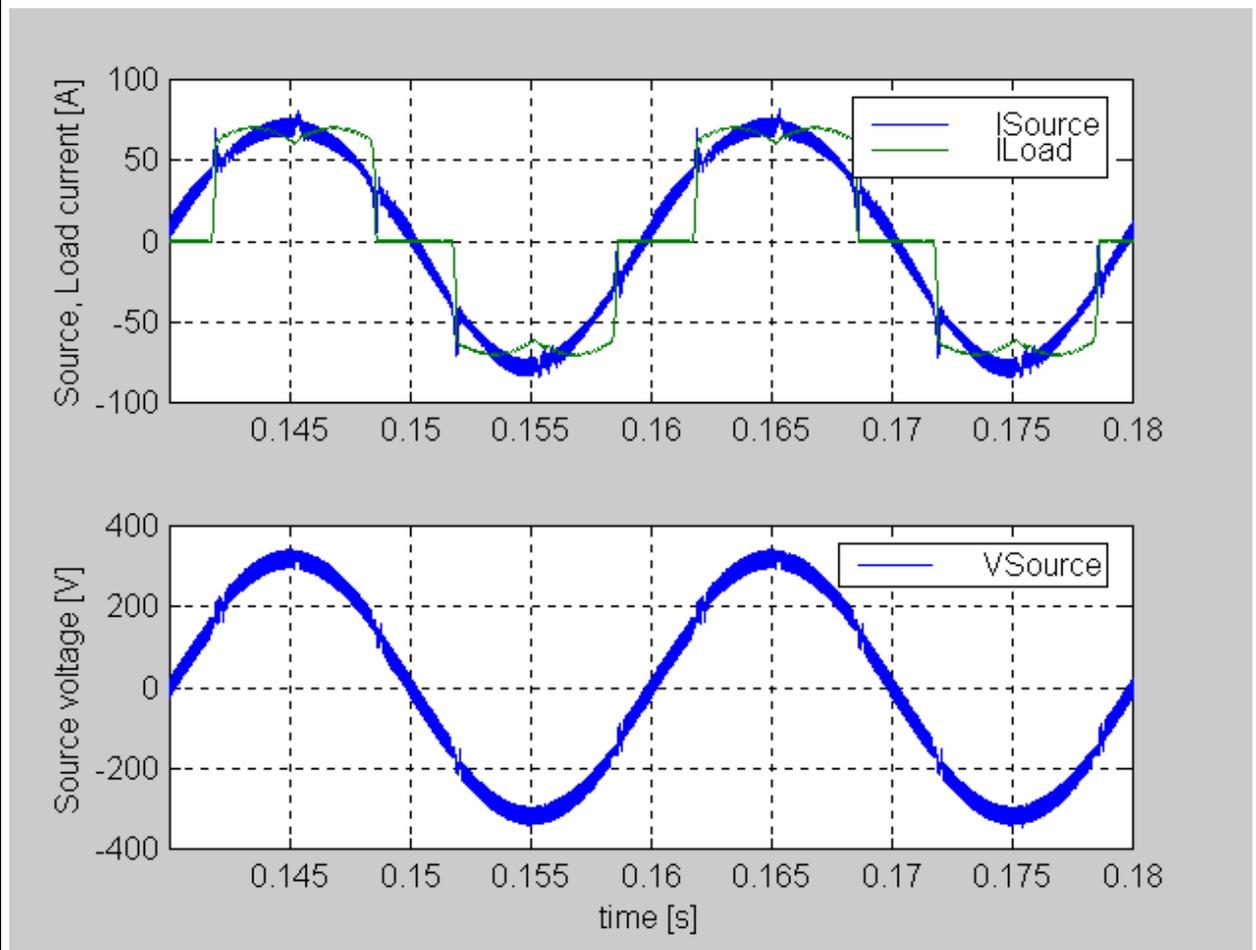


20	Compensazione armonica di un carico non lineare		data: 21/12/99	
			oper: cr	
SISTEMA ELETTRICO			SISTEMA DI CONTROLLO	
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s] 80
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore	PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz] 12.5
Potenza attiva carico lineare P_L	[KW]	/	Regolatore corrente K_C	1.2
Potenza reattiva carico lineare Q_L	[KVAR]	/	Regolatore tensione K_P	0.8
Tipo carico non lineare		ponete diodi	Regolatore tensione K_i	50
Corrente di linea carico non lineare I_L	[A _{RMS}]	50	Tensione di riferimento bus DC V_{dc}^*	[V] 700
Induttanza di disaccoppiamento L_f	[mH]	0.6	FILTRO D'INGRESSO NO	
Resistenza parassita serie disacc. R_f	[m Ω]	10		
Capacità bus DC C_{DC}	[mF]	4		
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30		

modello: pd12.mdl

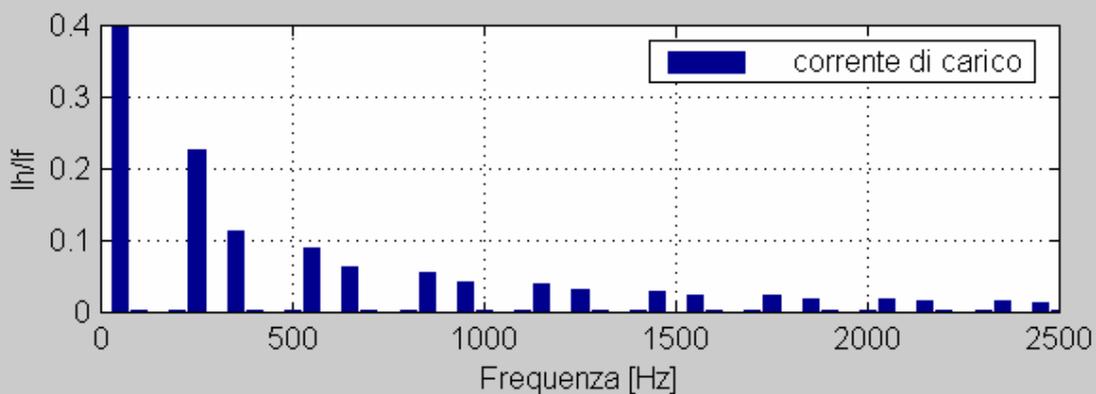
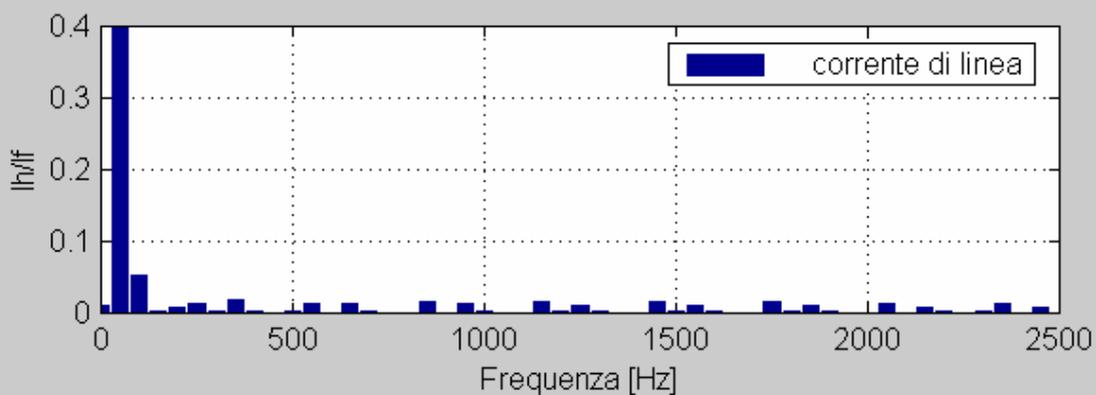
dati: ////

Forme d'onda per la compensazione di un carico non lineare.
Corrente sulla medesima fase di sorgente e di carico



21	Compensazione armonica di un carico non lineare		data: 21/12/99		
			oper: cr		
SISTEMA ELETTRICO		SISTEMA DI CONTROLLO			
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S	[μ s]	80
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	12.5
Potenza attiva carico lineare P_L	[KW]	/	Regolatore corrente K_C		1.2
Potenza reattiva carico lineare Q_L	[KVAR]	/	Regolatore tensione K_P		0.8
Tipo carico non lineare		ponte diodi	Regolatore tensione K_i		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	50	Tensione di riferimento bus DC V_{dc}^*	[V]	700
Induttanza di disaccoppiamento L_f	[mH]	0.6	FILTRO D'INGRESSO		NO
Resistenza parassita serie disacc. R_f	[m Ω]	10			
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			
modello: pd12.mdl		dati: ////			

Analisi armonica per la compensazione di un carico non lineare.
 Corrente sulla medesima fase di sorgente e di carico, $I_{fond}=1$

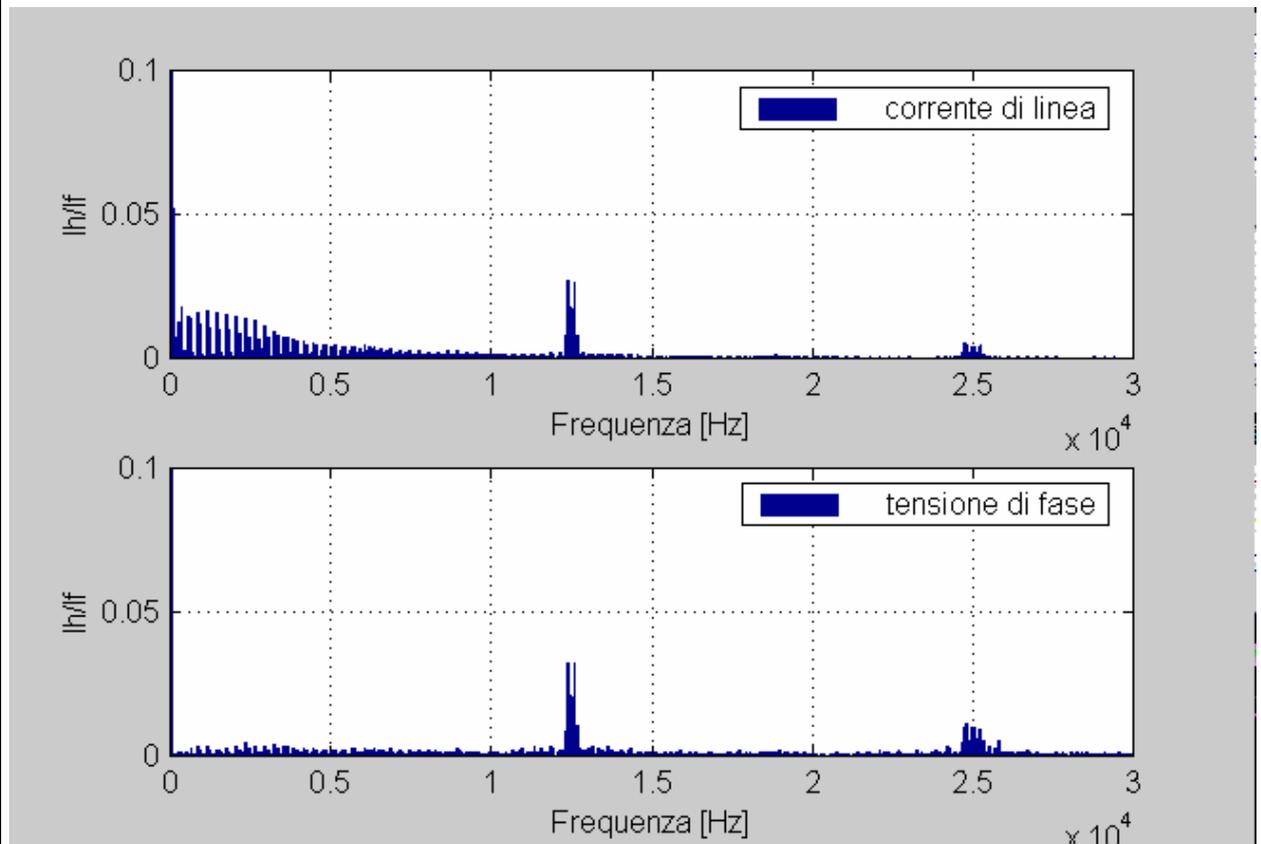


22	Compensazione armonica di un carico non lineare		data: 21/12/99
			oper: cr
SISTEMA ELETTRICO		SISTEMA DI CONTROLLO	
Tensione di fase di sorgente V_S	[V _{RMS}]	230	Tempo di campionamento T_S
Resistenza di fase di sorgente R_S	[mΩ]	8.1	[μs]
Induttanza di fase di sorgente L_S	[μH]	67	80
Potenza attiva carico lineare P_L	[KW]	/	Tipo di modulatore
Potenza reattiva carico lineare Q_L	[KVAR]	/	PWM syn.
Tipo carico non lineare	ponete diodi		Frequenza di commutazione f_{sw}
Corrente di linea carico non lineare I_L	[A _{RMS}]	50	[KHz]
Induttanza di disaccoppiamento L_f	[mH]	0.6	12.5
Resistenza parassita serie disacc. R_f	[mΩ]	10	Regolatore corrente K_C
Capacità bus DC C_{DC}	[mF]	4	1.2
Resistenza parassita par. bus DC R_{DC}	[KΩ]	30	Regolatore tensione K_P
			0.8
			Regolatore tensione K_i
			50
			Tensione di riferimento bus DC V_{dc}^*
			[V]
			700
			FILTRO D'INGRESSO
			NO

modello: pd12.mdl

dati: ////

Forme d'onda per la compensazione di un carico non lineare.
Corrente sulla medesima fase di sorgente e di carico



23	Compensazione con rete distorta da 5^a armonica	data: 08/08/2000
		oper: crossi

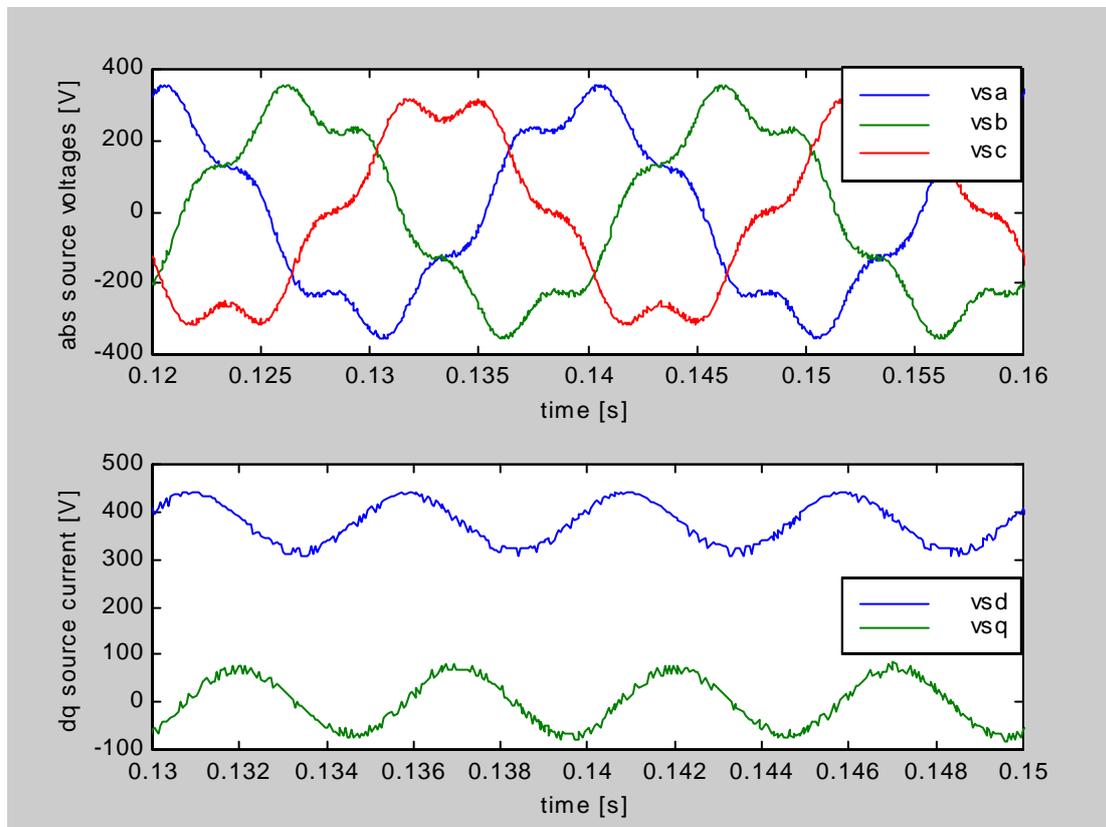
SISTEMA ELETTTRICO			SISTEMA DI CONTROLLO	
Tensione di fase fondamentale V_{1+} [V _{RMS}]	230		Circuito di agganciamento in fase	TPLL
Frequenza fondamentale f_{1+} [Hz]	50		Parametro prop. regolatore TPLL K_P	0.3
Tensione di fase disturbo V_d [V _{RMS}]	23		Parametro integ. regolatore TPLL K_I	600
Frequenza disturbo f_d [Hz]	250		Controllo della corrente su assi	dq - sincroni
Angolo di fase disturbo (rispetto fond.) [gradi]	30		Parametro prop. regolatore corrente K_P	50
Resistenza di fase di sorgente R_S [m Ω]	8.1		Parametro integ. regolatore corrente K_I	40
Induttanza di fase di sorgente L_S [μ H]	67		Tensione di riferimento bus DC V_{dc}^* [V]	700
Potenza attiva carico lineare P_L [KW]	30		Regolatore tensione bus dc K_P	0.8
Potenza reattiva carico lineare Q_L [KVAR]	15		Regolatore tensione bus dc K_I	50
Tipo carico non lineare	/		Tempo di campionamento T_S [μ s]	100
Corrente di linea carico non lineare I_L [A _{RMS}]	/		Tipo di modulatore	PWM
Induttanza di disaccoppiamento L_f [mH]	2		Frequenza di commutazione f_{sw} [KHz]	10
Resistenza parassita serie disacc. R_f [m Ω]	5			
Capacità bus DC C_{DC} [mF]	4			
Resistenza parassita par. bus DC R_{DC} [K Ω]	30			

modello: APF_d5atpll.mdl

dati: APF_d5atpll.mat

Tensioni di sorgente distorte da una componente di 5^a armonica, pari a circa il 10% della fondamentale.

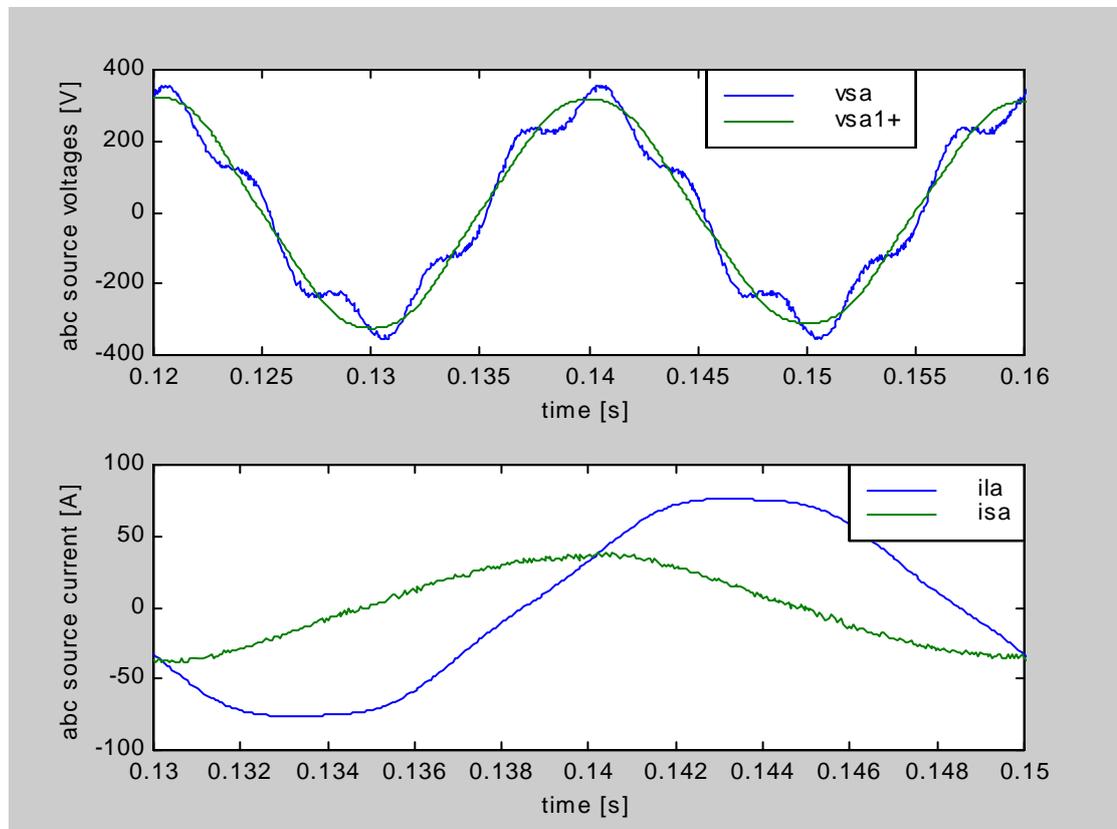
1. tensione di sorgente sugli assi fissi abc,;
2. tensione di sorgente sugli assi dq sincroni con l'argomento della componente fondamentale di sequenza positiva.



24	Compensazione con rete distorta da 5 ^a armonica		data: 08/08/2000	
			oper: crossi	
SISTEMA ELETTRICO			SISTEMA DI CONTROLLO	
Tensione di fase fondamentale V ₁₊ [V _{RMS}]	230	Circuito di agganciamento in fase	TPLL	
Frequenza fondamentale f ₁₊ [Hz]	50	Parametro prop. regolatore TPLL K _P	0.3	
Tensione di fase disturbo V _d [V _{RMS}]	23	Parametro integ. regolatore TPLL K _I	600	
Frequenza disturbo f _d [Hz]	250	Controllo della corrente su assi	dq - sincroni	
Angolo di fase disturbo (rispetto fond.) [gradi]	0	Parametro prop. regolatore corrente K _P	50	
Resistenza di fase di sorgente R _S [mΩ]	8.1	Parametro integ. regolatore corrente K _I	40	
Induttanza di fase di sorgente L _S [μH]	67	Tensione di riferimento bus DC V _{dc} * [V]	700	
Potenza attiva carico lineare P _L [KW]	30	Regolatore tensione bus dc K _P	0.8	
Potenza reattiva carico lineare Q _L [KVAR]	15	Regolatore tensione bus dc K _I	50	
Tipo carico non lineare	/	Tempo di campionamento T _S [μs]	100	
Corrente di linea carico non lineare I _L [A _{RMS}]	/	Tipo di modulatore	PWM	
Induttanza di disaccoppiamento L _f [mH]	2	Frequenza di commutazione f _{sw} [KHz]	10	
Resistenza parassita serie disacc. R _f [mΩ]	5			
Capacità bus DC C _{DC} [mF]	4			
Resistenza parassita par. bus DC R _{DC} [KΩ]	30			
modello: APF_d5atpll.mdl			dati: apf_distorto.mat	

Tensioni di sorgente distorte da una componente di 5^a armonica, pari a circa il 10% della fondamentale.

- tensione di fase V_{sa} sugli assi fissi abc, e della corrispondente fondamentale V_{sa1+} di sequenza positiva calcolata dal TPLL;
- corrente di carico I_{la} e corrente di sorgente di riferimento I_{sa} richiesta al regolatore di corrente



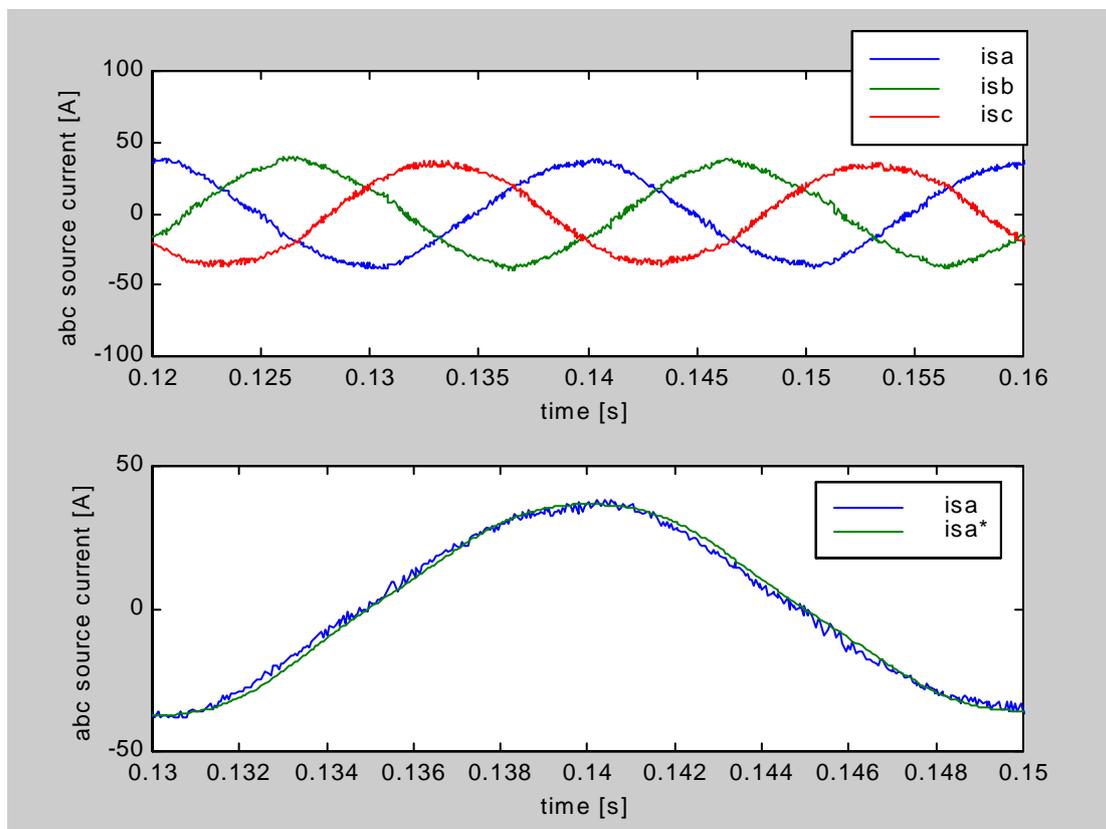
SISTEMA ELETTRICO			SISTEMA DI CONTROLLO	
Tensione di fase fondamentale V_{1+} [V _{RMS}]	230		Circuito di agganciamento in fase	TPLL
Frequenza fondamentale f_{1+} [Hz]	50		Parametro prop. regolatore TPLL K_P	0.3
Tensione di fase disturbo V_d [V _{RMS}]	23		Parametro integ. regolatore TPLL K_I	600
Frequenza disturbo f_d [Hz]	250		Controllo della corrente su assi	dq - sincroni
Angolo di fase disturbo (rispetto fond.) [gradi]	0		Parametro prop. regolatore corrente K_P	50
Resistenza di fase di sorgente R_S [mΩ]	8.1		Parametro integ. regolatore corrente K_I	40
Induttanza di fase di sorgente L_S [μH]	67		Tensione di riferimento bus DC V_{dc}^* [V]	700
Potenza attiva carico lineare P_L [KW]	30		Regolatore tensione bus dc K_P	0.8
Potenza reattiva carico lineare Q_L [KVAR]	15		Regolatore tensione bus dc K_I	50
Tipo carico non lineare	/		Tempo di campionamento T_S [μs]	100
Corrente di linea carico non lineare I_L [A _{RMS}]	/		Tipo di modulatore	PWM
Induttanza di disaccoppiamento L_f [mH]	2		Frequenza di commutazione f_{sw} [KHz]	10
Resistenza parassita serie disacc. R_f [mΩ]	5			
Capacità bus DC C_{DC} [mF]	4			
Resistenza parassita par. bus DC R_{DC} [KΩ]	30			

modello: **APF_d5atpll.mdl**

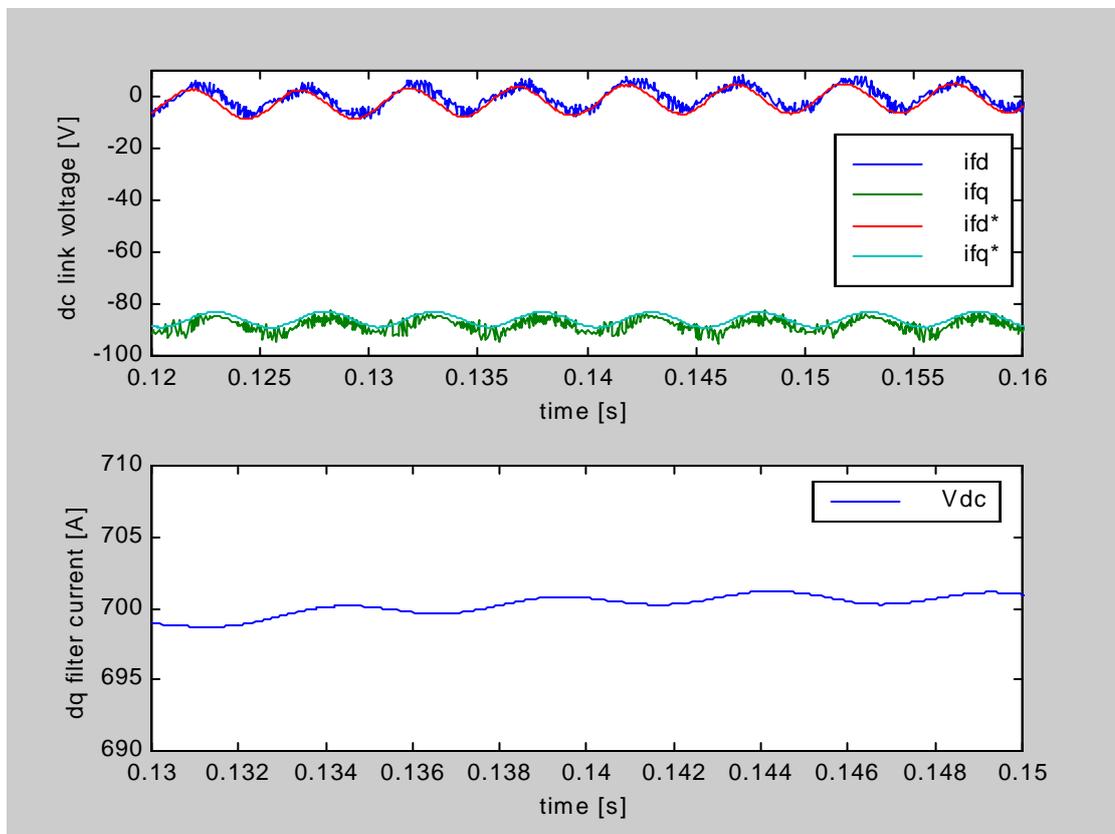
dati: **apf_distorto.mat**

Tensioni di sorgente distorte da una componente di 5^a armonica, pari a circa il 10% della fondamentale.

1. correnti di sorgente sugli assi fissi abc;
2. corrente di sorgente nella fase a I_{sa} e andamento teorico dato dal suo riferimento I_{sa}^* , nel s.d.r. abc.



26	Compensazione con rete distorta da 5 ^a armonica		data: 08/08/2000	
			oper: crossi	
SISTEMA ELETTRICO			SISTEMA DI CONTROLLO	
Tensione di fase fondamentale V ₁₊ [V _{RMS}]	230		Circuito di agganciamento in fase	TPLL
Frequenza fondamentale f ₁₊ [Hz]	50		Parametro prop. regolatore TPLL K _P	0.3
Tensione di fase disturbo V _d [V _{RMS}]	23		Parametro integ. regolatore TPLL K _I	600
Frequenza disturbo f _d [Hz]	250		Controllo della corrente su assi	dq - sincroni
Angolo di fase disturbo (rispetto fond.) [gradi]	0		Parametro prop. regolatore corrente K _P	50
Resistenza di fase di sorgente R _S [mΩ]	8.1		Parametro integ. regolatore corrente K _I	40
Induttanza di fase di sorgente L _S [μH]	67		Tensione di riferimento bus DC V _{dc} * [V]	700
Potenza attiva carico lineare P _L [KW]	30		Regolatore tensione bus dc K _P	0.8
Potenza reattiva carico lineare Q _L [KVAR]	15		Regolatore tensione bus dc K _I	50
Tipo carico non lineare	/		Tempo di campionamento T _S [μs]	100
Corrente di linea carico non lineare I _L [A _{RMS}]	/		Tipo di modulatore	PWM
Induttanza di disaccoppiamento L _f [mH]	2		Frequenza di commutazione f _{sw} [KHz]	10
Resistenza parassita serie disacc. R _f [mΩ]	5			
Capacità bus DC C _{DC} [mF]	4			
Resistenza parassita par. bus DC R _{DC} [KΩ]	30			
modello: APF_d5atpll.mdl			dati: apf_distorto.mat	
Tensioni di sorgente distorte da una componente di 5 ^a armonica, pari a circa il 10% della fondamentale.				
1. correnti di filtro misurate i _f e di riferimento i _f * nel s.d.r. sincrono all'argomento calcolato dal TPLL				
2. tensione di bus dc V _{dc}				



27	Compensazione con rete distorta da 5^a armonica	data: 08/08/2000
		oper: crossi

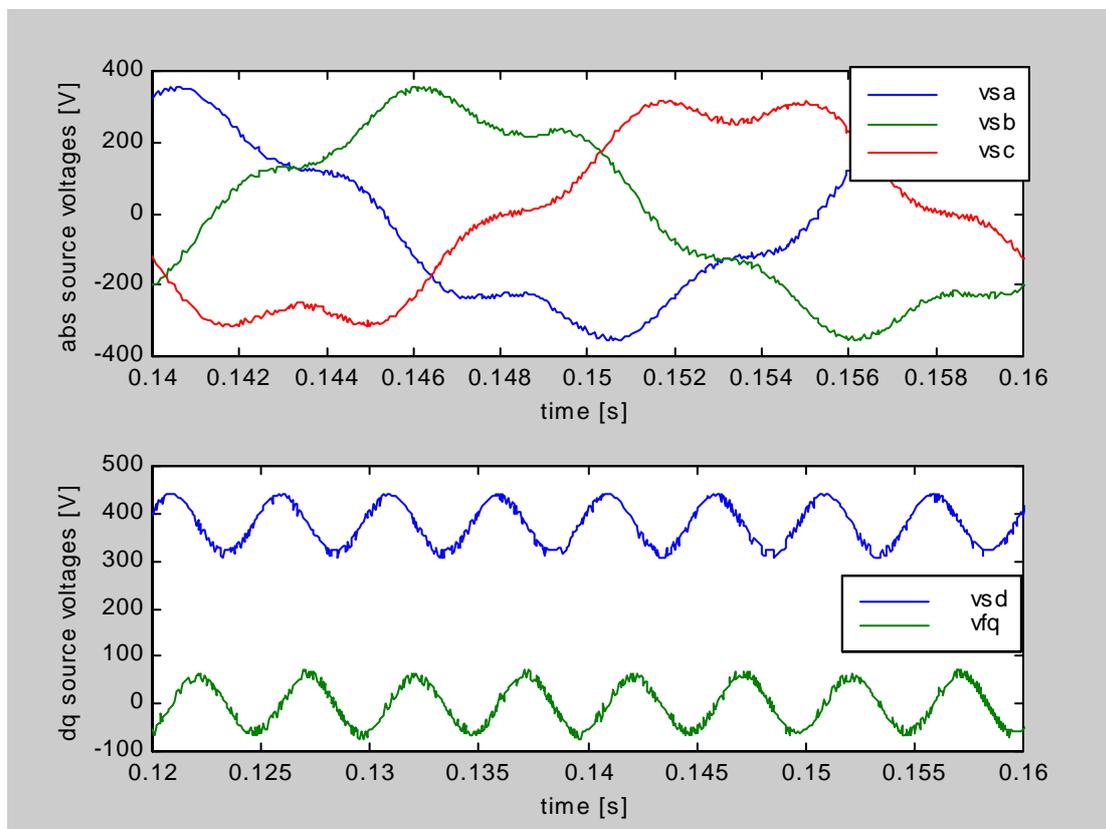
SISTEMA ELETTTRICO			SISTEMA DI CONTROLLO	
Tensione di fase fondamentale V_{1+} [V _{RMS}]	230		Circuito di agganciamento in fase	zero cross.
Frequenza fondamentale f_{1+} [Hz]	50			
Tensione di fase disturbo V_d [V _{RMS}]	23		Controllo della corrente su assi	dq - sincroni
Frequenza disturbo f_d [Hz]	250		Parametro prop. regolatore corrente K_P	50
Angolo di fase disturbo (rispetto fond.) [gradi]	0		Parametro integ. regolatore corrente K_I	40
Resistenza di fase di sorgente R_S [m Ω]	8.1		Tensione di riferimento bus DC V_{dc}^* [V]	700
Induttanza di fase di sorgente L_S [μ H]	67		Regolatore tensione bus dc K_P	0.8
Potenza attiva carico lineare P_L [KW]	30		Regolatore tensione bus dc K_i	50
Potenza reattiva carico lineare Q_L [KVAR]	15		Tempo di campionamento T_S [μ s]	100
Tipo carico non lineare	/		Tipo di modulatore	PWM
Corrente di linea carico non lineare I_L [A _{RMS}]	/		Frequenza di commutazione f_{sw} [KHz]	10
Induttanza di disaccoppiamento L_f [mH]	2			
Resistenza parassita serie disacc. R_f [m Ω]	5			
Capacità bus DC C_{DC} [mF]	4			
Resistenza parassita par. bus DC R_{DC} [K Ω]	30			

modello: APF_d5aclass.mdl

dati: apf_distorto.mat

Tensioni di sorgente distorte da una componente di 5^a armonica, pari a circa il 10% della fondamentale.

1. tensione di sorgente sugli assi fissi abc,;
2. tensione di sorgente sugli assi dq sincroni



28	Compensazione con rete distorta da 5^a armonica	data: 08/08/2000
		oper: crossi

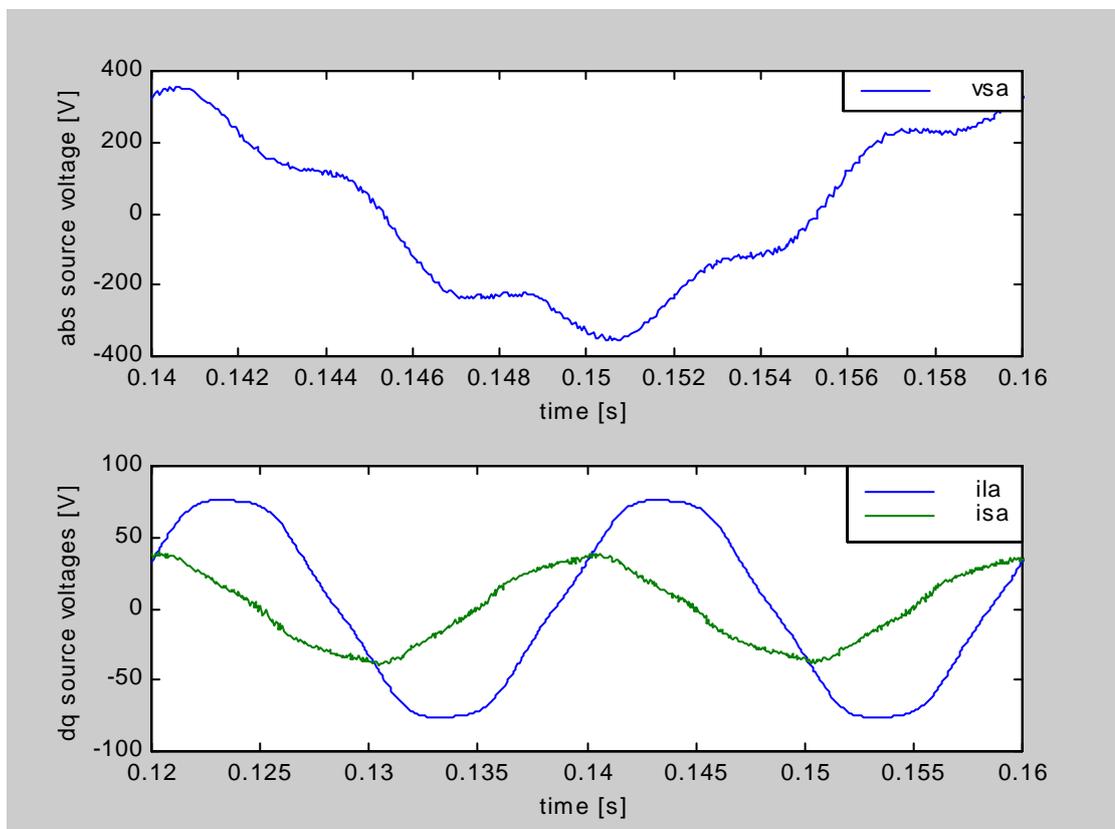
SISTEMA ELETTRICO			SISTEMA DI CONTROLLO	
Tensione di fase fondamentale V1+ [V _{RMS}]	230		Circuito di agganciamento in fase	zero cross.
Frequenza fondamentale f1+ [Hz]	50			
Tensione di fase disturbo Vd [V _{RMS}]	23		Controllo della corrente su assi	dq - sincroni
Frequenza disturbo fd [Hz]	250		Parametro prop. regolatore corrente K _P	50
Angolo di fase disturbo (rispetto fond.) [gradi]	0		Parametro integ. regolatore corrente K _I	40
Resistenza di fase di sorgente R _S [mΩ]	8.1		Tensione di riferimento bus DC V _{dc} * [V]	700
Induttanza di fase di sorgente L _S [μH]	67		Regolatore tensione bus dc K _P	0.8
Potenza attiva carico lineare P _L [KW]	30		Regolatore tensione bus dc K _I	50
Potenza reattiva carico lineare Q _L [KVAR]	15		Tempo di campionamento T _S [μs]	100
Tipo carico non lineare	/		Tipo di modulatore	PWM
Corrente di linea carico non lineare I _L [A _{RMS}]	/		Frequenza di commutazione f _{sw} [KHz]	10
Induttanza di disaccoppiamento L _f [mH]	2			
Resistenza parassita serie disacc. R _f [mΩ]	5			
Capacità bus DC C _{DC} [mF]	4			
Resistenza parassita par. bus DC R _{DC} [KΩ]	30			

modello: APF_d5aclass.mdl

dati: apf_distorto.mat

Tensioni di sorgente distorte da una componente di 5^a armonica, pari a circa il 10% della fondamentale.

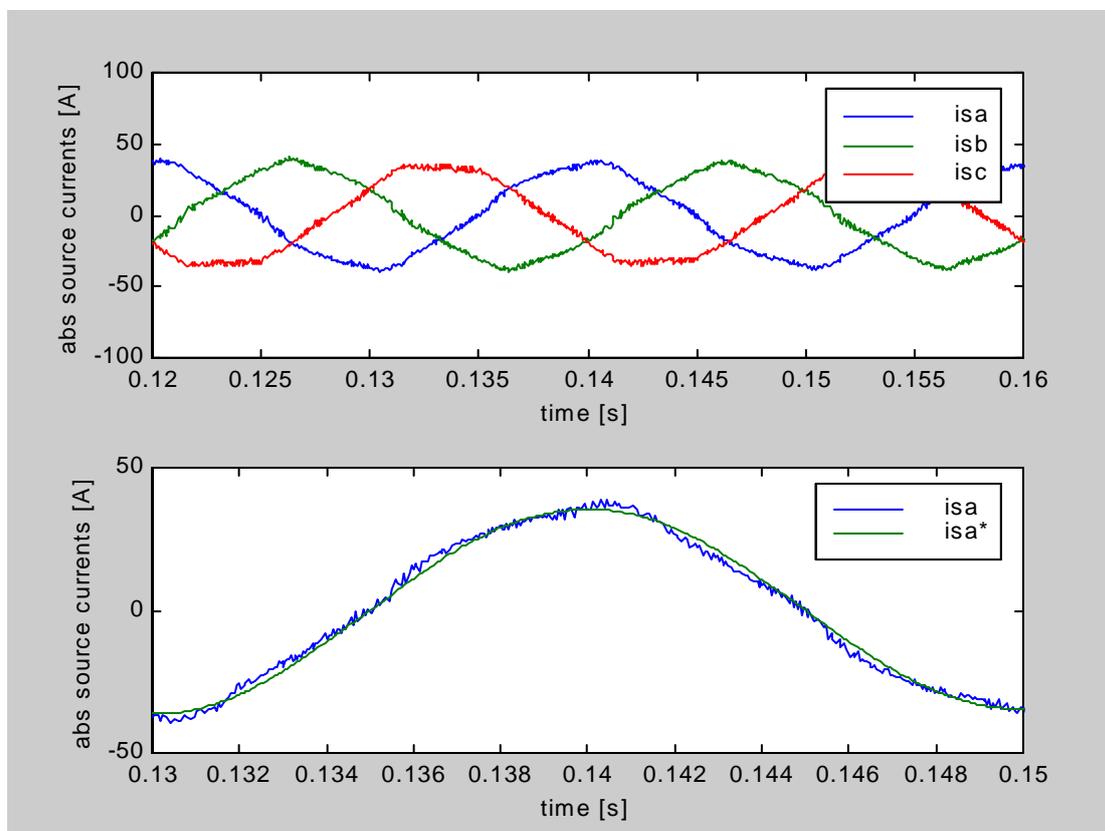
1. tensione di fase V_{sa} sugli assi fissi abc;
2. corrente di carico I_{la} e corrente di sorgente di riferimento I_{sa}* richiesta al regolatore di corrente



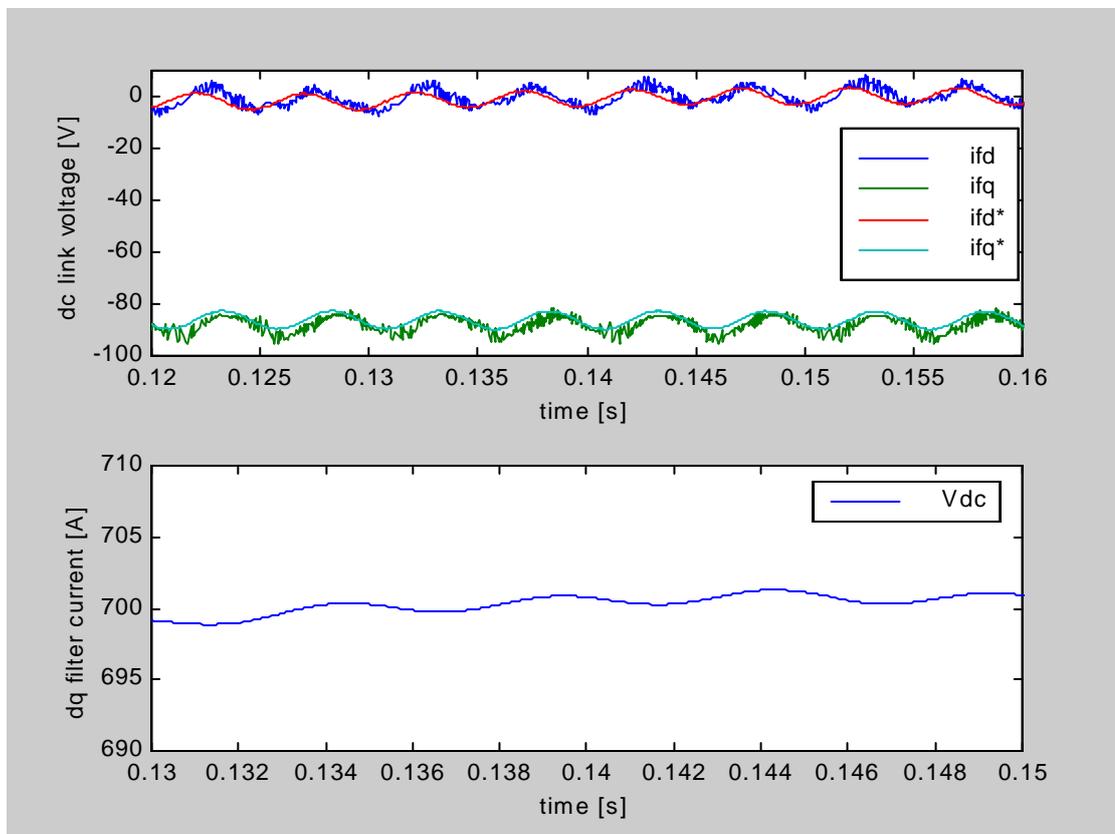
29	Compensazione con rete distorta da 5^a armonica		data: 08/08/2000	
			oper: crossi	
SISTEMA ELETTTRICO			SISTEMA DI CONTROLLO	
Tensione di fase fondamentale V _{l+} [V _{RMS}]	230		Circuito di agganciamento in fase	zero cross.
Frequenza fondamentale f _{l+} [Hz]	50			
Tensione di fase disturbo V _d [V _{RMS}]	23		Controllo della corrente su assi	dq - sincroni
Frequenza disturbo f _d [Hz]	250		Parametro prop. regolatore corrente K _P	50
Angolo di fase disturbo (rispetto fond.) [gradi]	0		Parametro integ. regolatore corrente K _I	40
Resistenza di fase di sorgente R _S [mΩ]	8.1		Tensione di riferimento bus DC V _{dc} [*] [V]	700
Induttanza di fase di sorgente L _S [μH]	67		Regolatore tensione bus dc K _P	0.8
Potenza attiva carico lineare P _L [KW]	30		Regolatore tensione bus dc K _I	50
Potenza reattiva carico lineare Q _L [KVAR]	15		Tempo di campionamento T _S [μs]	100
Tipo carico non lineare	/		Tipo di modulatore	PWM
Corrente di linea carico non lineare I _L [A _{RMS}]	/		Frequenza di commutazione f _{sw} [KHz]	10
Induttanza di disaccoppiamento L _f [mH]	2			
Resistenza parassita serie disacc. R _f [mΩ]	5			
Capacità bus DC C _{DC} [mF]	4			
Resistenza parassita par. bus DC R _{DC} [KΩ]	30			
modello: APF_d5aclass.mdl			dati: apf_distorto.mat	

Tensioni di sorgente distorte da una componente di 5^a armonica, pari a circa il 10% della fondamentale.

1. correnti di sorgente sugli assi fissi abc;
2. corrente di sorgente nella fase a I_{sa} e andamento teorico dato dal suo riferimento I_{sa}^{*}, nel s.d.r. abc



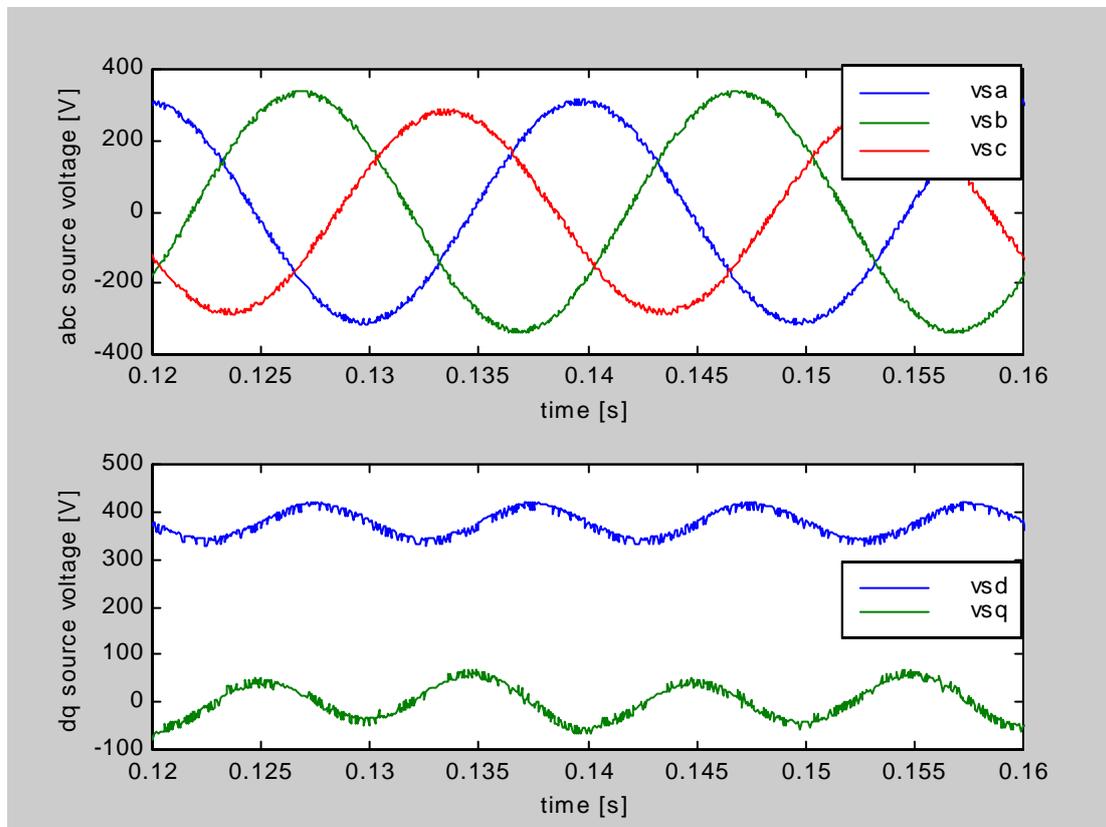
30	Compensazione con rete distorta da 5 ^a armonica		data: 08/08/2000	
			oper: crossi	
SISTEMA ELETTTRICO			SISTEMA DI CONTROLLO	
Tensione di fase fondamentale V ₁₊ [V _{RMS}]	230		Circuito di agganciamento in fase	zero cross.
Frequenza fondamentale f ₁₊ [Hz]	50			
Tensione di fase disturbo V _d [V _{RMS}]	23			
Frequenza disturbo f _d [Hz]	250		Controllo della corrente su assi	dq - sincroni
Angolo di fase disturbo (rispetto fond.) [gradi]	0		Parametro prop. regolatore corrente K _P	50
Resistenza di fase di sorgente R _S [mΩ]	8.1		Parametro integ. regolatore corrente K _I	40
Induttanza di fase di sorgente L _S [μH]	67		Tensione di riferimento bus DC V _{dc} * [V]	700
Potenza attiva carico lineare P _L [KW]	30		Regolatore tensione bus dc K _P	0.8
Potenza reattiva carico lineare Q _L [KVAR]	15		Regolatore tensione bus dc K _I	50
Tipo carico non lineare	/		Tempo di campionamento T _S [μs]	100
Corrente di linea carico non lineare I _L [A _{RMS}]	/		Tipo di modulatore	PWM
Induttanza di disaccoppiamento L _f [mH]	2		Frequenza di commutazione f _{sw} [KHz]	10
Resistenza parassita serie disacc. R _f [mΩ]	5			
Capacità bus DC C _{DC} [mF]	4			
Resistenza parassita par. bus DC R _{DC} [KΩ]	30			
modello: APF_d5aclass.mdl			dati: apf_distorto.mat	
Tensioni di sorgente distorte da una componente di 5 ^a armonica, pari a circa il 10% della fondamentale.				
1. correnti di filtro misurate i _f e di riferimento i _f * nel s.d.r. sincrono				
2. tensione di bus dc V _{dc}				



31	Compensazione con rete disimmetrica		data: 08/08/2000	
			oper: crossi	
SISTEMA ELETTTRICO			SISTEMA DI CONTROLLO	
Tensione di fase fondamentale V_{1+} [V _{RMS}]	230	Circuito di agganciamento in fase	TPLL	
Frequenza fondamentale f_{1+} [Hz]	50	Parametro prop. regolatore TPLL K_P	0.3	
Tensione di fase disturbo V_d [V _{RMS}]	23	Parametro integ. regolatore TPLL K_I	600	
Frequenza disturbo f_d [Hz]	-50	Controllo della corrente su assi	dq - sincroni	
Angolo di fase disturbo (rispetto fond.) [gradi]	90	Parametro prop. regolatore corrente K_P	50	
Resistenza di fase di sorgente R_S [mΩ]	8.1	Parametro integ. regolatore corrente K_I	40	
Induttanza di fase di sorgente L_S [μH]	67	Tensione di riferimento bus DC V_{dc}^* [V]	700	
Potenza attiva carico lineare P_L [KW]	30	Regolatore tensione bus dc K_P	0.8	
Potenza reattiva carico lineare Q_L [KVAR]	15	Regolatore tensione bus dc K_I	50	
Tipo carico non lineare	/	Tempo di campionamento T_S [μs]	100	
Corrente di linea carico non lineare I_L [A _{RMS}]	/	Tipo di modulatore	PWM	
Induttanza di disaccoppiamento L_f [mH]	2	Frequenza di commutazione f_{sw} [KHz]	10	
Resistenza parassita serie disacc. R_f [mΩ]	5			
Capacità bus DC C_{DC} [mF]	4			
Resistenza parassita par. bus DC R_{DC} [KΩ]	30			
modello: APF_dinvtpll.mdl			dati: apf_distorto.mat	

Tensioni di sorgente distorte da una componente sequenza inversa, pari a circa il 10% della fondamentale.

1. tensione di sorgente sugli assi fissi abc,;
2. tensione di sorgente sugli assi dq sincroni con l'argomento della componente fondamentale di sequenza positiva.



32	Compensazione con rete disimmetrica	data: 08/08/2000
		oper: crossi

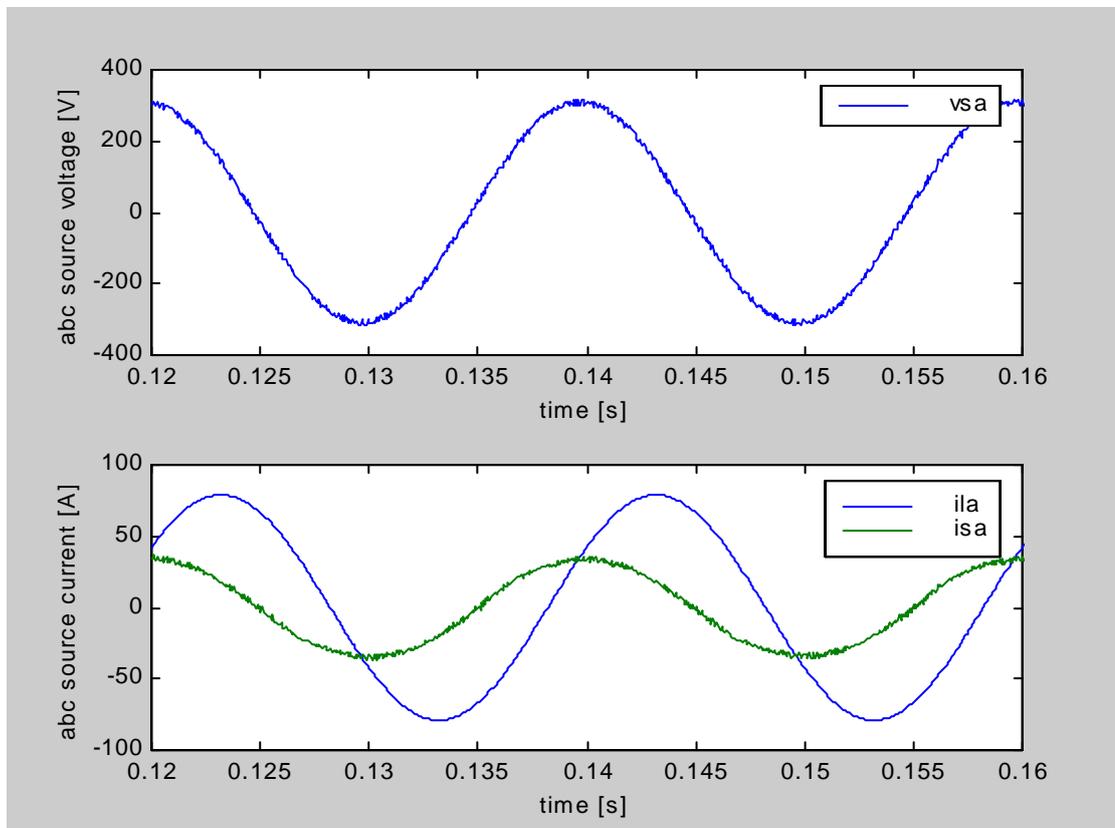
SISTEMA ELETTTRICO			SISTEMA DI CONTROLLO	
Tensione di fase fondamentale V1+ [V _{RMS}]	230		Circuito di agganciamento in fase	TPLL
Frequenza fondamentale f1+ [Hz]	50		Parametro prop. regolatore TPLL K _P	0.3
Tensione di fase disturbo Vd [V _{RMS}]	23		Parametro integ. regolatore TPLL K _I	600
Frequenza disturbo fd [Hz]	250		Controllo della corrente su assi	dq - sincroni
Angolo di fase disturbo (rispetto fond.) [gradi]	0		Parametro prop. regolatore corrente K _P	50
Resistenza di fase di sorgente R _S [mΩ]	8.1		Parametro integ. regolatore corrente K _I	40
Induttanza di fase di sorgente L _S [μH]	67		Tensione di riferimento bus DC V _{dc} * [V]	700
Potenza attiva carico lineare P _L [KW]	30		Regolatore tensione bus dc K _P	0.8
Potenza reattiva carico lineare Q _L [KVAR]	15		Regolatore tensione bus dc K _I	50
Tipo carico non lineare	/		Tempo di campionamento T _S [μs]	100
Corrente di linea carico non lineare I _L [A _{RMS}]	/		Tipo di modulatore	PWM
Induttanza di disaccoppiamento L _f [mH]	2		Frequenza di commutazione f _{sw} [KHz]	10
Resistenza parassita serie disacc. R _f [mΩ]	5			
Capacità bus DC C _{DC} [mF]	4			
Resistenza parassita par. bus DC R _{DC} [KΩ]	30			

modello: APF_dinvtpll.mdl

dati: apf_distorto.mat

Tensioni di sorgente distorte da una componente di sequenza inversa, pari al 10% della fondamentale.

1. tensione di fase V_{sa} sugli assi fissi abc, e della corrispondente fondamentale V_{sa1+} di sequenza positiva calcolata dal TPLL;
2. corrente di carico I_{la} e corrente di riferimento I_{sa}* richiesta al regolatore di corrente



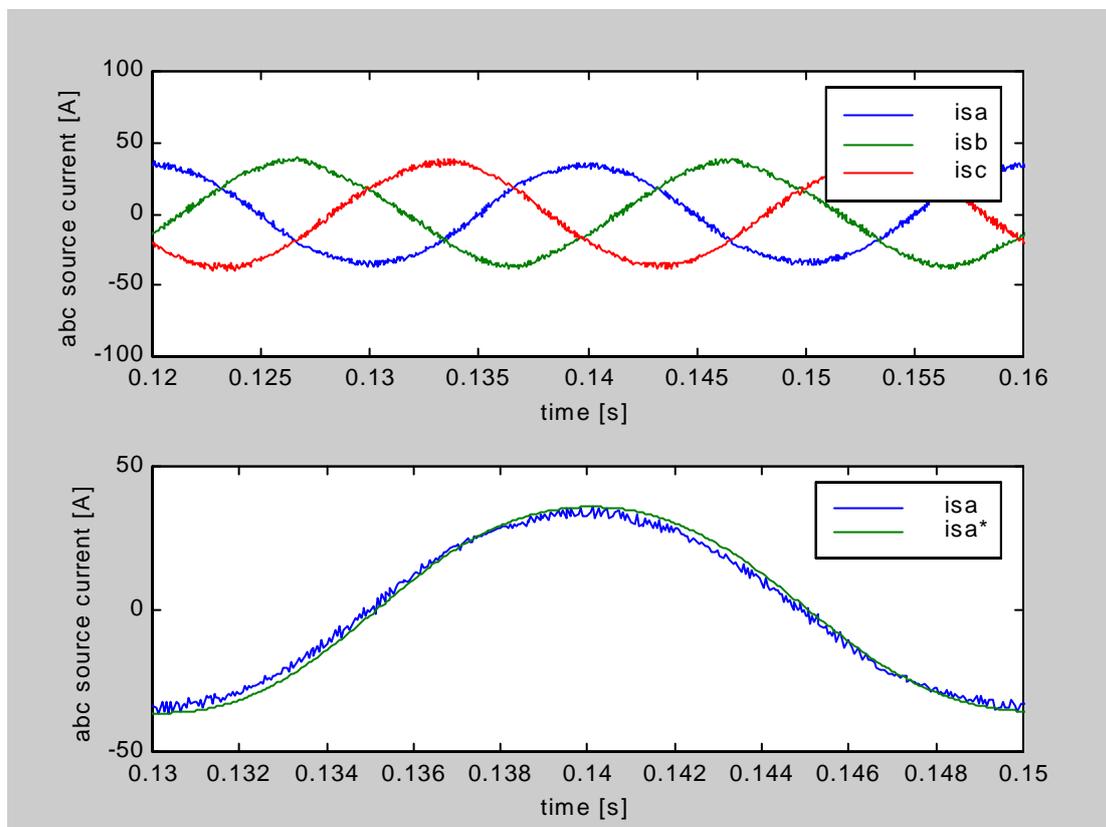
SISTEMA ELETTTRICO			SISTEMA DI CONTROLLO	
Tensione di fase fondamentale V_{1+} [V _{RMS}]	230		Circuito di agganciamento in fase	TPLL
Frequenza fondamentale f_{1+} [Hz]	50		Parametro prop. regolatore TPLL K_P	0.3
Tensione di fase disturbo V_d [V _{RMS}]	23		Parametro integ. regolatore TPLL K_I	600
Frequenza disturbo f_d [Hz]	250		Controllo della corrente su assi	dq - sincroni
Angolo di fase disturbo (rispetto fond.) [gradi]	0		Parametro prop. regolatore corrente K_P	50
Resistenza di fase di sorgente R_S [mΩ]	8.1		Parametro integ. regolatore corrente K_I	40
Induttanza di fase di sorgente L_S [μH]	67		Tensione di riferimento bus DC V_{dc}^* [V]	700
Potenza attiva carico lineare P_L [KW]	30		Regolatore tensione bus dc K_P	0.8
Potenza reattiva carico lineare Q_L [KVAR]	15		Regolatore tensione bus dc K_I	50
Tipo carico non lineare	/		Tempo di campionamento T_S [μs]	100
Corrente di linea carico non lineare I_L [A _{RMS}]	/		Tipo di modulatore	PWM
Induttanza di disaccoppiamento L_f [mH]	2		Frequenza di commutazione f_{sw} [KHz]	10
Resistenza parassita serie disacc. R_f [mΩ]	5			
Capacità bus DC C_{DC} [mF]	4			
Resistenza parassita par. bus DC R_{DC} [KΩ]	30			

modello: APF_dinvtpll.mdl

dati: apf_distorto.mat

Tensioni di sorgente distorta da una componente di sequenza inversa pari a circa il 10% della fondamentale.

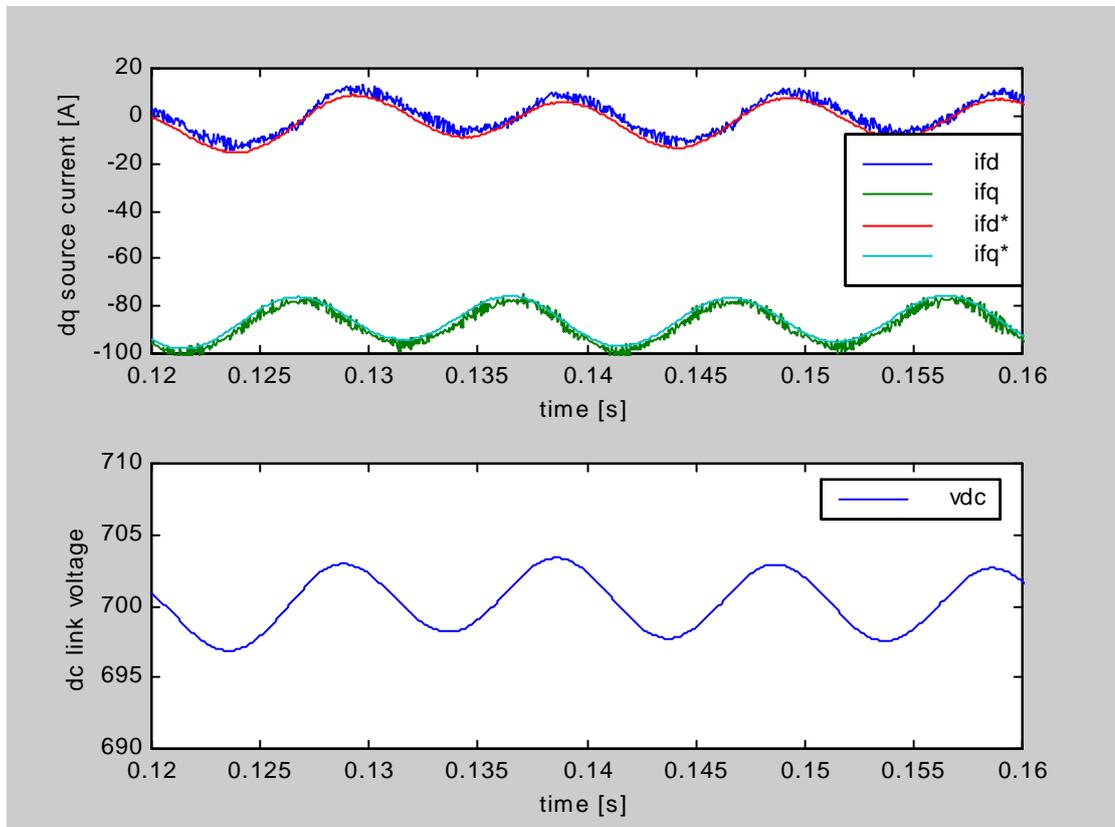
1. correnti di sorgente sugli assi fissi abc;
2. corrente di sorgente nella fase a I_{sa} e andamento teorico dato dal suo riferimento I_{sa}^* , nel s.d.r. abc.



34	Compensazione con rete disimmetrica		data: 08/08/2000	
			oper: crossi	
SISTEMA ELETTTRICO			SISTEMA DI CONTROLLO	
Tensione di fase fondamentale V1+ [V _{RMS}]	230		Circuito di agganciamento in fase	TPLL
Frequenza fondamentale f1+ [Hz]	50		Parametro prop. regolatore TPLL K _P	0.3
Tensione di fase disturbo Vd [V _{RMS}]	23		Parametro integ. regolatore TPLL K _I	600
Frequenza disturbo fd [Hz]	250		Controllo della corrente su assi	dq - sincroni
Angolo di fase disturbo (rispetto fond.) [gradi]	0		Parametro prop. regolatore corrente K _P	50
Resistenza di fase di sorgente R _S [mΩ]	8.1		Parametro integ. regolatore corrente K _I	40
Induttanza di fase di sorgente L _S [μH]	67		Tensione di riferimento bus DC V _{dc} * [V]	700
Potenza attiva carico lineare P _L [KW]	30		Regolatore tensione bus dc K _P	0.8
Potenza reattiva carico lineare Q _L [KVAR]	15		Regolatore tensione bus dc K _I	50
Tipo carico non lineare	/		Tempo di campionamento T _S [μs]	100
Corrente di linea carico non lineare I _L [A _{RMS}]	/		Tipo di modulatore	PWM
Induttanza di disaccoppiamento L _f [mH]	2		Frequenza di commutazione f _{sw} [KHz]	10
Resistenza parassita serie disacc. R _f [mΩ]	5			
Capacità bus DC C _{DC} [mF]	4			
Resistenza parassita par. bus DC R _{DC} [KΩ]	30			
modello: APF_dinvtpll.mdl			dati: apf_distorto.mat	

Tensioni di sorgente distorta da una componente di sequenza inversa pari a circa il 10% della fondamentale.

1. correnti di filtro misurate i_f e di riferimento i_f^* nel s.d.r. sincrono all'argomento calcolato dal TPLL
2. tensione di bus dc V_{dc}



35	Compensazione della potenza reattiva di un carico lineare	data: 15/9/2000
		oper: crossi

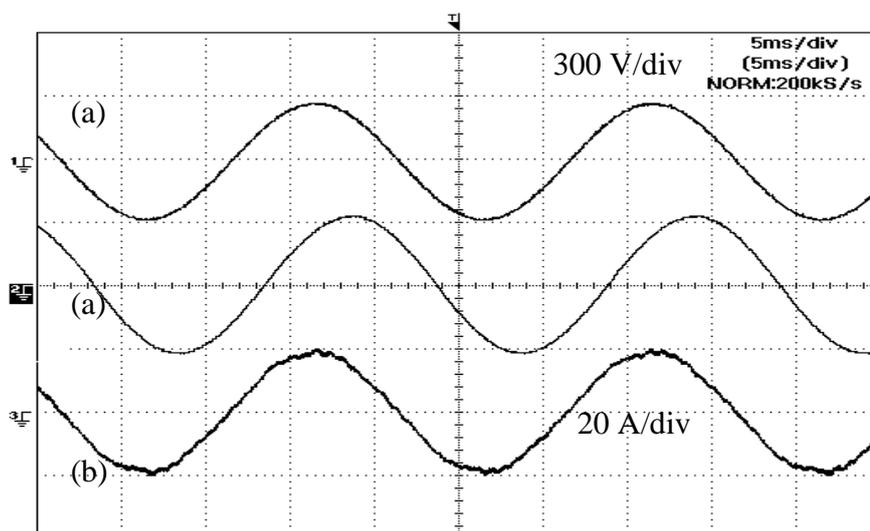
SISTEMA ELETTTRICO			SISTEMA DI CONTROLLO		
Tensione di fase di sorgente V_S	[V _{RMS}]	130	Tempo di campionamento T_S	[μ s]	100
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore		PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz]	5
Potenza attiva carico lineare P_L	[W]	4300	Parametro regolatore di corrente L_C		3
Potenza reattiva carico lineare Q_L	[VAR]	3200	Regolatore tensione K_P		0.8
Tipo carico non lineare		/	Regolatore tensione K_I		50
Corrente di linea carico non lineare I_L	[A _{RMS}]	/	Tensione di riferimento bus DC V_{dc}^*	[V]	450
Induttanza di disaccoppiamento L_f	[mH]	2	FILTRO D'INGRESSO NO		
Resistenza parassita serie disacc. R_f	[m Ω]	10			
Capacità bus DC C_{DC}	[mF]	4			
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30			

Forme d'onda per la compensazione di un carico lineare ($\cos\phi = 0,8$).

traccia (a) tensione di sorgente v_{SA0}

traccia (b) corrente di carico i_{LA}

traccia (c) corrente di sorgente i_{SA}



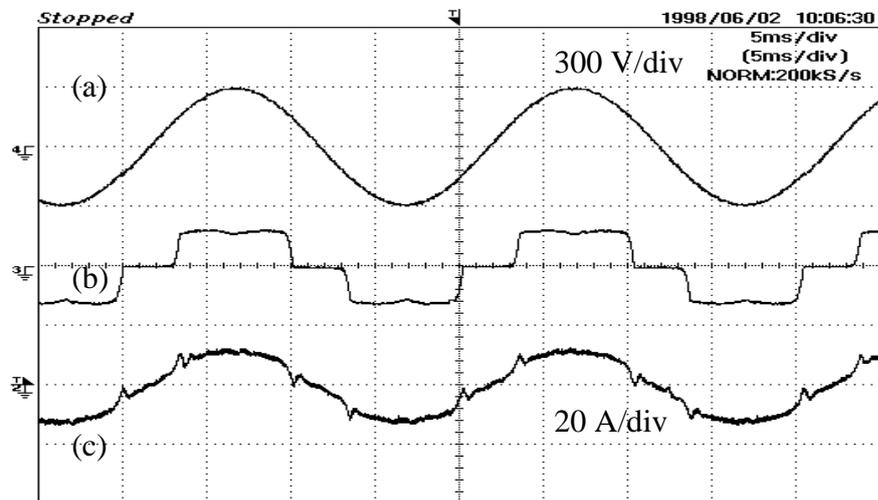
36	Compensazione corrente armonica		data: 15/09/2000	
			oper: crossi	
SISTEMA ELETTRICO			SISTEMA DI CONTROLLO	
Tensione di fase di sorgente V_S	[V _{RMS}]	130	Tempo di campionamento T_S	[μ s] 100
Resistenza di fase di sorgente R_S	[m Ω]	8.1	Tipo di modulatore	PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	67	Frequenza di commutazione f_{sw}	[KHz] 5
Potenza attiva carico lineare P_L	[KW]	/	Parametro regolatore di corrente L_C	4
Potenza reattiva carico lineare Q_L	[KVAR]	/	Regolatore tensione K_P	0.8
Tipo carico non lineare		ponte diodi	Regolatore tensione K_i	50
Corrente di linea carico non lineare I_L	[A _{RMS}]	≈ 10	Tensione di riferimento bus DC V_{dc}^*	[V] 450
Induttanza di disaccoppiamento L_f	[mH]	2	FILTRO D'INGRESSO	NO
Resistenza parassita serie disacc. R_f	[m Ω]	10		
Capacità bus DC C_{DC}	[mF]	4		
Resistenza parassita par. bus DC R_{DC}	[K Ω]	30		
modello: r11_750.mdl			dati: r11_750.mat	

Forme d'onda per la compensazione di un carico non lineare costituito da un ponte a diodi trifase non controllato lineare.

traccia (a) tensione di sorgente v_{SA0}

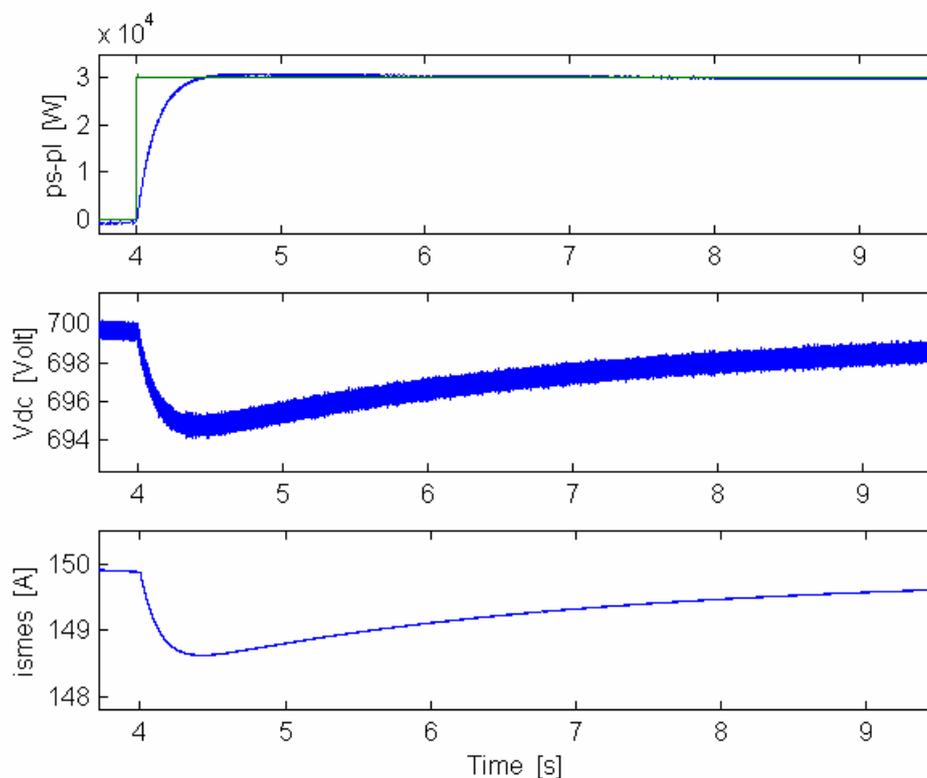
traccia (b) corrente di carico i_{LA}

traccia (c) corrente di sorgente i_{SA}

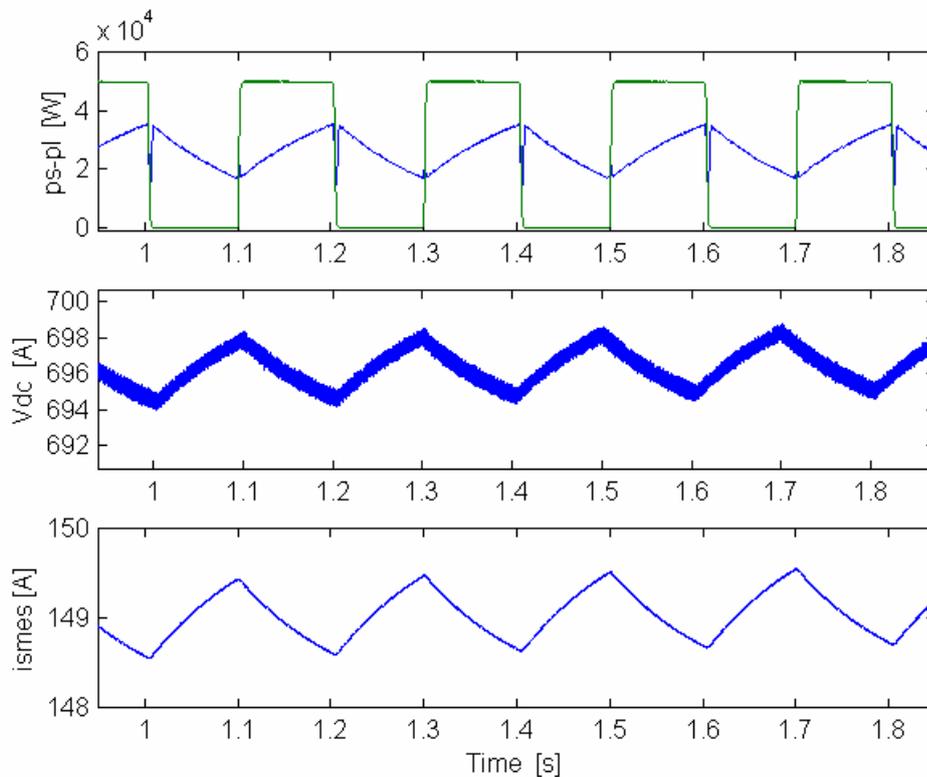


37	Risposta sistema PCS - SMES ad un gradino di carico			data: 08/10/2000 oper:
SISTEMA ELETTRICO			SISTEMA DI CONTROLLO	
Tensione di fase di sorgente V_S	[V _{RMS}]	220	Tempo di campionamento T_s	[μ s] 100
Resistenza di fase di sorgente R_S	[m Ω]	8	Tipo di modulatore	PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	60	Frequenza di commutazione f_{sw}	[KHz] 10
Potenza attiva carico lineare P_L	[KW]	30	Regolatore corrente (asse d) K_{pd}	100
Potenza reattiva carico lineare Q_L	[KVAR]	15	Regolatore corrente (asse d) K_{id}	10
Induttanza di disaccoppiamento L_f	[mH]	2	Regolatore corrente (asse q) K_{pq}	100
Resistenza parassita serie disacc. R_f	[m Ω]	50	Regolatore corrente (asse q) K_{iq}	0
Capacità bus DC C_{DC}	[mF]	20	Regolatore tensione K_I	0.0107
Resistenza parassita par. bus DC R_{DC}	[K Ω]	10	Regolatore tensione K_I	0.0043
SISTEMA DI ACCUMULO:		SMES	Tensione di riferimento bus DC V_{dc}^*	[V] 700
Induttanza Smes L_{smes}	[H]	17.8	Regolatore corrente Smes K_2	100
Resistenza parassita serie Smes R_{smes}	[m Ω]	0.1	Corrente di riferimento Smes	[A] 150
modello: SMES_PM_1.mdl			Regolatore trasferimento di energia K	0.0562
			dati: smes3.mat	

Transitorio dovuto all'inserzione di un carico ohmico - induttivo
 Andamento di p_s-p_L , V_{dc} , i_{SD} ,

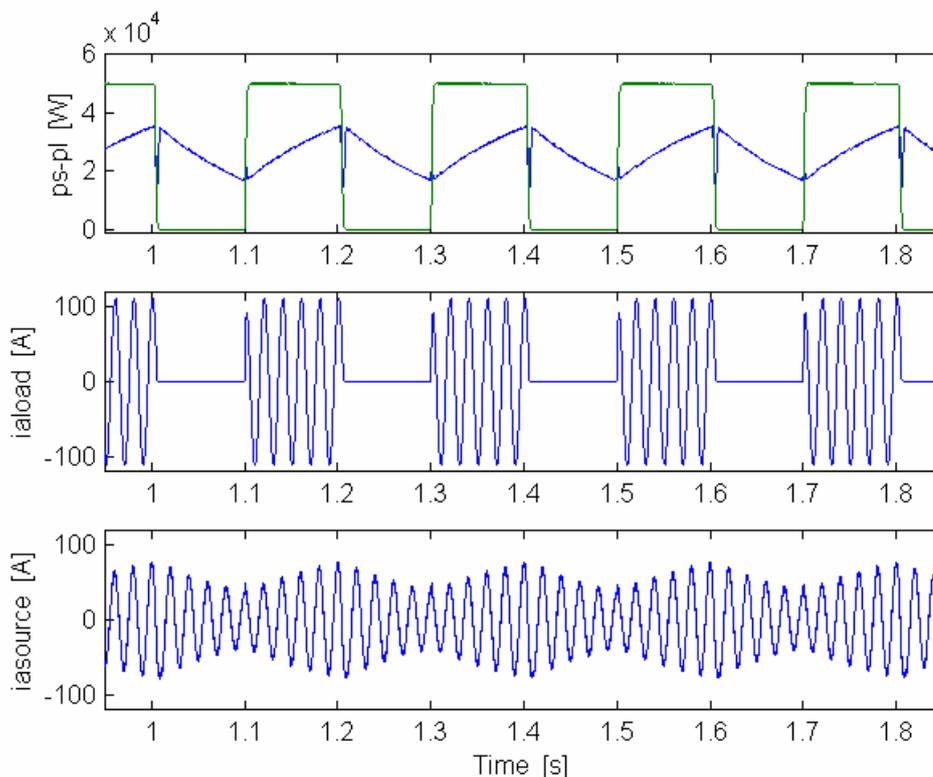


38	Risposta sistema PCS - SMES a gradini del carico		data: 08/10/2000 oper:
SISTEMA ELETTRICO		SISTEMA DI CONTROLLO	
Tensione di fase di sorgente V_S [V _{RMS}]	220	Tempo di campionamento T_s [μ s]	100
Resistenza di fase di sorgente R_S [m Ω]	8	Tipo di modulatore	PWM syn.
Induttanza di fase di sorgente L_S [μ H]	60	Frequenza di commutazione f_{sw} [KHz]	10
Potenza attiva carico lineare P_L [KW]	50	Regolatore corrente (asse d) K_{pd}	100
Potenza reattiva carico lineare Q_L [KVAR]	15	Regolatore corrente (asse d) K_{id}	10
Induttanza di disaccoppiamento L_f [mH]	2	Regolatore corrente (asse q) K_{pq}	100
Resistenza parassita serie disacc. R_f [m Ω]	50	Regolatore corrente (asse q) K_{iq}	0
Capacità bus DC C_{DC} [mF]	20	Regolatore tensione K_I	0.0107
Resistenza parassita par. bus DC R_{DC} [K Ω]	10	Regolatore tensione K_I	0.0043
SISTEMA DI ACCUMULO:		SMES	Tensione di riferimento bus DC V_{dc}^* [V]
Induttanza Smes L_{smes} [H]	17.8	Regolatore corrente Smes K_2	100
Resistenza parassita serie Smes R_{smes} [m Ω]	0.1	Corrente di riferimento Smes [A]	150
		Regolatore trasferimento di energia K	0.0562
Transitori inserzione - disinserzione carico			
Periodo [s]	0.2		
Duty cycle [%]	50		
modello: SMES_PM_2.mdl		dati: smes4.mat	
Transitori di inserzione – disinserzione del carico. Andamento di potenze istantanee di carico e di sorgente p_L , p_s , tensione V_{dc} sul bus dc, corrente I_{SD} nello SMES			



39	Risposta sistema PCS - SMES a gradini del carico		data: 08/10/2000 oper:
SISTEMA ELETTRICO		SISTEMA DI CONTROLLO	
Tensione di fase di sorgente V_S [V _{RMS}]	220	Tempo di campionamento T_S [μ s]	100
Resistenza di fase di sorgente R_S [m Ω]	8	Tipo di modulatore	PWM _{syn.}
Induttanza di fase di sorgente L_S [μ H]	60	Frequenza di commutazione f_{sw} [KHz]	10
Potenza attiva carico lineare P_L [KW]	50	Regolatore corrente (asse d) K_{pd}	100
Potenza reattiva carico lineare Q_L [KVAR]	15	Regolatore corrente (asse d) K_{id}	10
Induttanza di disaccoppiamento L_f [mH]	2	Regolatore corrente (asse q) K_{pq}	100
Resistenza parassita serie disacc. R_f [m Ω]	50	Regolatore corrente (asse q) K_{iq}	0
Capacità bus DC C_{DC} [mF]	20	Regolatore tensione K_I	0.0107
Resistenza parassita par. bus DC R_{DC} [K Ω]	10	Regolatore tensione K_I	0.0043
SISTEMA DI ACCUMULO: SMES		Tensione di riferimento bus DC V_{dc}^* [V]	700
Induttanza Smes L_{smes} [H]	17.8	Regolatore corrente Smes K_2	100
Resistenza parassita serie Smes R_{smes} [m Ω]	0.1	Corrente di riferimento Smes [A]	150
		Regolatore trasferimento di energia K	0.0562
Transitori inserzione - disinserzione carico			
Periodo [s]	0.2		
Duty cycle [%]	50		
modello: SMES_PM_2.mdl		dati: smes4.mat	

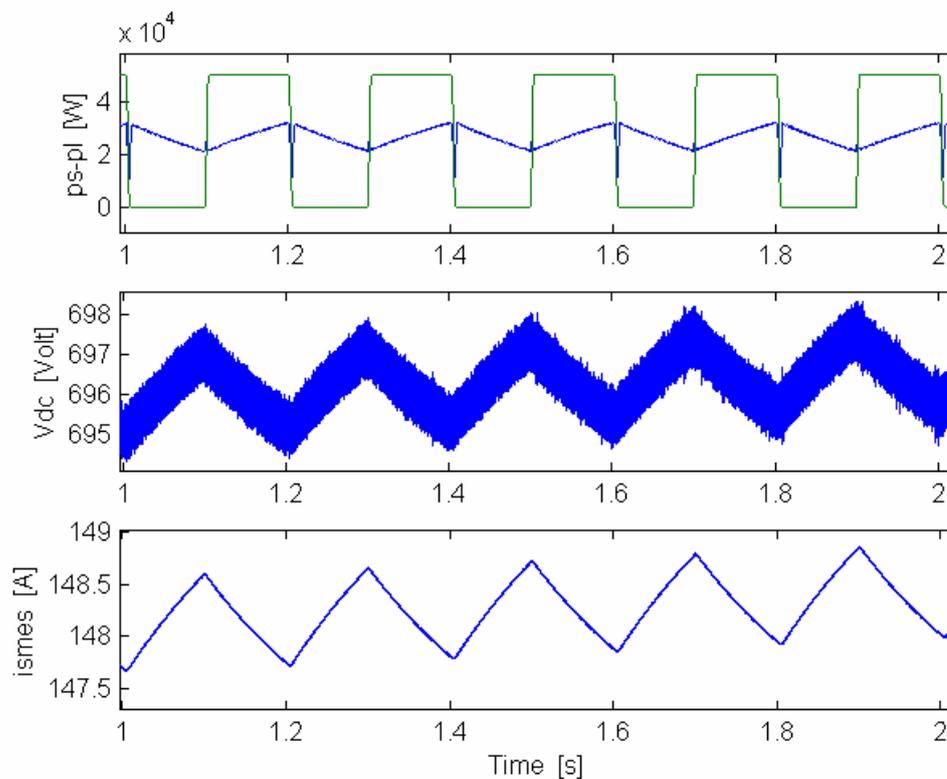
Transitori di inserzione – disinserzione del carico. Andamento di potenze istantanee di carico e di sorgente p_L p_S , corrente di carico i_L , corrente di sorgente i_S



40	Risposta sistema PCS - SMES ad un gradino di carico			data: 08/10/2000 oper:
SISTEMA ELETTTRICO			SISTEMA DI CONTROLLO	
Tensione di fase di sorgente V_S	[V _{RMS}]	220	Tempo di campionamento T_s	[μ s] 100
Resistenza di fase di sorgente R_S	[m Ω]	8	Tipo di modulatore	PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	60	Frequenza di commutazione f_{sw}	[KHz] 10
Potenza attiva carico lineare P_L	[KW]	30	Regolatore corrente (asse d) K_{pd}	100
Potenza reattiva carico lineare Q_L	[KVAR]	15	Regolatore corrente (asse d) K_{id}	10
Induttanza di disaccoppiamento L_f	[mH]	2	Regolatore corrente (asse q) K_{pq}	100
Resistenza parassita serie disacc. R_f	[m Ω]	50	Regolatore corrente (asse q) K_{iq}	0
Capacità bus DC C_{DC}	[mF]	20	Regolatore tensione K_I	0.0107
Resistenza parassita par. bus DC R_{DC}	[K Ω]	10	Regolatore tensione K_I	0.0043
			Tensione di riferimento bus DC V_{dc}^*	[V] 700
SISTEMA DI ACCUMULO		SMES	Regolatore corrente Smes K_2	100
Induttanza Smes L_{smes}	[H]	17.8	Corrente di riferimento Smes	[A] 150
Resistenza parassita serie Smes R_{smes}	[m Ω]	0.1	Regolatore trasferimento di energia K	0.1
modello: SMES_PM_1.mdl			dati: smes3.mat	
<p>Transitorio di inserzione del carico. Andamento di potenze istantanee di carico e di sorgente p_L, p_S, tensione V_{dc} sul bus dc, corrente I_{smes} nel sistema di accumulo.</p>				

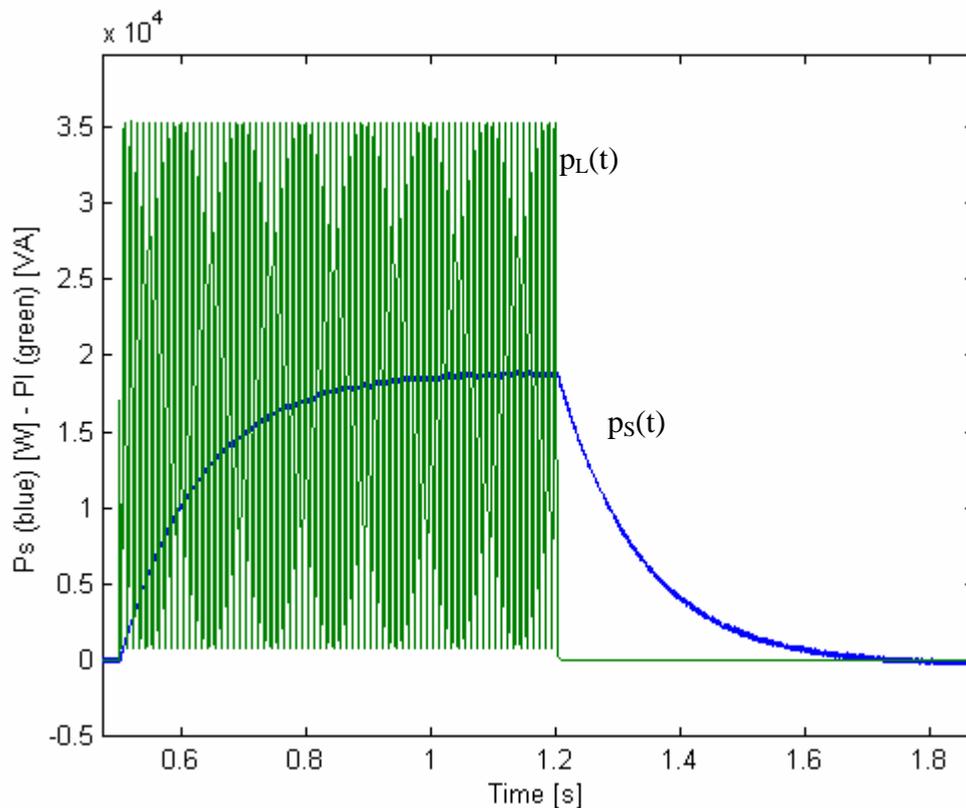
41	Risposta sistema PCS - SMES a gradini del carico		data: 08/10/2000 oper:
SISTEMA ELETTRICO		SISTEMA DI CONTROLLO	
Tensione di fase di sorgente V_S [V _{RMS}]	220	Tempo di campionamento T_S [μ s]	100
Resistenza di fase di sorgente R_S [m Ω]	8	Tipo di modulatore	PWM _{syn.}
Induttanza di fase di sorgente L_S [μ H]	60	Frequenza di commutazione f_{sw} [KHz]	10
Potenza attiva carico lineare P_L [KW]	50	Regolatore corrente (asse d) K_{pd}	100
Potenza reattiva carico lineare Q_L [KVAR]	15	Regolatore corrente (asse d) K_{id}	10
Induttanza di disaccoppiamento L_f [mH]	2	Regolatore corrente (asse q) K_{pq}	100
Resistenza parassita serie disacc. R_f [m Ω]	50	Regolatore corrente (asse q) K_{iq}	0
Capacità bus DC C_{DC} [mF]	20	Regolatore tensione K_I	0.0107
Resistenza parassita par. bus DC R_{DC} [K Ω]	10	Regolatore tensione K_I	0.0043
SISTEMA DI ACCUMULO		Tensione di riferimento bus DC V_{dc}^* [V]	700
Induttanza Smes L_{smes} [H]	17.8	Regolatore corrente Smes K_2	100
Resistenza parassita serie Smes R_{smes} [m Ω]	0.1	Corrente di riferimento Smes [A]	150
		Regolatore trasferimento di energia K	0.1
Transitori inserzione - disinserzione carico			
Periodo [s]	0.2		
Duty cycle [%]	50		
modello: SMES_PM_2.mdl		dati: smes4.mat	

Transitori di inserzione – disinserzione del carico. Andamento di potenze istantanee di carico e di sorgente p_L p_S , tensione V_{dc} sul bus dc, corrente I_{DC} nel sistema di accumulo.



42	Risposta sistema PCS - SMES a gradini del carico		data: 08/10/2000 oper:
SISTEMA ELETTRICO		SISTEMA DI CONTROLLO	
Tensione di fase di sorgente V_S [V _{RMS}]	220	Tempo di campionamento T_S [μ s]	100
Resistenza di fase di sorgente R_S [m Ω]	8	Tipo di modulatore	PWM syn.
Induttanza di fase di sorgente L_S [μ H]	60	Frequenza di commutazione f_{sw} [KHz]	10
Potenza attiva carico lineare P_L [KW]	50	Regolatore corrente (asse d) K_{pd}	100
Potenza reattiva carico lineare Q_L [KVAR]	15	Regolatore corrente (asse d) K_{id}	10
Induttanza di disaccoppiamento L_f [mH]	2	Regolatore corrente (asse q) K_{pq}	100
Resistenza parassita serie disacc. R_f [m Ω]	50	Regolatore corrente (asse q) K_{iq}	0
Capacità bus DC C_{DC} [mF]	20	Regolatore tensione K_I	0.0107
Resistenza parassita par. bus DC R_{DC} [K Ω]	10	Regolatore tensione K_I	0.0043
SISTEMA DI ACCUMULO		SMES	Tensione di riferimento bus DC V_{dc}^* [V]
Induttanza Smes L_{smes} [H]	17.8	Regolatore corrente Smes K_2	100
Resistenza parassita serie Smes R_{smes} [m Ω]	0.1	Corrente di riferimento Smes [A]	150
		Regolatore trasferimento di energia K	0.1
Transitori inserzione - disinserzione carico			
Periodo [s]	0.2		
Duty cycle [%]	50		
modello: SMES_PM_2.mdl		dati: smes4.mat	
Transitori di inserzione – disinserzione del carico. Andamento di potenze istantanee di carico e di sorgente p_L , p_S , corrente di carico i_L , corrente di sorgente i_S			

43	Compensazione di un carico squilibrato			data: 08/10/2000
				oper:
SISTEMA ELETTRICO			SISTEMA DI CONTROLLO	
Tensione di fase di sorgente V_S	[V _{RMS}]	220	Tempo di campionamento T_S	[μ s] 100
Resistenza di fase di sorgente R_S	[m Ω]	8	Tipo di modulatore	PWM syn.
Induttanza di fase di sorgente L_S	[μ H]	60	Frequenza di commutazione f_{sw}	[KHz] 10
Potenza attiva carico monofase P_L	[KW]	18	Regolatore corrente (asse d) K_{pd}	100
Potenza reattiva carico monofase Q_L	[KVAR]	15	Regolatore corrente (asse d) K_{id}	10
Induttanza di disaccoppiamento L_f	[mH]	2	Regolatore corrente (asse q) K_{pq}	100
Resistenza parassita serie disacc. R_f	[m Ω]	50	Regolatore corrente (asse q) K_{iq}	0
Capacità bus DC C_{DC}	[mF]	20	Regolatore tensione K_I	0.0107
Resistenza parassita par. bus DC R_{DC}	[K Ω]	10	Regolatore tensione K_I	0.0043
Carico monofase			Tensione di riferimento bus DC V_{dc}^*	[V] 700
SISTEMA DI ACCUMULO		SMES	Regolatore corrente Smes K_2	100
Induttanza Smes L_{smes}	[H]	17.8	Corrente di riferimento Smes	[A] 150
Resistenza parassita serie Smes R_{smes}	[m Ω]	0.1	Regolatore trasferimento di energia K	0.0562
modello: SMES_PM_1.mdl			dati:	
Transitorio di inserzione del carico monofase. Andamento delle potenze istantanee di carico e di sorgente p_L p_S .				



CONCLUSIONI

Nel presente lavoro si sono affrontati i temi del condizionamento della qualità dell'energia in rete. Lo scopo del lavoro è la definizione di una struttura hardware basata su componenti elettronici di potenza e relativo sistema di controllo digitale, che siano in grado di realizzare la migliore azione di compensazione possibile su una rete trifase in bassa tensione.

Per giungere alla definizione del Sistema di Condizionamento in oggetto, si sono classificate le esigenze di compensazione auspiccate su una rete di distribuzione, per poi analizzare le strutture fino ad ora elaborate per l'esecuzione di questi compiti. Scelta la configurazione APF parallelo come migliore soluzione di interfacciamento rete-PCS, si è poi definita l'intera struttura PCS, che è costituita da una coppia di convertitori statici, di cui, uno per il collegamento alla rete, l'altro per la connessione al PCS di un sistema di accumulo dell'energia.

Le compensazioni possibili con il sistema allo studio sono:

- compensazione delle correnti armoniche del carico
- compensazione della potenza reattiva e dello sbilanciamento di carico
- smorzamento dei transitori di inserzione - disinserzione di carichi
- alimentazione di back - up durante il guasto della rete.

Per ottenere queste funzionalità, si sono sviluppati tutti i sistemi per il controllo dell'intera struttura di compensazione. In particolare si sono sviluppati ex-novo:

- Un sistema di controllo dei flussi di energia tra le diverse sezioni del PCS. I legami tra i parametri dei regolatori di questo sistema di controllo ed il comportamento del PCS sono stati dettagliatamente indagati.
- Un sistema di controllo della funzionalità filtro attivo, caratterizzato da algoritmi di compensazione realizzati nel dominio del tempo, notevolmente più semplici di quelli fino ad ora noti. Le prestazioni offerte da questo algoritmo sono in linea con quelle dei sistemi presenti in letteratura. Questo sistema si integra perfettamente con il sistema di controllo dei flussi di potenza sviluppato.
- Un sistema di sincronizzazione con la rete di alimentazione, che consenta all'algoritmo di controllo il riconoscimento corretto ed affidabile della tensione di rete in qualunque condizione operativa del sistema.

Si è progettato e realizzato un apparato hardware di potenza corrispondente alla struttura di compensazione definita. La struttura hardware è stata corredata da un sistema di controllo con

adeguate capacità di calcolo. L'apparato realizzato può essere facilmente configurato per gestire diversi sistemi di accumulo dell'energia, in particolare si è verificata la possibilità di utilizzare: un induttore superconduttivo (SMES), una batteria di supercondensatori, una macchina elettrica rotante.

Gli algoritmi di controllo sono stati sviluppati per essere implementati nel sistema di controllo della struttura hardware realizzata. L'algoritmo ottenuto consente il controllo del sistema sia per l'esecuzione contemporanea di tutte le modalità di funzionamento previste, sia per l'esecuzione di alcune di esse.

Il PCS realizzato è stato testato con uno strumento di simulazione in diverse condizioni di esercizio e di richiesta di compensazione. Per la sperimentazione del sistema non si è reso disponibile un adeguato sistema di accumulo dell'energia, per cui con l'apparato sperimentale costruito si è dimostrata la sola funzionalità filtro attivo. I risultati sperimentali, ottenuti con questa modalità, sono in linea con i risultati delle simulazioni. Ciò costituisce un'ottima premessa affinché, anche le altre funzionalità di compensazione, che utilizzano il sistema di accumulo dell'energia, siano eseguite secondo le aspettative.

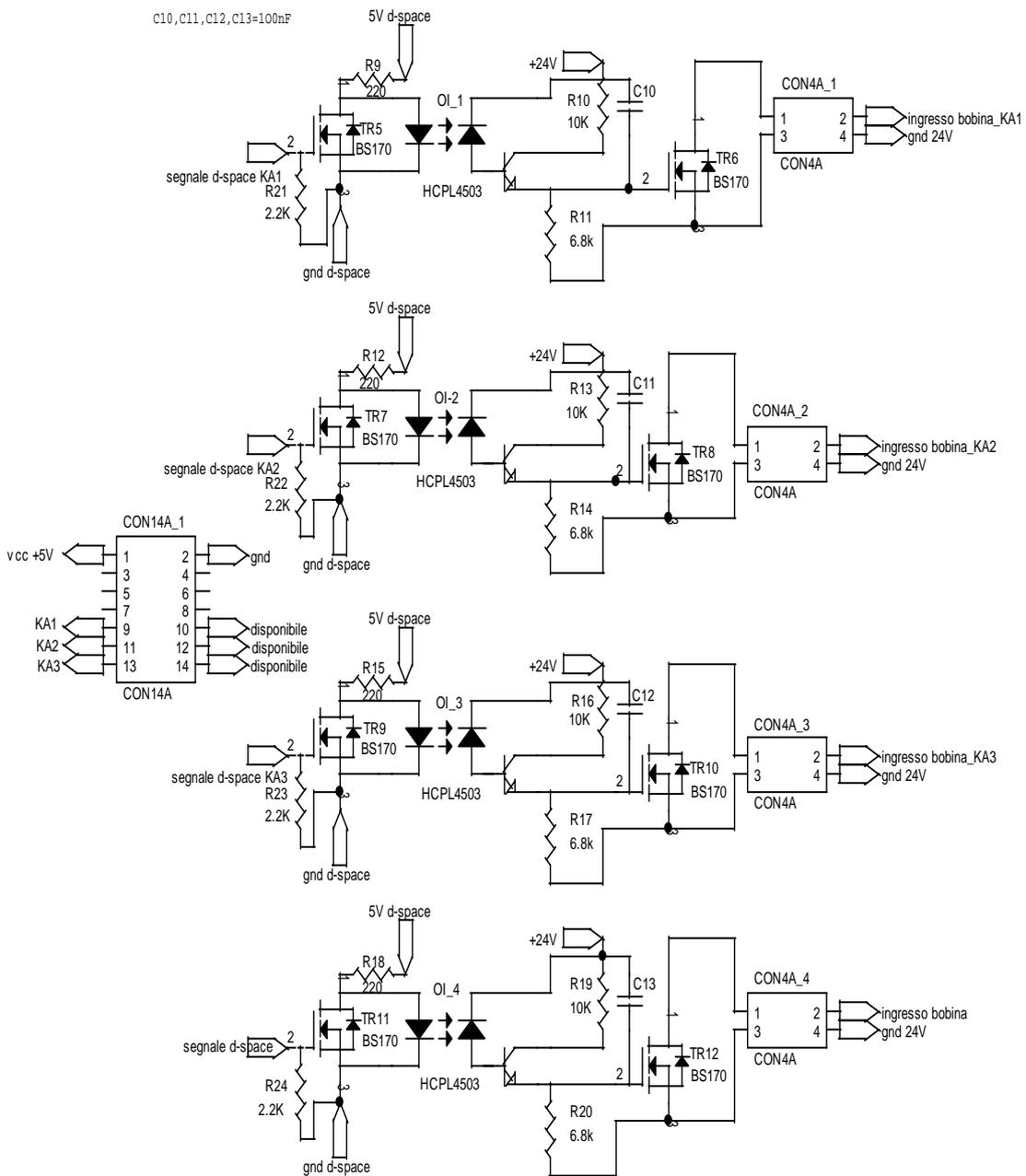


Tavola 8 - Schema della scheda SM05. Controllo optoisolato dell'interruttore statico e dei telruttori del quadro.

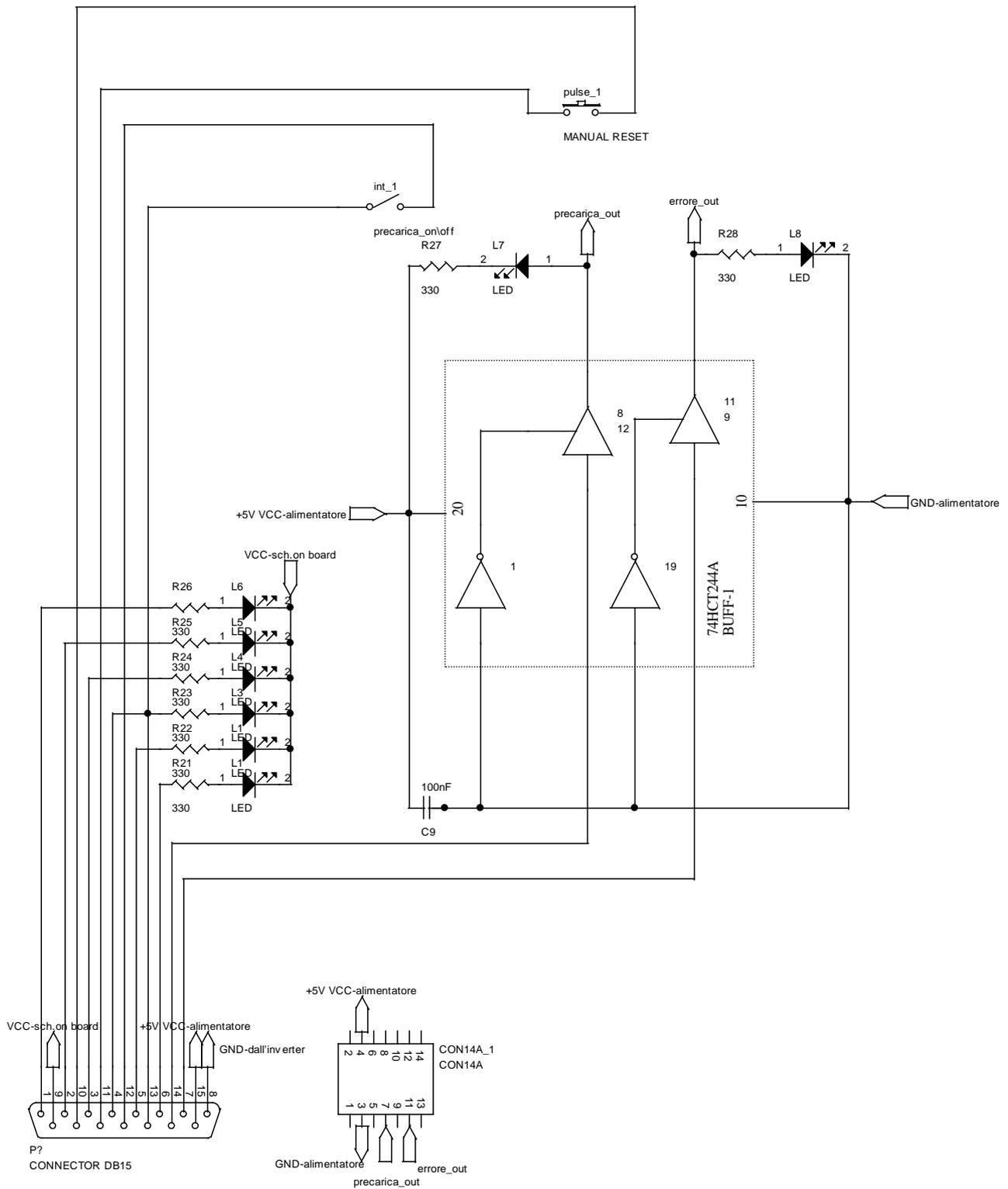


Tavola 9 - Schema della scheda SM02. Sezione di segnalazione stato interruttori statici, precarica manuale, reset errore.

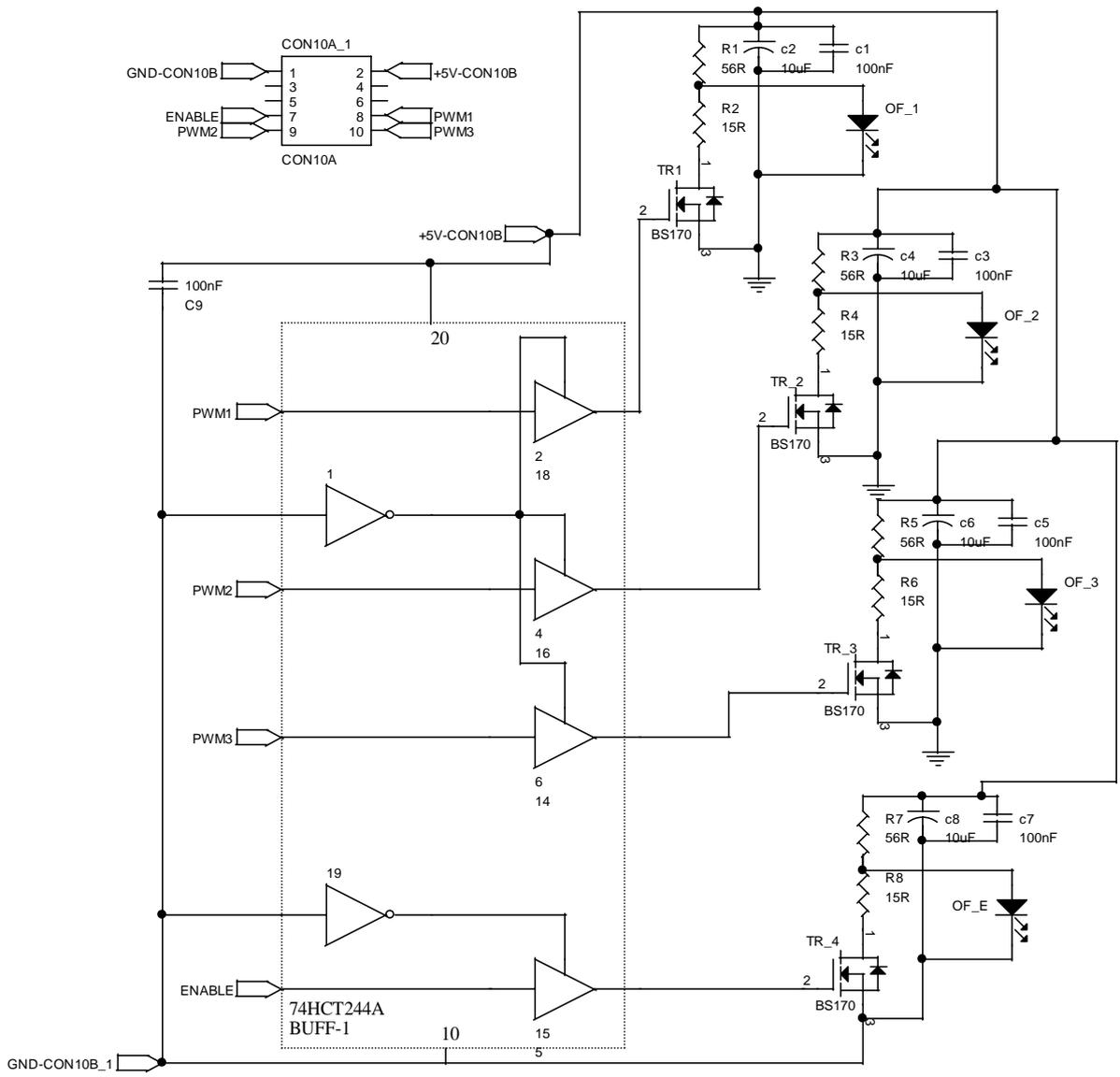


Tavola 10 - Schema della scheda SM02. Sezione di comando segnali di ramo via fibra ottica.

APPENDICE A

FORMALISMO DI PARK

A.1 Trasformazione di Park

In questa appendice sono richiamati e precisati, con riferimento in particolare all'aspetto energetico, i concetti di base ed i procedimenti essenziali relativi alla trasformazione $d-q-o$ di Park.

Sia al riguardo una terna $(y_a(t), y_b(t), y_c(t))$ di funzioni del tempo, quali ad esempio tensioni, correnti, flussi concatenati, ect., associabili ad un sistema trifase. Ad essa può applicarsi la trasformazione di Park, sintetizzata da una matrice ortogonale $[T(\vartheta(t))]$ funzione del tempo così esprimibile:

$$\text{Eq. A.1} \quad \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} \cos(\vartheta_1(t)) & \cos(\vartheta_3(t)) & \cos(\vartheta_2(t)) \\ -\sin(\vartheta_1(t)) & -\sin(\vartheta_3(t)) & -\sin(\vartheta_2(t)) \\ 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \end{bmatrix} \doteq [T(\vartheta(t))]$$

$$\text{dove } \vartheta_k(t) = \vartheta(t) + (k-1) \cdot \frac{2\pi}{3k} = 1,2,3$$

Il suo impiego consente nei termini seguenti:

$$\text{Eq. A.2} \quad \begin{bmatrix} y_d \\ y_q \\ y_o \end{bmatrix} = [T(\vartheta(t))] \cdot \begin{bmatrix} y_a \\ y_b \\ y_c \end{bmatrix}$$

il passaggio dalla terna originaria (y_a, y_b, y_c) a quella trasformata (y_d, y_q, y_o) , costituita da un componente omopolare:

$$\text{Eq. A.3} \quad \frac{1}{\sqrt{3}} \cdot [y_a(t) + y_b(t) + y_c(t)] \doteq y_o(t)$$

e dal vettore di Park così definito:

$$\text{Eq. A.4} \quad y_d(t) + jy_q(t) \doteq \bar{y}(t)$$

Introdotta il vettore spaziale:

$$\text{Eq. A.5} \quad y_a(t) + \bar{\alpha}y_b(t) + \bar{\alpha}^2 y_o(t) \doteq \bar{w}(t) \quad \text{dove: } \bar{\alpha} = e^{j2\pi/3}$$

il vettore di Park, rappresentato in Fig. A.1 diviene:

$$\text{Eq. A.6} \quad \bar{y}(t) = \sqrt{\frac{2}{3}} \cdot \bar{w}(t) \cdot e^{-j\vartheta(t)} = \overline{y_{\alpha\beta}}(t) e^{-j\vartheta(t)}$$

Nelle precedenti espressioni $\vartheta(t)$ è una funzione a priori arbitraria del tempo atta ad identificare la posizione attuale degli assi d - q rispetto ad un riferimento fisso individuato dalla condizione $\vartheta(t)=0$. Con ciò in particolare la funzione complessa $\bar{y}_{\alpha\beta}(t)$ rappresenta il vettore di Park rispetto ad assi fissi. Si osservi che la Eq. A.6 per $\vartheta(t) = 0$ ripropone la trasformazione dei componenti simmetrici ai valori istantanei. Il vettore di Park riferito ad assi fissi risulta infatti proporzionale nel rapporto $\sqrt{2}$ al componente diretto di tale trasformazione ed al coniugato del componente inverso, mentre le omopolari coincidono. La trasformazione dei componenti simmetrici ai valori istantanei presenta in sostanza le stesse proprietà e conduce agli stessi risultati della trasformata di Park su assi fissi. Quest'ultima in realtà presenta una maggiore generalità derivante dall'arbitrarietà della scelta del riferimento.

La trasformata Eq. A.2 è suscettibile di un'interpretazione geometrica immediata. Considerata la Eq. A.4 ed osservato inoltre che dalla Eq. A.2 per antitrasformata risulta:

$$\text{Eq. A.7} \quad \begin{bmatrix} y_a \\ y_b \\ y_c \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \text{Re} \left\{ \begin{bmatrix} 1 \\ \alpha^{-2} \\ \alpha \end{bmatrix} \cdot \bar{y}(t) e^{j\vartheta(t)} \right\} + \frac{1}{\sqrt{3}} \cdot \begin{bmatrix} 1 \\ 1 \\ 1 \end{bmatrix} \cdot y_0(t)$$

consegue infatti che:

- la parte reale ed il coefficiente dell'immaginario del vettore di Park sono interpretabili come proiezione del medesimo sugli assi d - q ;
- il valore istantaneo di fase vale $\sqrt{2/3}$ volte la proiezione del vettore di Park medesimo sull'asse corrispondente, accresciuto di $1/\sqrt{3}$ volte il componente omopolare.

In particolare, il componente omopolare, è invariante rispetto ad un cambiamento di assi, e per quanto riguarda tensione e corrente è nullo se rispettivamente:

- si conviene di spiccare le tensioni di fase dal centro teorico
- si fa riferimento a circuiti a tre fili

In tali ipotesi un sistema trifase puro è identificato completamente dalla coppia di funzioni (complesse) del tempo $\bar{v}(t)$ ed $\bar{i}(t)$ espresse dalla Eq. A.4. La trattazione delle reti trifasi viene ad essere pertanto formalmente monofase: si comprende allora come, precisate le espressioni energetiche corrispondenti, ad un approccio unificato di tale tipo possono applicarsi, in ipotesi di regime deformato, le relazioni al riguardo già elaborate per il monofase.

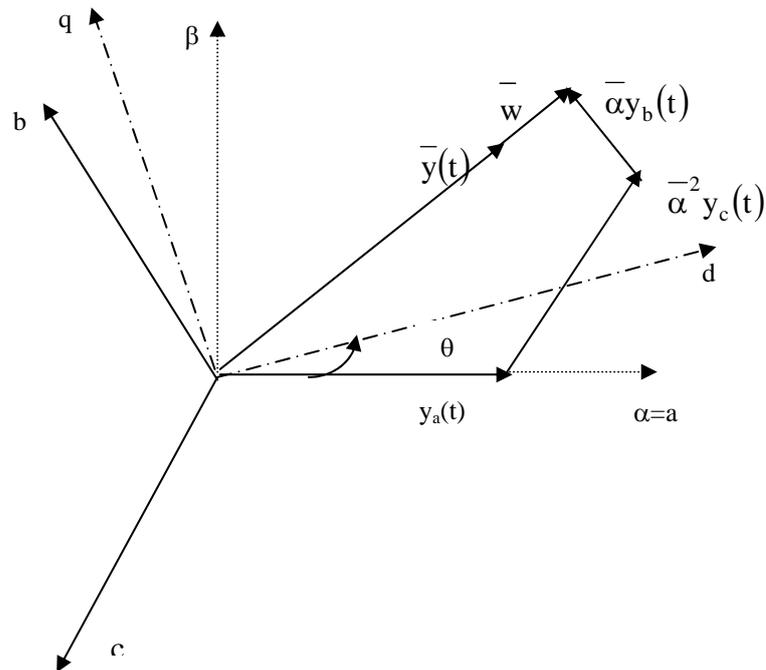


Fig. A.1 Costruzione del vettore di Park

A.2 Valore efficace trifase

L'ortogonalità della matrice di Park comporta, in particolare, la seguente identità:

$$\text{Eq. A.8} \quad [y_{dq0}]^t \cdot [y_{dq0}] = [y_{abc}]^t \cdot [y_{abc}]$$

la quale, tenuto conto che dalla Eq. A.4 si ha:

$$\text{Eq. A.9} \quad \bar{y}(t)\bar{y}^*(t) = y^2(t) = y_d^2(t) + y_q^2(t)$$

conduce, nel dominio del tempo, alla seguente relazione:

$$\text{Eq. A.10} \quad \bar{y}(t) \cdot \bar{y}^*(t) + y_0^2(t) = y_a^2(t) + y_b^2(t) + y_c^2(t).$$

In regime periodico, mediando la Eq. A.10 termine a termine nel periodo, si perviene ad un'analoga espressione tra i valori efficaci:

$$\text{Eq. A.11} \quad Y^2 + Y_0^2 = Y_a^2 + Y_b^2 + Y_c^2$$

in cui compare in particolare il valore efficace del vettore di Park espresso in termini seguenti:

$$\text{Eq. A.12} \quad \frac{1}{T} \cdot \int_T \bar{y}(t) \cdot \bar{y}^*(t) dt \doteq Y^2$$

In base alla Eq. A.12 e alla Eq. A.11 si definisce valore efficace trifase la seguente media quadratica:

$$\text{Eq. A.13} \quad Y_a^2 + Y_b^2 + Y_c^2 = Y^2 + Y_0^2 \doteq Y_T^2$$

Tale formulazione generale, può applicarsi in particolare alle tensioni ed alle correnti, ottenendo:

$$\text{Eq. A.14} \quad \begin{aligned} V_a^2 + V_b^2 + V_c^2 &= V^2 + V_0^2 \doteq V_T^2 \\ I_a^2 + I_b^2 + I_c^2 &= I^2 + I_0^2 \doteq I_T^2 \end{aligned}$$

In assenza di componenti omeopolari, nelle espressioni date rimangono unicamente i valori efficaci dei vettori di Park. Appare congruente pertanto, anche in presenza di omopolari, assegnare alle grandezze V e I i nomi ed il significato di valori efficaci del sistema trifase puro.

Si osservi in particolare che il valore efficace V, oltre che come somma quadratica delle tensioni di fase riferite al centro stella teorico, può esprimersi mediante le tensioni concatenate come:

$$\text{Eq. A.15} \quad V^2 = (V_{ab}^2 + V_{bc}^2 + V_{ca}^2)/3$$

ciò che rimuove ogni convenzionalità insita nella scelta del riferimento per le tensioni di fase.

In virtù delle definizioni Eq. A.14 ad un sistema trifase qualunque può associarsi la seguente definizione di potenza apparente totale:

$$\text{Eq. A.16} \quad V_T I_T \doteq S_T$$

la quale per il sistema puro si riduce a

$$\text{Eq. A.17} \quad VI \doteq S$$

Tale definizione può essere vista come un'estensione formale delle trattazioni del monofase e del trifase sinusoidale simmetrico ed equilibrato, alle quali si riconduce come caso particolare.